준마이크로대파 RFIC일체형 패치 안테나 설계 및 제작에 관한 연구(I)

1999

전파연구소

한국통신학회

제 출 문

본 보고서를「준마이크로대파 RFIC일체형 패치 안테나 설계 및 제작에 관한 연구(I)」 과제의 최종보고서로 제출합니다.

1999. 12. 31.

총괄연구책임자 : 최 명 선(전파연구소 소장)
연 구 책 임 자 : 김 창 우(경희대 교수)
이 경 호(전파연구소 전파자원연구과장)

연 구 원 : 이 범 선(경희대 교수)
박 주 상(경희대 석사과정)
양 태 식(경희대 석사과정)
최 석 봉(전파연구소)
박 재 수(전파연구소)

목 차

제 1 장 서 론

시대의 변천과 더불어 증가하는 통신 욕구에 대응하고, 제한된 주파수 자원의 한계를 극복하기 위해 지금까지 이동 통신은 주로 시스템 용량 개선이나 품질 개선을 위주로 발전되어 왔다. 1세대의 아날로그 이동 통신에 이어 서비스 지역의 한계를 극복하고, 보다 많은 사용자의 접속을 위한 2세대 디지털 이동 통신으로 발전하게 되었는데, 이를 통한 가장 큰 성과는 시스템 용량 개선과 품질 개선이라 할 수 있다. 물론 차세대 이동 통신이라 할 수 있는 IMT-2000(Internatinoal Mobile Telecommunications 2000)도 보다 높은 용량과 고품질을 목표중 하나로 포함하고 있지만, 차세대 이동 통신 개발의 보다 직접적인 동기로는 전세계 어느 곳에서나 하나의 단말기로 통신이 가능하도록 하자는 데 있다. 이러한 1,2세대 이동 통신의 불편함을 제거하기 위하여 국제전기통신연합(ITU)에서는 전세계 어느 지역에서나 동일 단말기로 통신 가능한 차세대 이동 통신에 대한 표준화를 추진하기로 결정하고 이를 위한 작업을 진행중이다. 차세대 이동 통신인 IMT-2000의 목표는 전세계 어느 지역에서나 하나의 단말기로 통신 가능한 단말이동성(terminal mobility)과 개인이 어느 상황에 있든 자신의 고유번호로 통신 가능한 개인이동성을 제공하여야 하고 가능한 모든 서비스를 모든 환경에서 제공하자는 것이다. 이를 위한 초기 작업으로 진행되어진 것 중의 하나가 IMT-2000용 주파수대역의 선정에 관한 분야인 데, WARC(World-Administrative Radio Conference)에서는 이미 IMT-2000용 주파수 대역으로 1885 2025MHz 대역과 2110 2200MHz 대역을 할당하였다. 이러한 IMT-2000의 선진국 동향을 보면 미국, 일본, 유럽 등 선진국은 차세대 이동 통신 분야에서도 지속적인 우위를 확보하기 위해 업체별로 협력과 경쟁을 통해 IMT-2000 시스템의 기술개발을 적극 추진중이며 이를 국제 표준화에 반영하기 위해 ITU 표준화 활동에 적극 참여하고 있다. 특히, IMT-2000용 주파수 대역이 포함된 마이크로파대역(1 3GHz)은 PCS, GPS, WLL, MMDS, GMPCS, WLAN등 가장 많이 사용되는 무선통신대역으로 이 대역에서의 RF 모듈의 일체화 기술은 무선통신시스템의 핵심요소 기술이라는 점이 우리에게 시사하는 바는 크다고 할 수 있다. 이미 선진 각국의 이동 통신 업체들의 국내 시장에 대한 공격적인 마케팅을 통한 적극적인 진출이 가시화 되고 있으며, 최근에 전개되고 있는 일련의 이동 통신 시장의 급격한 발달과 더불어 고품질 서비스를 만족시키기 위

한 초고주파 소자의 고속화, 고집적화, 경량화 및 저가격화에 대한 관심 및 연구가 증대되고 있기에, 국내 무선통신시장에서의 기술 우위를 통한 경쟁력 확보는 국가적 차원에서 시급한 현안으로 대두되고 있다. 이러한 의미에서 준 마이크로파 대역에서의 송수신 RFIC 일체형 패치 안테나 제작의 설계 및 제작 능력의 확보는 매우 의미 있는 일이라 할 수 있다.

즉, 패치 안테나의 성능향상 연구를 통한 고성능 소형 안테나 개발과 RFIC 기술을 이용한 준미이크로파대 전력증폭기, 저잡음증폭기의 설계·제작 연구를 통한 기존 기술 보완과 신기술 개발 및 일체화 기술 확보를 통한 RFIC 일체형 패치안테나 개발은 국가 경쟁력 향상과 더불어 산업체로의 기술 이전을 통하여 국내 업계의 차세대 이동 통신의 연구 개발 수준을 한 단계 높임으로써 국내 산업 발전에 기여할 수 있다.

본 보고서에서는 차세대 이동 통신인 IMT-2000의 단말기에 사용할 수 있는 RFIC일체형 패치 안테나에 대한 설계/제작/측정에 관한 내용을 기술하고 있다. 이를 부분적으로 나누어보면, 제 2 장에서는 송신단의 전력증폭기의 설계이론/방법/제작/측정에 대하여, 제 3 장에서는 수신단의 저잡음증폭기 설계이론/방법/제작/측정에 대하여, 제 4 장에서는 마이크로스트립 패치안테나의 설계이론/방법/제작/측정에 대하여 설명하고 있다. 제 5 장에서는 결론으로 각 부분의 측정결과와 향후계획에 대하여 논하고 있다.

제 2 장 RFIC 일체형 안테나용 전력증폭기 설계

HEMT(High Electron Mobility Transistor)를 이용하여 차세대 이동통신 (IMT-2000) 단말기용 RFIC 일체형 안테나에 사용할 전력증폭기를 설계하였다. 전력증폭기의 설계 목표치는 <표 2-1>과 같다..

Item	Target
Operating frequency	1.920 - 1.980 GHz
P1-dB	30 dBm
Power Added Efficiency	35 %
Power Gain	15 dB
IP_3	40 dBm

<표 2-1> RFIC 일체형 안테나용 전력증폭기의 설계목표치

<표 2-1>의 설계 목표치에서 요구하는 선형성과 효율을 만족하는 전력증폭기를 설계하기 위해서 본 연구에서는 증폭기가 AB급으로 동작하도록 트랜지스터의 동작점을 설정하였다. 본 연구의 설계 목표치는 단단(single-stage) 전력증폭기로도 만족시킬수 있지만, 전체 증폭기의 고이득 특성을 위해서 고출력, 고효율 특성을 갖는 단단 전력증폭기의 전단에 전력이득을 최대화한 이득증폭기를 둔 2단 전력증폭기를 병행하여 설계하였다. 본 장에서는 이 두가지 경우를 포함하여 서술할 것이다.

어떤 능동회로를 설계하고자 할 때 가장 신중히 결정해야하는 것은 적절한 능동소자의 선택이다. 능동회로의 성능은 사용하고자 하는 소자에 의해 결정되기 때문에 설계 목표치를 고려한 능동소자의 선택은 매우 중요하다. 본 연구에서 사용한 트랜지스터는 Excellics社에서 제작된 HEMT(모델명:EPA480C-100F)를 사용하였다.

전력소자를 선택한 후에는 시뮬레이션을 위한 등가회로 모델의 파라미터를 추출하여야 한다. 일반적으로 소자 제작사로부터 소신호 등가회로 모델은 제공받을 수 있지만 대신호 등가회로 모델은 그렇지 않은 경우가 많다. 전력증폭기와 같이 대신호 동작을 요구하는 회로를 설계할 경우에는 트랜지스터의 대신호 특성이 중요하기 때문에 대신호 등가회로 모델이 필요하다. 그러나 본 연구에서

는 트랜지스터의 제작사로부터 대신호 등가회로 모델을 제공받지 못하였기 때문에 소신호 등가회로 모델과 DC 특성, 여러 바이어스 조건에서의 S 파라미터를 바탕으로 대신호 등가회로 모델의 파라미터를 추출하였다. HP-EEsof ADS (Advanced Design System)의 Libra를 이용하여, 실측정 S 파라미터를 기초로 한 curve-fitting 법으로 정확하게 모델링 하였고 이 대신호 등가회로 모델을 이용하여 이득증폭기와 전력 증폭기를 설계하였다.

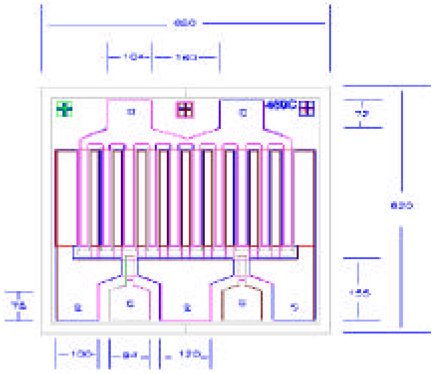
제 1 절 HEMT의 등가회로 모델링

1. HEMT 소자의 특성

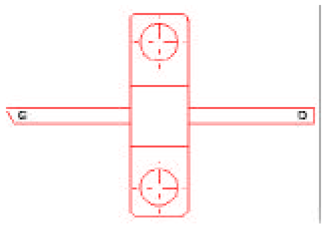
능동소자를 이용한 회로 설계 및 시뮬레이션을 위해서는 사용하는 소자와 동일한 특성을 가진 등가회로 모델이 필요하다. 이 등가회로 모델은 소자의 특성과 동일한 특성을 갖도록 트랜지스터의 물리적인 구조를 바탕으로 한 전류원 및 수동소자 등으로 나타내며, 패키지 성분에 대해서는 인덕터와 캐퍼시터 등의 수동 소자로 나타낸다.

본 연구에서 사용한 HEMT는 세라믹으로 패키징 되어있으며, 0.5 x 240 ㎛인 게이트가 20개의 finger(전체 게이트 사이즈 = 0.5 x 4800㎛)로 구성되어 있다. <그림 2-1>에는 HEMT의 칩 모양과 패키지 모양을 나타냈으며, I-V 특성곡선은 <그림 2-2>, 0.5 - 10 GHz에서의 소신호 S-파리미터는 <그림 2-3>에 나타냈다.

<그림 2-3>을 통해 사용 주파수대역(1.92-1.98 GHz)에서의 최대유능전력이득(Gmax, Maximum Available Power Gain)이 약 17 dB임을 알 수 있다. 최대유능이득은 소자에서 바라본 입·출력단에 공액(conjugate) 임피던스 정합을 해줄 경우 얻을 수 있는 최대 전력이득이다. 전력증폭기의 경우, 출력단쪽에 최대의 출력전력을 위한 임피던스 정합을 해주기 때문에 최대유능전력보다는 작은 전력이득을 얻을 것이다.

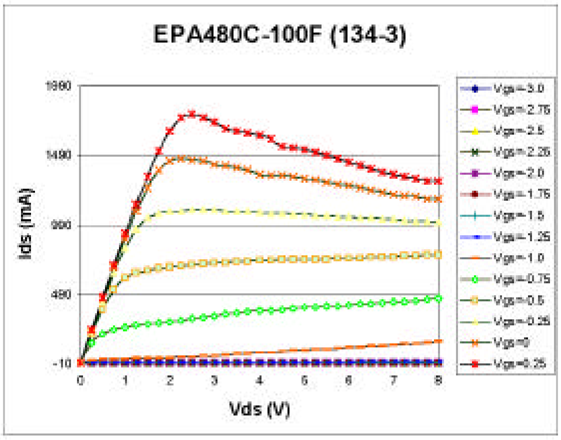


(a) HEMT 칩의 평면도

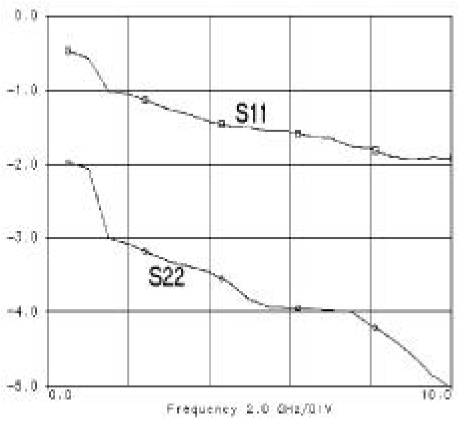


(b) 패키지화 된 HEMT

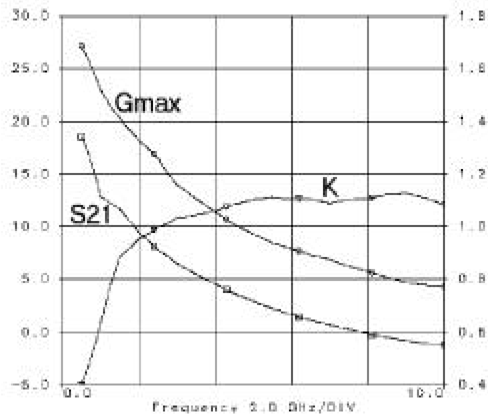
<그림 2-1> HEMT 칩과 패키지



<그림 2-2> HEMT의 I-V 특성곡선



< S11, S22 >



< Gmax, S21 >

<그림 2-3> HEMT의 소신호 S 파라미터 특성

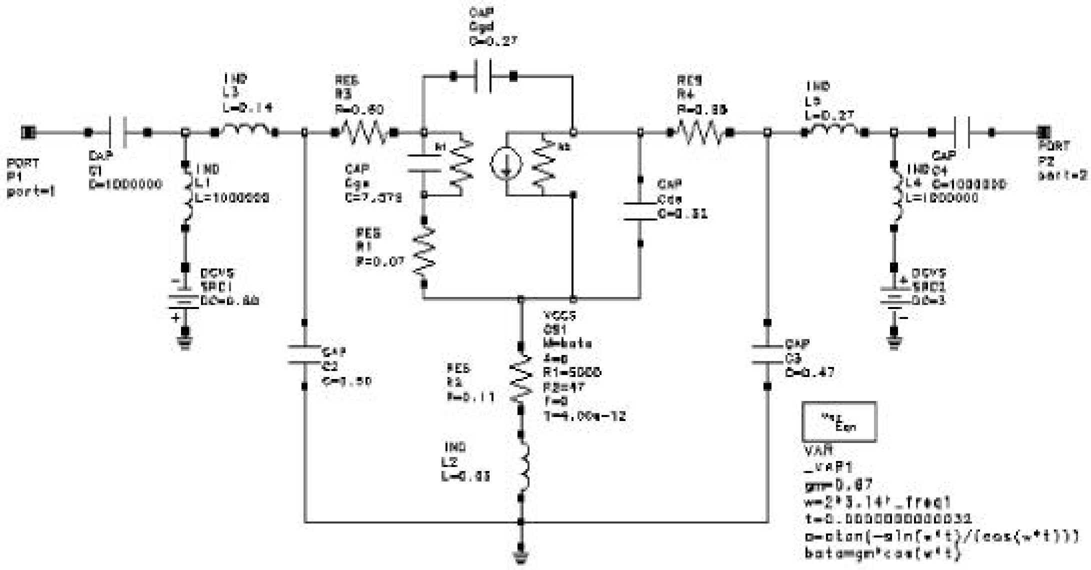
@ VDS = 8 V, ID = 0.5 x IDSS

2. HEMT의 소신호 등가회로 모델

트랜지스터의 등가회로 모델은 트랜지스터에 공급되는 입력신호의 대소(大小)에 의해서 소신호 등가회로 모델(small-signal equivalent circuit model), 대신호 등가회로 모델(large-signal equivalent circuit model)로 구분을 할 수 있다. 즉, 출력 특성곡선에서 트랜지스터가 동작하는 영역(선형동작 영역, 비선형동작 영역)에 따라 소신호, 대신호 등가회로 모델로 구분할 수 있다. 소신호 등가회로 모델은 약 -20 dBm정도의 신호가 소자에 공급되었을 경우에 소신호 동작하는 소자의 특성을 나타내는 모델로써 이것은 아주 미세한 신호가 공급되므로 소자 자체가 오옴의 법칙을 만족하는 선형 특성을 나타낸다. 그렇기 때문에 소신호 등가회로 모델을 선형 모델이라고도 한다. 소신호 등가회로 모델의 원형(topology)은 파이형(π) 등가회로 모델이 많이 사용되는데, 파이형 등가회로 모델은 트랜지스터의 물리적인 구조를 바탕으로 전류원 및 수동소자 등으로 구성되어 있다.

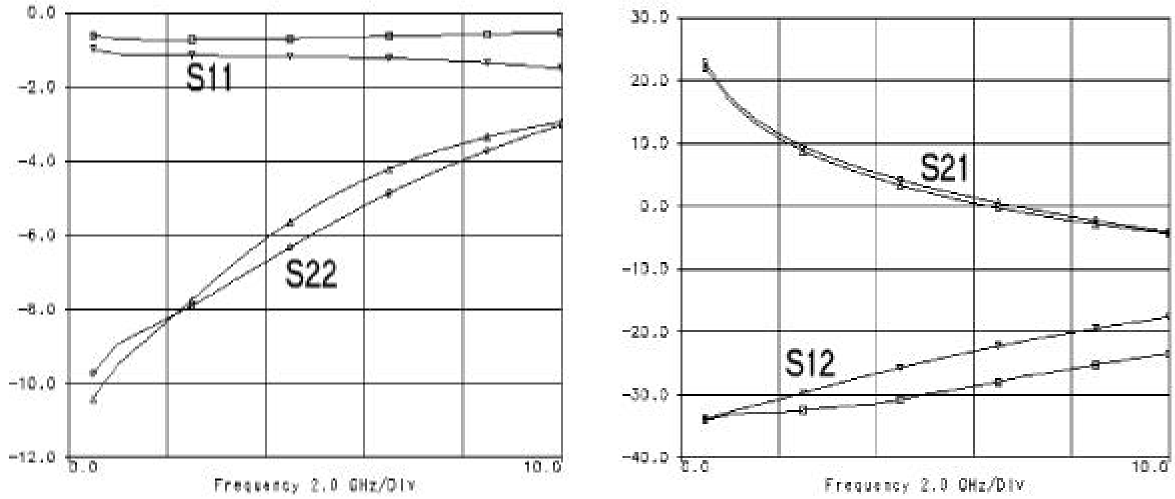
이러한 등가회로 모델내의 각 파라미터 값들은 실측정 S 파라미터와 동일한 특성을 갖도록 정확하게 결정해야 하는데, 이과정을 '파라미터 추출(extraction)' 과정이라 한다. 파라미터의 값을 추출하는 방법에는 소자의 실측정 S 파라미터와 등가회로 모델의 S 파라미터가 같게 되도록 연립방정식을 구성하여 이 방정식을 계산함으로써 각 파라미터의 값을 결정할 수가 있다[1]. 또 다른 방법은 여러 바이어스 조건에서 측정한 소자의 실측정 DC 특성곡선과 S 파라미터를 이용하여 그래프적으로 추출할 수 있다. 위에서 설명한 방법으로 등가회로 모델의 파라미터 값을 정확하게 추출했다 하더라도 실제 소자의 실측정 S 파라미터와 비교할 때에는 미세한 차이가 발생한다. 이 경우에는 curve-fitting (S 파라미터 fitting) 방법을 이용하여 좀 더 정확한 등가회로 모델을 구현할 수 있다.

본 연구에서는 먼저 HEMT 제작사에서 제공한 소신호 등가회로 모델의 정확도를 검증하였다. 소신호 등가회로 모델의 S 파라미터와 실측정 S 파라미터를 비교하여 정확도를 검증한 결과 실제 HEMT와 차이가 있었으며, 좀 더 동일한 특성을 갖도록 제공된 등가모델을 fitting 하였다. <그림 2-4>는 본 연구에서 사용한 소신호 등가회로 모델을 나타내고 있으며, <그림 2-5>에서는 제공된 실측정 S 파라미터와 fitting 하기 전·후의 S 파라미터를 비교한 것을 나타낸다.

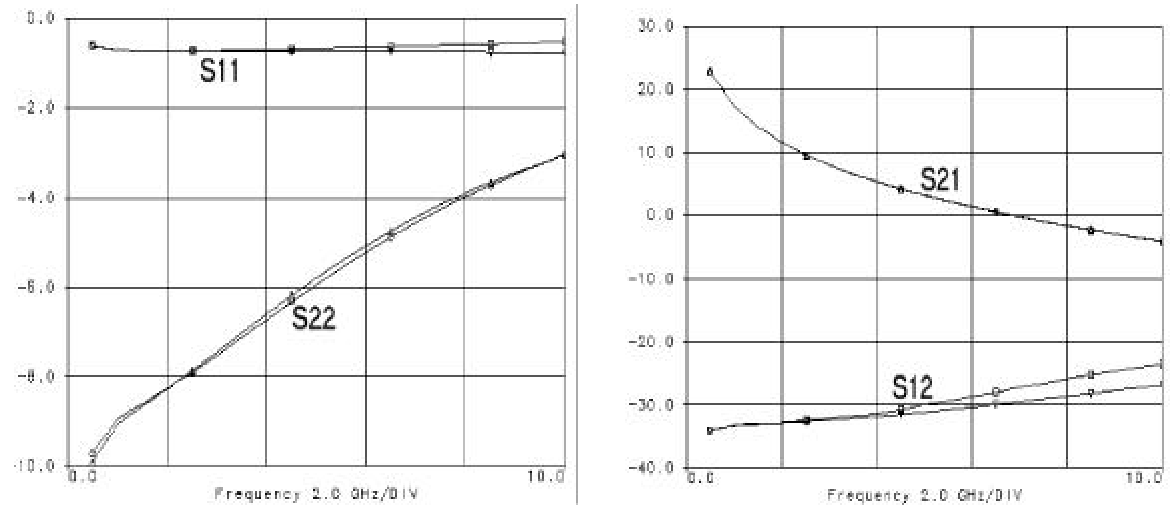


<그림 2-4> HEMT의 소신호 등가모델

<그림 2-5>에서는 본 연구의 사용 주파수 대역(1.92-1.98 GHz)에서 fitting 한 소신호 등가회로 모델이 제공받은 모델보다 더 정확함을 보이고 있다. 이렇게 구현한 소신호 등가회로 모델은 대신호 등가회로 모델 구현시 참조할 수 있는 중요한 정보가 된다. 따라서 정확한 소신호 등가회로 모델은 대신호 등가회로 모델 뿐만아니라, 능동회로의 설계 및 제작시 필수적이다.



(a) fitting **前**



(b) fitting **後**

<**그림** 2-5> S **파라미터** fitting**을 적용하기 전·후의 등가회로 모델의**
S **파라미터와 실측정** S **파라미터 비교**

3. HEMT의 대신호 등가회로 모델

전력증폭기에 사용되는 전력 트랜지스터(power transistor)는 고출력전력과 고효율 특성을 얻기 위해 비선형 동작을 하게 된다. 그렇기 때문에 트랜지스터의 비선형 동작을 나타낼 수 있는 대신호 등가회로 모델 즉, 비선형 등가회로 모델이 있어야 전력증폭기의 설계가 가능하다. 소신호 등가회로 모델이 오옴의 법칙을 만족하는 선형회로 모델인데 반해서 대신호 등가회로 모델은 전류가 전압의 이차이상인 고차함수가 되는 비선형 특성을 나타내는 모델이라고 할 수 있다. 일반적으로 대신호 등가회로 모델은 여러개의 다이오드와 수동소자, 전류원 등으로 구성되어 있고, 소신호 등가회로 모델과는 달리 비선형 특성들을 고려하기 때문에 파라미터 추출과정은 더욱 복잡하고 어렵다.

GaAs FET, HEMT의 경우, HBT(Heterojunction Bipolar Transistor)보다는 대신호 등가회로 모델이 잘 정립되어 있어서 기존에 제시되어 있는 것을 사용하기로 하였다. GaAs FET 계열의 비선형 모델에는 Curtice-cubic 모델, Curtice-quadratic 모델, Statz-Pucel 모델, Triquint-own 모델, Materka-Kacprzak 모델 등의 해석적 모델과 HP Root 모델 등의 Table-based 모델 등이 있는데[2], 본 연구에서는 매우 간단하면서도 정확한 DC 특성과 게이트-소오스, 게이트-드레인 전하를 단일의 게이트 전하로 고려하여 분석한 여타 모델과는 달리 게이트-소오스, 게이트-드레인 전하를 각각 분류하여 분석을 하여 더욱 정확한 AC 특성을 갖는 Statz-Pucel 모델을 이용하여 본 연구에서 사용한 HEMT를 모델링하였다.

Statz-Pucel 모델은 일반적으로 DC 특성을 나타내는 방정식과 전하축적소자와 관련된 AC 방정식으로 구성되어 있는데 이것에 대해서 참고문헌[3]의 내용을 참조하여 알아보면 다음과 같다.

가. DC 방정식

최근 대략적으로 근사화시킨 드레인 전류에 관한 방정식은 다음과 같다.

$$I_d = \beta(V_{gs} - V_T)^2(1 + \lambda V_{ds})\tanh(\alpha V_{ds}) \quad ------ \quad (2\text{-}1)$$

β : 상호컨덕턴스 (transconductance)와 관련된 파라미터

λ : 드레인 컨덕던스(drain conductance)와 관련된 파라미터

α : 드레인 전류가 포화가 되는 전압을 결정하는 변수

유의할 점은 각각의 동일한 드레인-소오스 전압에서 드레인 전류가 포화가 된다는 것이다. 이것은 기존의 JFET와 MOSFET 모델과 다른점이며, 채널에서 각각의 게이트-소오스 전압에 대해 동일한 전압(VDS= ESAT*L, L은 채널길이)에서 기준전계(ESAT)에 도달하기 때문이다. 일정하게 도핑된 채널에서의 포화전류는 근사적으로 다음과 같이 나타낼 수 있다.

$$I_{ds} = Z\ V_{sat}\sqrt{2\varepsilon q N_d}\ \left(\sqrt{(-V_T + V_B)} - \sqrt{(-V_{gs} + V_B)}\right) \quad --- \ (2\text{-}2)$$

Z : 채널폭

VB : 게이트 접합의 접촉전위 (built-in potential)

식(2-2)의 첫 번째 항은 드레인 포화전류가 VT에서 공간전하영역의 높이에 비례함을 나타내며, 그렇기 때문에 게이트 밑 도핑된 영역의 두께에 비례함을 나타낸다. 두 번째 항은 VGS가 인가되었을 때, 드레인 포화전류가 공간전하영역의 높이에 비례함을 나타낸다. 결과적으로 식(2-2)는 드레인 포화전류가 공핍되지 않은 채널의 높이에 비례한다. 단, 식(2-2)는 모든 캐리어가 포화속도로 이동한다는 가정하에 유도된 것이다.

게이트 전압이 핀치오프가 되는 지점에서의 전류 방정식은 이차함수의 성격을 갖는 방정식으로 나타낼 수 있다.

$$I_{ds} \approx \beta(V_{gs} - V_T)^2 \quad --- \ (2\text{-}3)$$

이 방정식은 기존의 JFET(Junction Field Effect Transistor) 모델에서 제시된 것이다. 이 전류식은 단지 VGS - VT = 0 일 경우에만 타당하다. 즉, 이 영역외에서 동작할 경우에는 식(2-2)를 통해서 나타내는 것이 더욱 정확하다. 식(2-2)를 좀 더 실제적으로 나타내기 위해서 다음의 경험식을 유도하였다.

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \quad ------ \ (2\text{-}4)$$

실제적인 소자의 경우, 불순물의 확산 또는 이온 주입 과정에서 발생하는 도핑된 꼬리부분(tail) 때문에 채널과 버퍼의 인터페이스에서 경사형 천이를 갖는 상태가 된다. 이럴 경우에는 매우 복잡하게 되는데, 실제적인 도핑상태는 더욱 경사적인 IDS-VGS 관계를 나타내므로 경험적인 표현식(2-4)의 β와 b 값을 상황에 맞게 조절하여 실제의 트랜지스터의 특성과 동일한 특성을 나타낼 수 있다. b의 값은 기생 소오스/드레인 저항이 없는 순수한 트랜지스터 베어칩에 대한

것이다. 측정치로부터 실제 베어칩의 것을 추출하고자 할 때에는 기생성분들의 값이 불확실하므로 b의 값은 이런 불확실성을 반영하게 된다. 그러나 식(2-4)에서는 이것을 무시할 수 있고, 그렇기 때문에 기생저항 성분을 추출하지 못하는 경우에 더욱 정확하게 추출할 수가 있다.

식(2-1)에서 tanh 함수를 볼 수가 있는데 이것을 계산하기 위해서는 상당한 계산시간을 소비한다. Statz-Pucel 모델에서는 간단한 다항식 P의 형태로 포화 이전의 tanh 함수를 근사화시켰다.

$$P = 1 - \left(1 - \frac{\alpha V_{DS}}{n}\right)^{n}, \quad n = 2 \text{ 또는 } 3 \quad .... \quad (2\text{-}5)$$

포화영역(VDS>n/α)에서는 tanh 함수가 1이 된다. 다항식에서 VDS=0일 때의 기울기는 α이고 이것은 tanh(αVDS)의 기울기와 같다. 위의 내용을 토대로 정리한 GaAs 모델에 대한 DC 방정식은 다음과 같다.

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)}\left\{1 - \left(1 - \frac{\alpha V_{DS}}{3}\right)\right\}(1 + \lambda V_{DS}) \quad ... \quad (2\text{-}6a)$$

for $0 < VDS < 3/\alpha$

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)}(1 + \lambda V_{DS}) \quad \text{for } VDS > 3/\alpha \quad ... \quad (2\text{-}6b)$$

나. 소오스와 드레인 캐퍼시턴스

소오스와 드레인 캐퍼시턴스 모델은 기존의 여러 논문[4]-[7]에 게재되어 있다. GaAs 디바이스의 모델링시에 게이트-소오스 캐퍼시턴스는 대게 다이오드 모델로 나타낸다. 이 캐퍼시턴스는 게이트-소오스간 전압에 의해서 결정되며, 게이트-소오스 캐퍼시턴스보다 더 작은 게이트-드레인 캐퍼시턴스를 나타낼 때에도 다이오드를 이용하여 나타낸다.

실리콘과는 달리 GaAs에서는 캐리어 속도의 포화가 더 빨리 발생하므로 좀 더 복잡하다. Van der Ziel이라는 학자는 캐리어 속도의 포화에 대한 영향을 고려하지 않고 FET의 캐퍼시턴스를 모델링하였다. 이 경우 CGS는 VDS의 함수로서 일정하며, VGS의 함수로써 다이오드 캐퍼시턴스 모델을 근사화시켜 나타내었다. VDS=0인 경우 CGD는 CGS와 같은 값을 갖으며, VDS가 증가함에 따라 CGD는 작아지고 채널의 드레인 쪽에 핀치오프가 발생할 때에는 0이 된다. 또한

Van der Ziel는 게이트와 트랜지스터의 나머지 부분사이의 전체 접합 캐퍼시턴스를 구하였다. 이 결과를 이용하여 게이트-소오스, 게이트-드레인 전위에 대한 전체 게이트 전하의 부분 미분값에 의해서 각각의 CGS와 CGD를 계산할 수 있다. 결과적으로 포화 속도를 고려하였을 경우, 표현식은 포화가 발생함에 따라 Van der Ziel 모델보다 더욱 계단형으로 증가하며, VDS의 함수로써 거의 일정한 값을 갖게 된다. 이와 유사하게 게이트-드레인 캐퍼시턴스는 작은 값으로 급격하게 작아진 후 일정한 값을 취한다.

실제적인 디바이스의 캐퍼시턴스를 계산하고자 할 때에는 우선적으로 게이트-소오스, 게이트-드레인 전하를 각각 구분하여 계산하면 좀 더 정확하게 된다. 그러나 대게 VGS와 VDS의 함수인 단일의 게이트 전하로 놓고 분석하기 때문에, 각각의 전하를 구분하여 계산하기 위해서는 게이트 전하의 초기값을 결정하고 그 초기값을 바탕으로 각각의 전하를 계산할 수 있다. Statz-Pucel 모델에서는 전체 전하 QGS의 1/2이 되는 값을 초기값으로 결정하였다.

게이트-소오스 전하 QGS의 경우, 다음과 같이 표현할 수 있다.

$$\Delta Q_{gs} = Q_g(V_{gs} + \Delta V_{gs}, V_{gd}) - Q_g(V_{gs}, V_{gd}) \quad --- \quad (2\text{-}7a)$$

이 수식에서 만약 동시에 VGS와 VDS가 △VGS, △VDS 만큼 변한다면, 두개의 VDS 값에 대한 평균을 취해 나타낼 수 있다. 즉,

$$\Delta Q_{gs} = \frac{1}{2}(Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd} + \Delta V_{gd})$$

$$+ Q_g(V_{gs} + \Delta V_{gs}, V_{gd}) - Q_g(V_{gs}, V_{gd})) \quad ----- \quad (2\text{-}7b)$$

이와 유사하게 QGD에 대한 방정식은 다음과 같이 나타낼 수 있다.

$$\Delta Q_{gd} = \frac{1}{2}(Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd} + \Delta V_{gd})$$

$$+ Q_g(V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd})) \quad ------ \quad (2\text{-}7c)$$

식(2-7b)와 (2-7c)는 비교적 정확하지만 근사화된 것이다. 그렇지만 전체 게이트 전하 변화량은 정확하게 계산할 수 있다. 일반적인 경우, 동시에 전압 VGS와 VGD가 변하기 때문에 식(2-7b)와 (2-7c)을 이용하여 계산한 게이트 전하의 전체 변화량 △Qg는 다음과 같다.

$$\Delta Q_g = \Delta Q_{gs} + \Delta Q_{gd}$$

$$= Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd}) \quad - \quad (2\text{-}8)$$

위의 수식보다 좀 더 간단하게 나타내면, 정규 동작모드일 경우 게이트 아래

에 일정하게 도핑이 되어있는 트랜지스터의 게이트 전하량은 다음과 같이 나타낼 수 있다.

$$Q_g = 2C_{gs0}V_B\left(1 - \sqrt{1 - \frac{V_{gs}}{V_B}}\right) + C_{gd0}V_{gd} \quad ---- \quad (2\text{-}9a)$$

위의 식은 Vds>>0 또는 -Vgd>>-Vgs 의 경우이다. 식(2-9a)에서, Cgs0는 제로 바이어스일 경우의 게이트-소오스 캐퍼시턴스이며, VB는 내부 접촉전위이며, Cgd0는 제로 바이어스에서의 게이트-드레인 캐퍼시턴스이다. 전하는 VGS=0, VGD=0일 때에 0으로 정규화되어 있고 정규동작모드일 경우 Vgs의 부호는 음수이다.

반전모드(Vds<<0)인 경우에 대해서는 다른 방정식이 필요하다. 이것은 소오스와 드레인의 역할이 서로 바뀌어 동작을 하기 때문이다. 식(2-9a)와 유사하게 나타내면 다음과 같다.

$$Q_g = 2C_{gs0}V_B\left(1 - \sqrt{1 - \frac{V_{gd}}{V_B}}\right) + C_{gd0}V_{gs} \quad ---- \quad (2\text{-}9b)$$

위의 식은 Vds<<0 또는 -Vgd<<-Vgs 의 경우이다.

식(2-9a)와 (2-9b)간의 천이(transition)는 VDS=0 또는 VGd=VGS일 때 발생한다. 전압에 대해 Qg를 미분하면 게이트-소오스, 게이트-드레인 캐퍼시턴스를 다음과 같이 계산할 수 있는데, 정규동작모드의 경우는 다음과 같다.

$$C_{gs} = \frac{dQ_g}{dV_{gs}} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_B}}}$$

$$C_{gd} = \frac{dQ_g}{dV_{gd}} = C_{gd0} \quad ------ \quad (2\text{-}10)$$

반전모드인 경우에는 다음과 같이 나타낼 수 있다.

$$C_{gs} = \frac{dQ_g}{dV_{gs}} = C_{gd0}$$

$$C_{gd} = \frac{dQ_g}{dV_{gd}} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gd}}{V_B}}}$$

식(2-10)은 실제적인 트랜지스터와 동일하게 동작하도록 근사화되었으나, Vds=0 일때의 Cgs와 Cgd의 값을 볼 때 계단형 천이가 비물리적으로 나타내어질 경우 조금은 부정확하게 되며, 대수적으로 분석할 경우에 수렴하는데 어려움이 있다.

$V_{ds}=0$ 근처에서 캐퍼시턴스 값이 경사형 천이일 경우는 다음과 같이 분석할 수 있다.

우선 식(2-9a)와 (2-9b)는 다음과 같이 나타낼 수 있다.

$$Q^{\diamond} = 2C_{gs0}V_B\left(1-\sqrt{1-\frac{V_{eff1}}{V_B}}\right) + C_{gd0}V_{eff2} \quad --- \quad (2\text{-}11)$$

여기서 $(-V_{eff1})$는 $(-V_{gs})$ 또는 $(-V_{gd})$의 값중에서 작은 값을 나타내며, $(-V_{eff2})$는 두 값중 더 큰 값을 나타낸다. 수학적으로 다음의 함수를 이용하여 두 변수값을 나타낼 수 있다.

$$V_{eff1} = \frac{1}{2}\left\{V_{gs} + V_{gd} + \sqrt{(V_{gs}-V_{gd})^2+\Delta^2}\right\} \quad -- \quad (2\text{-}12a)$$

$$V_{eff2} = \frac{1}{2}\left\{V_{gs} + V_{gd} - \sqrt{(V_{gs}-V_{gd})^2+\Delta^2}\right\} \quad -- \quad (2\text{-}12b)$$

이때 $\triangle=0$이다. 만약 $\triangle$이 zero가 아닌 경우엔 좀 더 부드러운 천이가 이루어진다. 식(2-11)을 미분하면 게이트-소오스, 게이트-드레인 캐퍼시턴스를 계산할 수 있다.

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1-\frac{V_{eff1}}{V_B}}}\frac{1}{2}\left\{1 + \frac{V_{gs}-V_{gd}}{\sqrt{(V_{gs}-V_{gd})^2+\Delta^2}}\right\}$$

$$+ C_{gd0}\frac{1}{2}\left\{1 - \frac{V_{gs}-V_{gd}}{\sqrt{(V_{gs}-V_{gd})^2+\Delta^2}}\right\} \quad --- \quad (2\text{-}13a)$$

$$C_{gd} = \frac{C_{gs0}}{\sqrt{1-\frac{V_{eff1}}{V_B}}}\frac{1}{2}\left\{1 - \frac{V_{gs}-V_{gd}}{\sqrt{(V_{gs}-V_{gd})^2+\Delta^2}}\right\}$$

$$+ C_{gd0}\frac{1}{2}\left\{1 + \frac{V_{gs}-V_{gd}}{\sqrt{(V_{gs}-V_{gd})^2+\Delta^2}}\right\} \quad --- \quad (2\text{-}13b)$$

위에서도 언급했지만, 만약 V_{gs}와 V_{gd}의 값이 서로 바뀐다해도 트랜지스터의 대칭성을 만족하기 위해서 Q_g의 값은 변하지 않는다. 식(2-11)과 (2-12)는 이 조건을 만족한다.

천이폭 $\triangle$의 치수는 전압이며, 수정가능한 변수이다. 천이폭의 크기는 속도가 포화에 도달하는 전압과 관련이 있다. 식(2-2)와 (2-6)에서 "$V_{DS}=1/\alpha$"는 드레인

전류의 포화 시점을 나타낸다. 지금까지의 이론에 맞추어서 $\triangle=1/\alpha$ 라는 경험식을 이용한다. 식(2-13a)를 이용한 C_{gs}를 보면, 정규 동작모드에서는 게이트-소오스 캐퍼시턴스가 V_{GS}에 의존하는 다이오드와 같은 캐퍼시턴스 특성을 볼 수 있다. 반전모드에서는 게이트-소오스 캐퍼시턴스가 C_{gs0}로 접근함을 알 수 있다. 큰 캐퍼시턴스에서 낮은 캐퍼시턴스로의 천이영역 폭은 약 $1/\alpha$의 값을 갖는 것을 알 수 있다.

현재까지 나타낸 근사식에 큰 값의 정의 접합 전압을 공급하게 되면 비물리적으로 무한대의 캐퍼시턴스가 되거나 복소 캐퍼시턴스가 된다. 식(2-7)-(2-13)에서 볼 때, V_{eff1}가 양수가 되거나 V_B와 같게 되어서 0 에 의해서 나누어지거나 복소수가 되는것을 피하기 위해서 V_{eff1}의 값을 V_{max}로 제한한다. 이 값은 접합 캐퍼시턴스의 값을 제한한다. V_{max} 이상의 전압에 대해서는 캐퍼시턴스가 일정하게 된다. 이것은 Gummel-Poon 모델에 의해 제시된 것과 유사하다. V_{max}이상이나 VB 근처의 전압에 대한 캐퍼시턴스를 정의하기에 적합한 모델은 없다. 이 영역에서 좀더 정확하게 모델링하고자 한다면, 쇼트키장벽으로 된 게이트와 PN 접합으로 된 게이트 사이에 구별을 해줄 필요가 있다. 쇼트키장벽 접합의 경우에는 소수 캐리어 주입과 관련된 비교적 큰 확산 캐퍼시턴스가 나타나지 않는다.

위에서 언급했듯이, V_{eff1}의 부호가 양수가 되거나 V_B와 같게 되면 게이트-소오스 캐퍼시턴스는 무한대가 된다. $V_{eff1} > V_{max}$일 때 Q_g에 대한 다음의 함수를 이용하여 캐퍼시턴스를 일정하게 유지시킬 수 있다.

$$Q_g = C_{gs0}\left\{2V_B\left(1-\sqrt{1-\frac{V_{max}}{V_B}}\right) + \frac{V_{eff1}-V_{max}}{\sqrt{1-\frac{V_{max}}{V_B}}}\right\} + C_{gd0}V_{eff2}$$

for $V_{eff1} \geq V_{max}$ - - - - - - - (2-14)

다. 채널 핀치오프 상태후의 캐퍼시턴스

FET가 핀치오프가 되면, 게이트-소오스 접합 캐퍼시턴스는 작은 값으로 떨어지며, 대게 공간전하영역 측면부의 캐퍼시턴스에 의해 결정된다. 유사하게 C_{gs}를 0 으로 설정하게 되면 불연속이 발생하며, 시뮬레이션을 할 때에 수렴하는데 어려움이 생긴다. 그렇기 때문에 우리는 식(2-12), (2-13)에서 이용한 부드

러운 내삽(법)을 이용한다. 따라서 Statz-Pucel 모델에서는 Vnew를 이용하였는데, 이 값은 핀치오프 이전에는 Veff1와 같고, 핀치오프 이상에서는 VT와 같다. 즉, Vnew는 (-Veff1)와 (-VT)의 두 값중 더 작은 값을 선택하면 된다. 식(2-12)를 적용하여 다음과 같이 Vnew를 표현할 수 있다.

$$Vnew = \frac{1}{2}\{V_{eff1} + V_T + \sqrt{(V_{eff1} - V_T)^2 + \delta^2}\} \quad -- \quad (2\text{-}15)$$

δ는 두 값들 사이에서 천이가 이루어지는 전압의 범위를 나타낸다. 식(2-15)를 식(2-11)의 Veff1에 대입하여 계산한후 부분 미분을 통해서 게이트-소오스, 게이트-드레인 캐퍼시턴스를 나타낼 수 있다.

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{Vnew}{V_B}}} \frac{1}{2}\left\{1 + \frac{V_{eff1} - V_T}{\sqrt{(V_{eff1} - V_T)^2 + \delta^2}}\right\}$$

$$* \frac{1}{2}\left\{1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}}\right\}$$

$$+ C_{gd0}\frac{1}{2}\left\{1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}}\right\} \quad -- \quad (2\text{-}16)$$

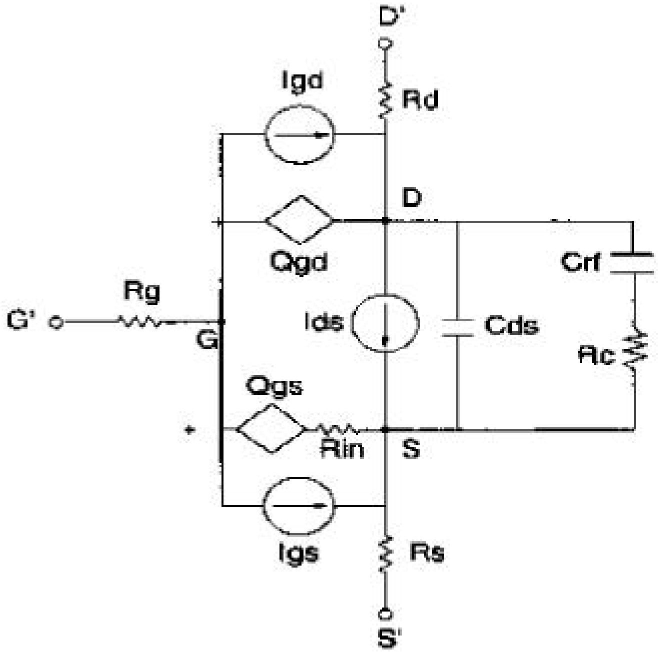
$$C_{gd} = \frac{C_{gs0}}{\sqrt{1 - \frac{Vnew}{V_B}}} \frac{1}{2}\left\{1 + \frac{V_{eff1} - V_T}{\sqrt{(V_{eff1} - V_T)^2 + \delta^2}}\right\}$$

$$* \frac{1}{2}\left\{1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}}\right\}$$

$$+ C_{gd0}\frac{1}{2}\left\{1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}}\right\} \quad -- \quad (2\text{-}17)$$

유사하게 식(2-14)에서 Veff1에 식(2-15)의 Vnew를 대입하면 Veff1>Vmax일 때 Qg에 대한 일정하게 유지하는 캐퍼시턴스를 나타낼 수 있다.

VGS의 함수로써, 다양한 VDS의 값에 대해 식(2-16)의 Cgs를 나타내면, 정규동작모드에서는 Cgs는 VGS의 함수로써 다이오드와 같은 캐퍼시턴스 모델을 따르고 있고, VGS가 핀치오프 전압 VT에 접근함에 따라 Cgs는 전압범위(δ)내에서 급격하게 zero로 떨어지게 된다. 반전모드에서 Cgs는 소오스와 드레인의 역할이 바뀜에 따라 게이트-드레인 캐퍼시턴스와 같이 동작하게 되며 이 범위에서 캐퍼시턴스의 값은 작게되고, VGS에 대한 의존성은 작게된다. 참고로 <그림 2-6>는 Statz-Pucel 모델의 회로도를 나타내고 있다[8].



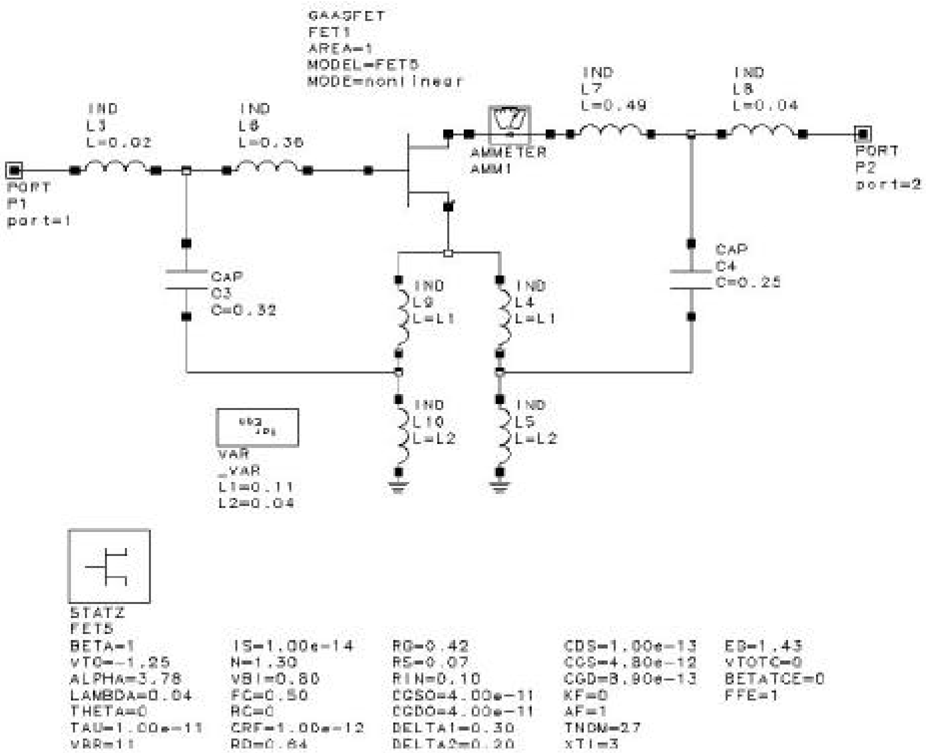
<그림 2-6> Statz-Pucel 모델 회로도

지금까지의 이론을 바탕으로 HEMT의 대신호 등가회로 모델을 구현하였으며, 그 과정은 다음과 같다.

우선 HEMT의 실측정 I-V 특성을 이용하여 모델링시에 사용할 바이어스 값을 결정한다. 본 연구에서는 전력증폭기의 선형성과 효율을 고려하여 AB급으로 동작시킬 예정이므로 그에 해당하는 바이어스를 <그림 2-2>를 참조하여 VGS = -0.8 V, VDS = 3.6 V로 결정하였다. 바이어스 값을 결정한 후, Statz-Pucel 모델내의 DC 특성과 관련된 파라미터 값을 결정하기 위해서 실측정 DC 특성과 Statz-Pucel 모델의 이론을 이용하였고, 주파수에 대해 의존성이 없는 저항은 소신호 등가회로 모델의 값을 초기값으로 이용하였다. 이제 Statz-Pucel 모델내의 AC 특성과 관련있는 파라미터 값을 추출하여야 하는데, 추출하는 방법에는 여러 가지가 있다. 여러 바이어스 조건에서 디바이스의 DC 및 AC 측정이 가능한 경우 쉽게 결정할 수가 있지만, 본 연구에서는 위에서 언급한 Statz- Pucel 모델의 이론과 소신호 등가회로 모델 등을 이용하여 AC 특성 파라미터의 값을 추출하였다. 이렇게 해서 완성한 Statz-Pucel 모델은 패키지가 되어 있지 않은 베어칩(<그림 2-1(a)>)을 나타내는 것이다. 그러나 본 연구에서 사용하는 HEMT는 세라믹으로 패키징이 된 것(<그림 2-1(b)>)이므로 Statz-Pucel 모델에 패키지 성분들에 대한 모델을 첨가하면 실제 소자와 동일하게 동작하는 대

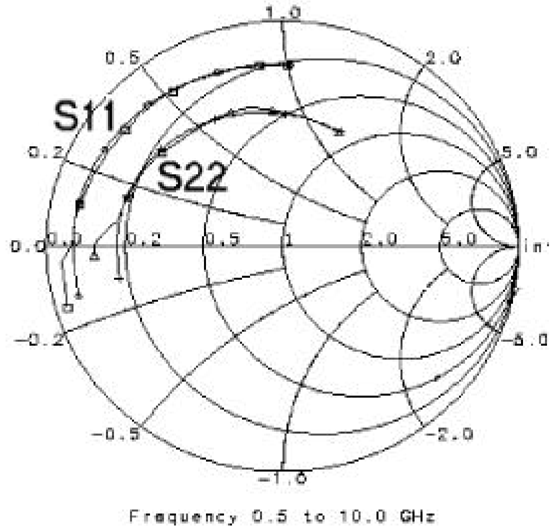
신호 등가회로 모델이 완성되는 것이다.

패키지는 인덕터와 캐퍼시터와 같은 수동소자로 나타낼 수 있으며, 이와 관련된 파라미터의 값을 결정하는 것 역시 측정으로 결정하는 것이 가장 좋은 방법이지만, 본 연구에서는 실제 패키지의 lead 선에 관한 정보 및 패키지 성분들이 스미스챠트 상에서 트랜지스터의 S 파라미터에 미치는 영향들을 고려하여 각 파라미터 값을 결정하였다. <그림 2-7>은 HEMT 칩에 대한 Statz-Pucel 모델과 패키지 성분을 고려한 대신호 등가회로 모델을 나타내고 있다.

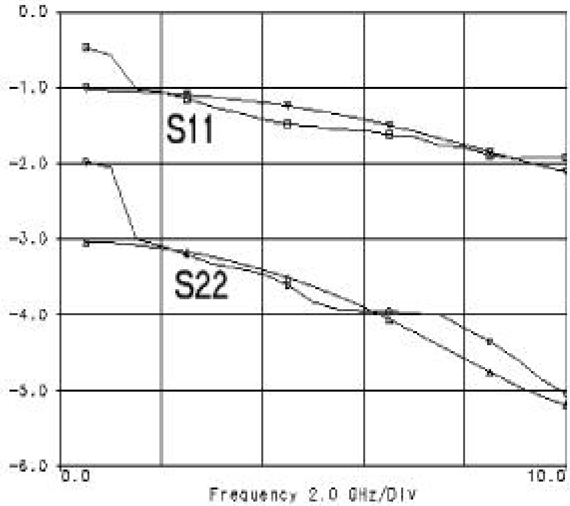


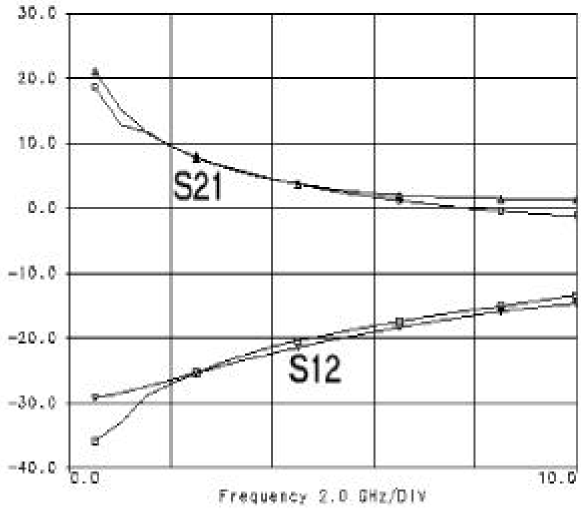
<그림 2-7> HEMT의 대신호 등가회로 모델

이상과 같이 구현한 대신호 등가회로 모델내 각 파라미터의 값은 정확한 값이 아닌 초기값이기 때문에 실제 S 파라미터와 비교하면 차이가 있을 것이다. 따라서 본 연구에서는 HP-EEsof社의 Libra를 이용하여 실제 칩의 S 파라미터의 특성과 초기값으로 구성된 대신호 등가회로 모델이 같도록 S 파라미터에 fitting 하여 HEMT의 대신호 등가회로 모델을 완성하였다. <그림 2-8>는 실측정 S 파라미터와 대신호 등가회로 모델의 S 파라미터를 비교한 것을 나타내고 있다.



(a) **스미스차트 상에서의** S11, S22





(b) **입 · 출력 반사손실** (c) **소신호 이득과** S12

<**그림** 2-8> **실측정** S **파라미터와 대신호 등가회로 모델의** S **파라미터 비교**
(0.5 - 10 GHz)

<그림 2-8>의 결과를 볼 때, 본 연구에서 사용하는 주파수대역(1.92-1.98 GHz)에서 S11과 S22, S21은 실제 HEMT와 잘 일치하고 있다. 다만 S12의 경우 최대 1 dB의 차이가 있음을 알 수가 있는데, 이 차이로 발생하는 영향은 매우 적고, 하이브리드 타입의 회로는 제작 후 미세조정(tuning)이 가능하므로 설계치와 동일한 특성을 얻는 것이 가능할 것이다. 지금까지의 결과를 보면, 전력증폭기와 이득증폭기를 설계시 본 연구에서 구현한 대신호 등가회로 모델을 이용하여 설계할 수 있다.

제 2 절 대신호 등가회로 모델을 이용한 전력증폭기 설계

단말기용 회로는 성능 뿐만아니라, 크기에도 제한이 있으므로 기본적인 회로 이외에 어떤 기능을 향상시키기 위한 회로를 덧붙이는 것은 어렵다. 그렇기 때문에 일반적인 단말기용 전력증폭기는 능동소자와 정합회로, 그밖의 간단한 회로부와 바이어스 라인으로 구성되어 있다. 가장 중요한 것은 이전에 밝혔듯이 능동소자의 선택이며 어떤 방법으로, 무슨 목적을 위해, 어떤 정합회로를 구성하느냐도 중요하다. 따라서 전력증폭기를 설계하기 전에 전력증폭기를 설계하는데 있어서 관련된 기본적인 이론을 알아보면 다음과 같다.

1. 전력증폭기 설계의 기초 이론

가. 전력증폭기의 성능과 설계시 고려하여할 점.

전력증폭기 설계시 고려하여야 할 전기/주파수 성능은

(1) 중심주파수 및 주파수 대역
(2) 전력이득 및 대역내의 전력이득 평탄성
(3) 입력 및 출력의 반사손실
(4) 안정성 (stability)
(5) 출력전력
(6) 전력부가효율
(7) 상호변조왜곡 등을 들 수 있다[9].

또한, 시스템이 허용할 수 있는 상호변조왜곡의 상한값으로 결정되는 최대출력

전력과 잡음지수로 결정되는 최소입력전력과의 차는 증폭기의 다이내믹영역 (dynamic range)로 나타내지며, 시스템응용에서는 중요한 평가항목이 된다.

나. 증폭기의 전력이득

마이크로파 회로에서 이득이라 함은 일반적으로 전력이득을 의미하며, 네트워크 분석기(Vector Network Analyzer; VNA)로 측정되는 S21 (dB)으로 표시된다. 이는 소신호 레벨, 즉 능동소자가 선형소자로 동작하는 신호레벨에 있어서 전력이득을 의미한다. 증폭기 설계의 가장 기초가 되는 소신호에 있어서의 능동소자의 이득 정합에 대하여 알아보자. 소신호 범위에서 증폭기는 선형회로로 취급 가능하므로 설계가 용이하다.

이득정합의 기본은 최대이득을 얻는 것으로, 능동소자의 입·출력 단자에서 보았을 때 신호원 임피던스 (ZS) 및 부하 임피던스 (ZL) 가 이득정합의 최적 신호원 임피던스 (ZMS) 및 최적 부하 임피던스 (ZML) 과 일치 하도록 입·출력 정합회로를 설계하여 주면 된다. 그러나 실제의 경우에는 증폭기의 안정성 문제가 여기에 추가되어 그렇게 간단하지는 않다. 사용하는 능동소자 자신이 궤환성분 (feedback component)을 갖고 있지 않는 즉, 능동소자의 S12가 "0"인 단방향성 소자 (unilateral device) 라면, 입·출력 정합은 독립적으로 설계 할 수 있으며, 불안정한 상황(즉, 발진)이 일어나지 않는다. 그러나 실제의 능동소자는 귀환성분 (예를들면, FET의 Cds, HBT의 Cbc등) 을 갖고 있으며 S12은 "0" 이 아니다. 그러므로 소자자신의 귀환작용에 의하여 ZS 와 ZL 의 위치에 따라서는 불안정한 상태로 되며 발진할 수 있는 가능성을 갖게된다. 이와 같이 능동소자의 안정·불안정은 주파수에 의하여 변화하기 때문에, 사용하는 주파수 전체에서 능동소자가 안정할까, 불안정할까를 판단할 필요가 있다. 그 안정성 판단에는 다음과 같은 식이 쓰인다[10].

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |D|^2}{2|S_{12}S_{21}|} > 1 \quad . . . \quad (2\text{-}18)$$

$$|D| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad . . . . . \quad (2\text{-}19)$$

식 (2-18) 및 (2-19)에 능동소자 S-파라미터를 대입하며 부등호의 조건을

만족하면 절대 안정하며, 어떤 ZS 와 ZL에 대하여도 발진하지 않는다.

K가 1보다 큰 경우, 다음절에서 기술하고 있는 이득정합의 ZMS 와 ZML 와 일치하는 입/출력 정합회로를 설계하면 최대이득을 얻을 수 있다. 이와같은 이득을 최대유능전력이득(MAG) 이라 한다. MAG값은 능동소자의 S 파라미터 값으로부터 다음과 같은 식으로 유도된다.

$$MAG = \frac{|S_{21}|}{|S_{12}|}(K - \sqrt{K^2 - 1}) \quad . \; . \; . \; . \; . \quad (2\text{-}20)$$

K<1일 때는 MAG가 복소수가 되므로 정의 불가능하게 된다. 고주파특성이 좋은 HBT 혹은 HEMT와 같은 능동소자는 목적하는 주파수에서 K<1인 경우가 있다. 이 경우의 전력 이득의 기준이 되는 것은 최대 안정 이득 (Maximum Stable Power Gain; MSG)이다. MSG는 정합회로의 손실을 더하여 K가 1이 되도록 하였을 때 얻어지는 이득이다. 즉,

$$MSG = \frac{|S_{21}|}{|S_{12}|} \quad . \; . \; . \; . \; . \; . \; . \quad (2\text{-}21)$$

이와 같은 MAG/MSG는 증폭기 이득의 기준이 되며, 1점의 주파수의 정합으로 얻어지는 이득에 대하여, 실제 증폭기는 주파수 대역을 커버하여야 할 이득을 얻어야 하므로 실제 이득은 MAG/MSG보다 클 수는 없다. 따라서 MAG/MSG는 최대전력이득의 지표라 생각하면 된다.

MAG/MSG는 증폭기의 비교적 현실적 이득의 지표이지만 능동소자의 잠재능력까지 포함하고 있는 것은 아니다. 능동소자의 잠재능력을 발휘 시키기 위하여는 능동소자 자신의 귀환을 상쇄시키기 위한 귀환회로를 외부에 접속하여 S12를 0 으로 만들 필요가 있다. 이때, 능동소자를 포함하는 회로는 단방향성을 가지며, 이 때의 전력이득을 MAG/MSG 보다 크게 된다. 이 이득은 다음과 같은 식으로 표시되는 최대 단방향 전력이득(Maximum Unilateral Power Gain)이며 Mason이 수학적으로 유도하였다하여 Mason's U라 한다.

$$Mason's\ U = \frac{|S_{21} - S_{12}|^2}{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2 - S_{12}S_{21}{}^* - S_{12}{}^*S_{21}} \; ......(2\text{-}22)$$

Mason's U는 능동소자의 성능지수를 나타내는 파라미터로 불변량이다. 이 파라미터도 1점의 주파수에서 성립하는 수학적 파라미터이며, 정해진 주파수 대역을 커버하며, 안정조건을 만족하는 저손실 귀환회로를 실현시키기에는 불가능에 가깝다. 따라서, Mason's U 는 능동소자의 잠재능력의 우열을 가리는 기준으로 사용 될 수는 있지만 실제 증폭기에서 얻어지는 전력 이득은 될 수 없다.

이와 같은 MAG/MSG 와 Mason's U가 0 dB 로 되는 주파수를 최대 발진주파수 f_{max}라 정의하여, 능동소자의 주파수성능 비교에 쓰이고 있다.

다. 전력증폭기의 설계

전력 증폭기는 전력 트랜지스터 (HBT, HEMT, MESFET 등)의 능동소자의 입·출력단에 정합회로와 바이어스회로를 접속한 회로다. 여기서 정합회로라 함은 신호원 임피던스와 부하 임피던스를 능동소자측에서 볼 때 능동소자에 최적합한 임피던스로 보이도록하는 임피던스 변환 회로를 말한다. 임피던스 정합회로의 설계방법은 많지만, 증폭기의 사용 목적에 따라 몇가지로 분류된다. 즉, 전력이득 정합회로, 고출력 정합회로, 고효율 정합회로, 고선형 정합회로 (저상호변조 정합회로) 등을 들수 있다. 전력이득 정합회로는 소신호 영역에서의 능동소자가 선형적으로 동작할 때 최대 전력이득을 얻기 위한 정합회로이며, 이 회로의 설계를 위하여는 트랜지스터의 소신호 S 파라미터가 필요하다. 고출력 정합회로는 능동소자가 대신호 영역에서 동작할 때, 즉 비선형성이 강할 때 최대 출력전력을 얻기위한 정합회로이며, 고효율 정합회로와 저상호변조 정합회로도 능동소자가 대 신호 영역에서 동작할 때 최대 전력부가 효율 또는 최소 상호변조전력을 얻기 위한 정합회로로, 이 세가지 정합회로는 출력전력효율, 선형성 등의 파라미터에 각각 trade-off 관계를 가지고 있다. 본 보고서에서는 선형적 정합회로인 이득정합회로와 비선형적 정합회로인 고출력 정합회로의 회로 설계법에 대하여 간단히 설명하고자 한다.

1). 이득정합회로 설계

능동소자의 소신호 S 파라미터를 이용하여 설계하는 입·출력 정합회로의 블록 다이어그램으로 나타내면 <그림 2-9>와 같이 나타낼 수 있다. 이 그림에서 소자측에서 바라본 입력측과 출력측의 반사계수를 Γ_S, Γ_L 이라하면, 이 증폭기가 최대 이득을 갖기 위하여는 다음과 같은 반사계수를 가져야 한다.

$$\Gamma_{MS} = \frac{B_1 \pm \sqrt{B_1^2 - 4|C_1|^2}}{2C_1} \quad ..... \quad (2-23)$$

$$\Gamma_{ML} = \frac{B_2 \pm \sqrt{B_2^2 - 4|C_2|^2}}{2C_2} \quad ..... \quad (2-24)$$

여기서,

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 \quad .... \quad (2-25)$$

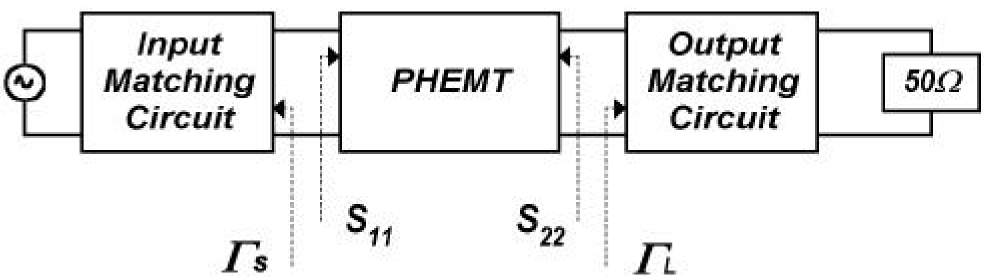
$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2 \quad .... \quad (2-26)$$

$$C_1 = S_{11} - \Delta S_{22}^* \quad .... \quad (2-27)$$

$$C_2 = S_{22} - \Delta S_{11}^* \quad .... \quad (2-28)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad .... \quad (2-29)$$

이다. 이와 같은 수학적 표현식의 Γ_{MS} 와 Γ_{ML}은 스미스차트 상에서 구할 수 있으며 RF회로 시뮬레이터 Libra의 linear bench를 이용하여 간단히 구할 수 있다. 그 이론은 참고문헌 [10]에 자세히 설명되어 있으므로 본 보고서에서는 생략한다.



<그림 2-9> 전력 증폭기에서의 입·출력 정합회로

2). 고출력 정합회로 설계

전력증폭기의 최종단은 고출력전력과 고효율을 얻기 위하여 능동소자가 비선형동작을 하게 된다. 이와 같이 대신호 동작의 경우 앞에서 기술한 소신호 파라미터보다는 대신호 S 파라미터가 필요하게 된다. 그러나 불행하게도 대신호 S 파라미터는 측정장치의 한계 실제 측정이 어렵다. 대신호 모델이 정립된 FET, HEMT의 경우에는 소신호 모델에서 등가회로를 추출해내어 시뮬레이션하여 대신호 S 파라미터를 얻어 정합회로를 구성 할 수 있고, 또한 실험적으로 임피던스 지점을 찾아내어 정합회로를 설계할 수도 있다.

이론적으로 살펴보면 먼저, 입력측은 전력을 최대한 능동소자에 공급하도록 임피던스 정합을 실행한다. 비선형동작으로 임피던스는 시간적으로 변화하지만, 입력측은 출력측보다 신호크기가 작고, 비선형성이 적기 때문에 임피던스의 시간 편천으로 정합하여 준다. 보다 정확히 하기 위하여는 능동소자의 비선형성으로 발생하는 전압·전류를 푸리에 변환시켜 고조파 성분을 구하여서 정합회로에서 각 고조파 주파수에서 전압·전류가 발생할 때의 상황과 비교하여 그 차가 최소가 되게 하도록 하모닉 밸런스(Harmonic Balance; HB)법으로 정합 회로의 조건을 구하여야 한다[11]. 즉, 정합회로의 조건을 기본파 및 고조파 주파수를 동시에 고려해 주어야 한다. 이 조건을 갖는 선형적인 정합회로에 의하여 능동소자는 최적의 비선형동작을 할 수 있다.

실험적으로 출력측 튜너(tuner)를 이용하여 정합회로를 설계하는 방법을 load-pull 방법이라 한다. 고조파 주파수에서도 정합을 고려해야 완전한 정합회로를 설계 할 수 있지만, 통상 근사적으로 기본주파수만 측정하여 출력정합회로를 최대 출력전력 또는 최대 효율을 얻도록 설계하고 있다. load-pull 측정이 불가능시에는 비선형 회로 시뮬레이터를 이용하여 정합회로를 설계한다. 예를 들면, RF비선형 회로 시뮬레이터 Libra의 비선형해석 bench (harmonic balance bench) 에서 대신호 S 파라미터를 구하여 앞에서 말한 순서에 의한 정합회로를 설계할 수 있다.

2. HEMT 전력 증폭기 설계

가. 단단(single-stage) 전력 증폭기 설계

앞에서 서술한 설계 이론을 바탕으로 전력증폭기를 설계하기 위해서는 가장 먼저 트랜지스터의 동작점을 결정해야 한다. 본 연구에서는 설계 목표치의 선형성과 효율을 고려하여 동작점(V_{GS} = -0.8 V, V_{DS} = 3.6 V)을 결정하였다.

1절의 3에서 추출한 대신호 등가회로 모델을 이용하여 단단 전력증폭기를 설계하였으며, 이때 사용한 세라믹 기판은 유전율이 9.3, 두께가 0.635 mm이다. (이는 제 4장의 패치안테나와 일체화시키기 위하여 같은 기판을 사용하고 있슴)

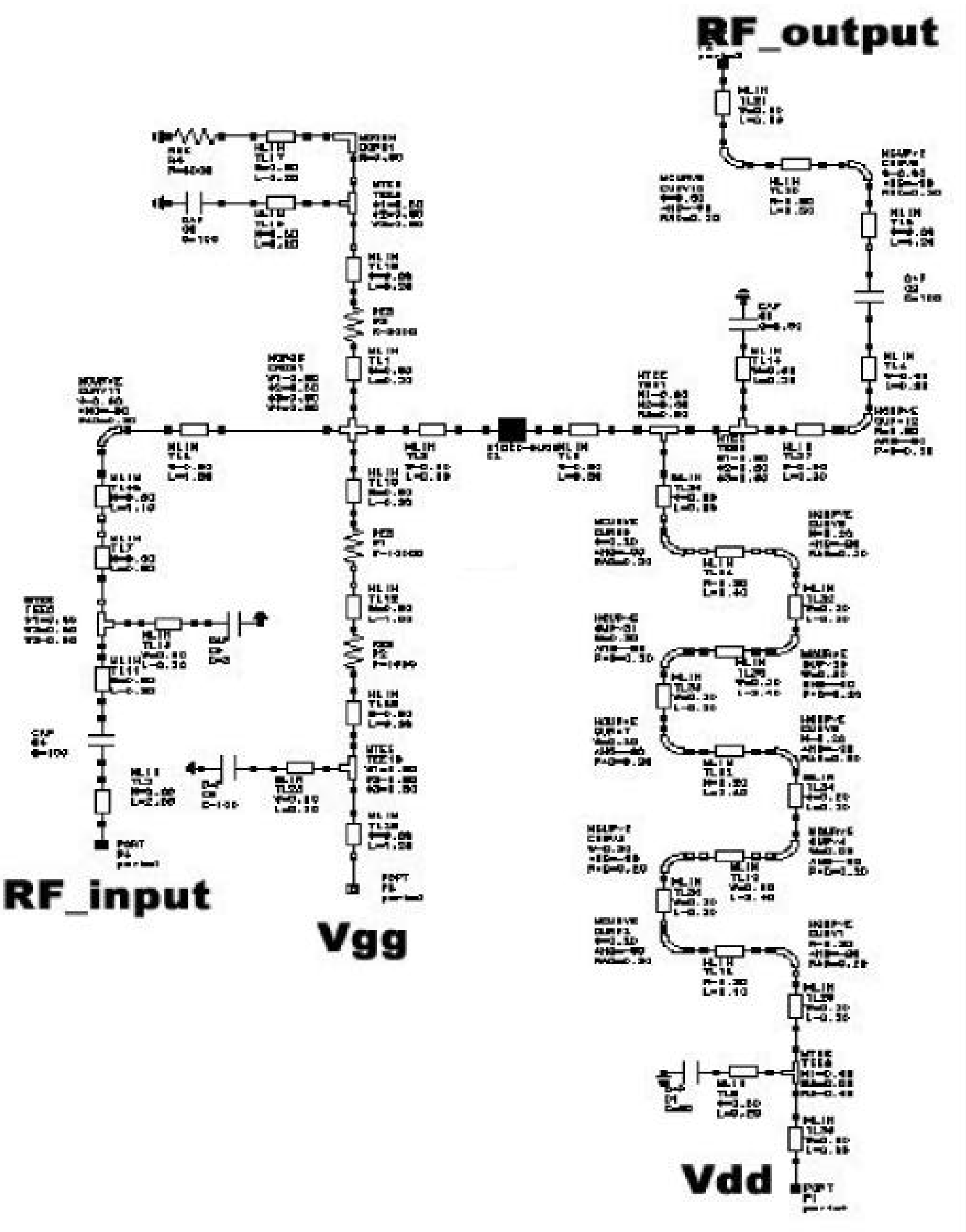
전력증폭기는 최대의 출력전력을 목표로 하는 회로이므로 트랜지스터에서 바라본 입력에는 트랜지스터에 최대의 전력이 전달되도록 공액 임피던스 정합을 해주고, 출력쪽에는 최대의 출력전력을 부하에 전송할 수 있도록 그에 해당하는 임피던스 지점을 찾아 정합회로를 설계해주면 된다.

출력측 정합회로 설계시 최대 출력전력을 위한 임피던스 지점을 결정하는 것은 중요한 과정중 하나이다. 본 연구에서는 Libra의 HB test bench를 이용하여 HEMT의 대신호 등가회로 모델을 이용한 증폭기가 30 dBm의 출력전력을 얻을 수 있도록 Libra내의 최적화 프로그램(optimizer)를 이용하여 최적화시켰다. 이때의 회로도는 <그림 2-10>과 같다.

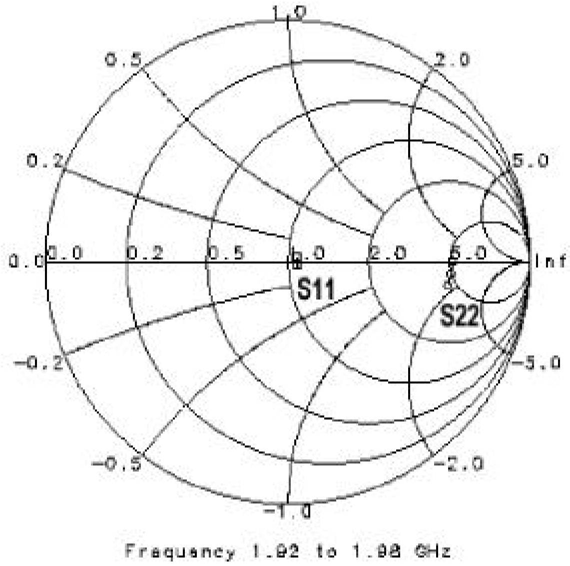
<그림 2-10>에서 검정박스는 본 연구에서 구현한 대신호 등가모델을 가리키며, 그 좌우측으로는 최대의 출력전력을 얻는 임피던스가 되도록 마이크로스트립 선로와 커패시터로써 정합회로를 설계한 것을 보이고 있다. 또한 입력단의 바이어스 라인은 RF적으로는 개방상태로, DC적으로는 안정한 바이어스를 공급해주기 위해서 저항을 사용하여 설계하였고, 출력단에는 RF적으로는 개방(open) 상태이면서, DC적으로는 단락(short)상태가 되도록 중심주파수 1.95 GHz의 $\lambda/4$에 해당하는 마이크로스트립 선로와 커패시터를 이용하여 Choke Coil의 역할을 하도록 설계하였다. 본 전력증폭기의 S 파라미터 특성을 보면 <그림 2-11>과 같다.

<그림 2-11>을 보면 전력증폭기의 출력 반사손실이 매우 큼을 알 수 있다. 이것은 전력증폭회로의 설계 방법대로 출력쪽에 최대의 출력전력을 위한 정합을 하였으므로 공액 임피던스 정합일 경우와 비교해서 출력반사손실이 매우 크

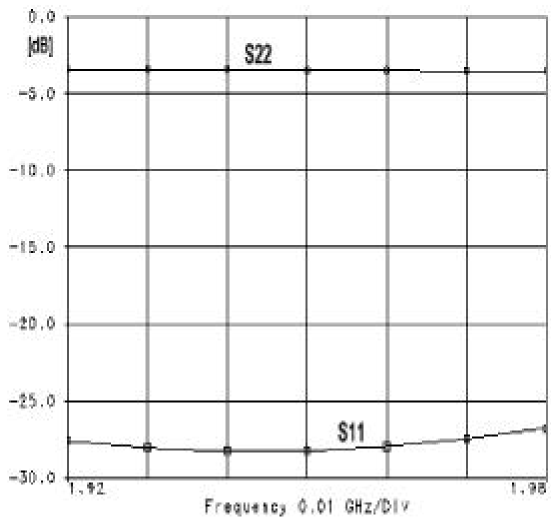
ㅏ. 선형이득은 약 15 dB이며 본 연구에서 사용하는 주파수 대역에서 매우 우수한 이득평단도를 얻음을 볼 수 있다.



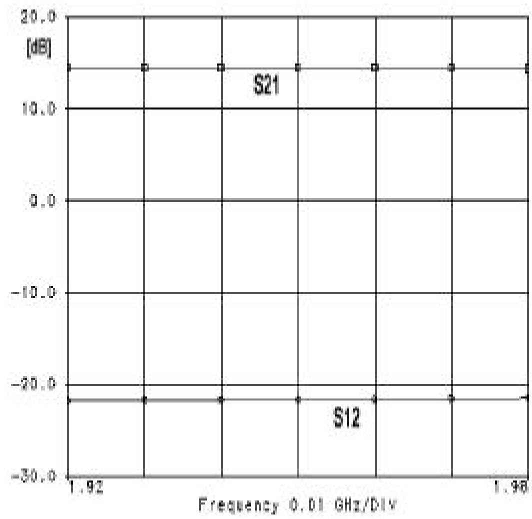
<그림 2-10> 대신호 등가회로 모델을 이용한 전력 증폭회로



(a) S11, S22



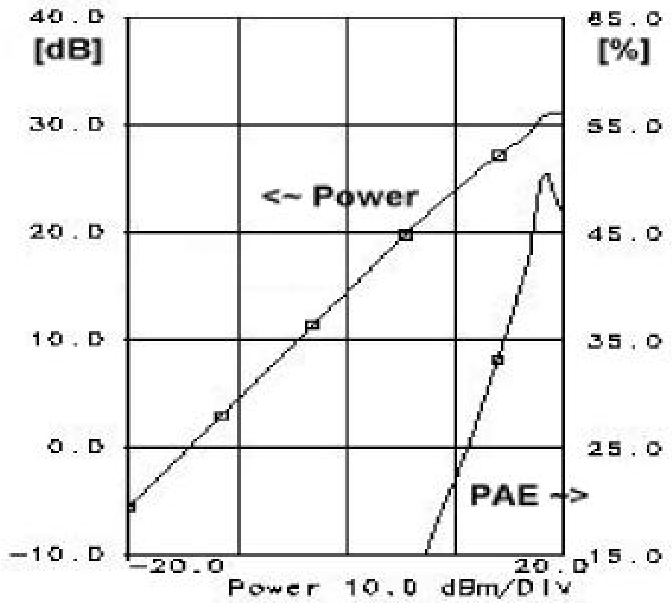
(b) **입·출력 반사손실**



(c) **선형이득과** S12

<**그림** 2-11> **전력증폭기의** S **파라미터 특성**

Libra를 이용하여 시뮬레이션한 전력증폭기의 입·출력 전력특성과 전력부가효율(Power Added Efficiency; PAE)을 <그림 2-12>에 보이고 있다.

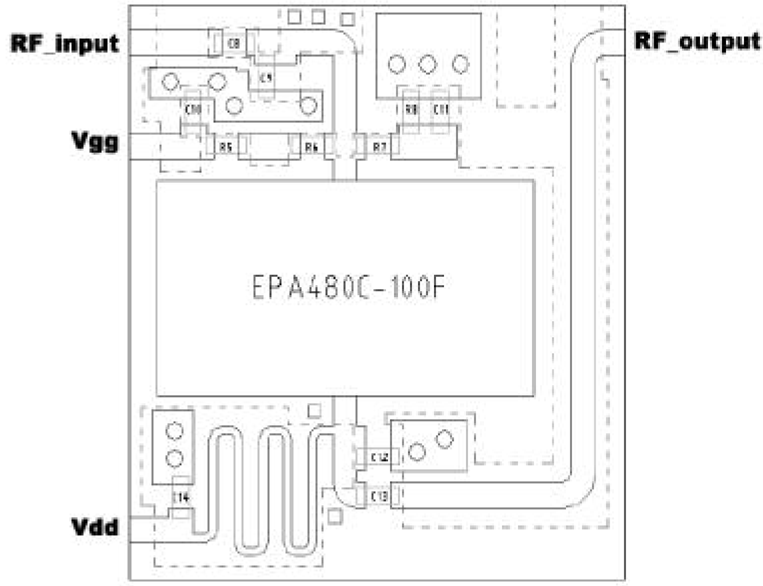


<그림 2-12> 전력증폭기의 입·출력 전력 특성과 전력부가효율

<그림 2-12>에서, 약 18 dBm의 입력전력에 대해 31 dBm의 최대출력전력(P1-dB)을 얻었고, 디바이스에 공급된 DC로부터 얻은 순수한 RF만의 효율이라 할 수 있는 전력부가효율은 약 50 %를 얻었다. 그러나 선형이득은 약 15 dB로써 설계하기 이전에 고려하였듯이 설계 목표치의 선형성과 효율에 초점을 맞추다보니 최대유능전력이득보다 작은 이득을 얻었음을 볼 수 있다.

지금까지 보았던 단단 전력증폭기의 특성은 연구 설계 목표치 이상의 결과를 얻었지만, 고이득을 특성을 갖는 이득증폭기를 단단 전력증폭기의 전단에 두게 되면 고이득, 고선형성, 고효율 특성을 갖는 전력증폭기가 될 것이다. 따라서 단단 전력증폭기의 설계외에 고이득 특성을 갖는 2단 전력증폭기를 병행하여 설계하였으며, 이에 대해서는 다음절에 설명하고 있다.

실제 제작을 위한 단단 전력증폭기의 패턴 레이아웃은 <그림 2-13>과 같고 실제 크기는 가로·세로 각각 1.1 cm 미만이다. 그림에 보이는 작은 패드는 제작후 미세 조정을 위해 설계한 것이다.



<그림 2-13> 단단 전력증폭기의 패턴 레이아웃

나. 2단(Two-stage) 전력증폭기 설계

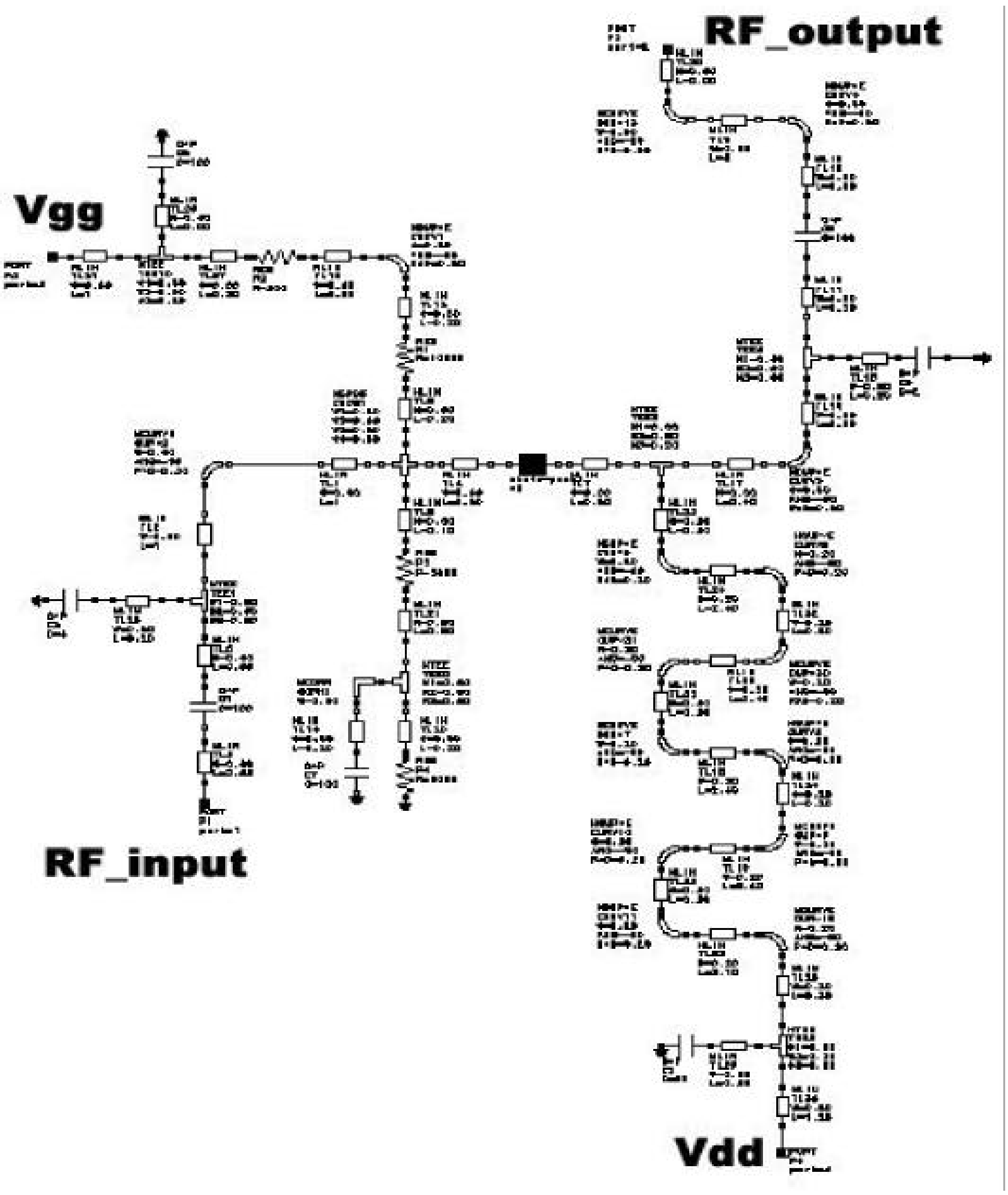
(1) 전단 이득증폭기 설계

앞절에서 설계한 단단 전력증폭기는 설계 목표치의 모든 특성을 만족하고 있다. 그러나 좀 더 우수한 이득 특성을 위해 단단 전력증폭기의 전단에 고이득 특성을 갖는 이득증폭기를 둔 2단 전력증폭기를 설계하였다.

이득증폭기는 최대의 전력이득 특성을 갖는 증폭기로 디바이스에서 바라본 입·출력측에 공액 임피던스 정합을 시켜 최대의 전력이득을 얻도록 한다. 그러나 후단에 위치할 전력증폭기는 최대출력전력을 얻기 위해 18 dB의 입력전력을 요구하므로 이득증폭기의 설계시에는 이득 특성뿐만 아니라, 최대출력전력도 고려하여 설계하여야 한다. 본 연구에서는 전력증폭기의 성능을 고려하여 이득이 최소 15 dB, 출력전력은 최소 18 dBm의 특성을 갖는 이득증폭기를 설계하였다.

<그림 2-2>에서 본 연구의 사용 주파수대역(1.92-1.98 GHz)에서는 약 18 dB의 최대유능이득을 얻음을 볼 수 있다. 따라서 대신호 등가회로 모델에서 바라본 입·출력쪽에 공액 임피던스 정합을 해줄 경우 약 18 dB의 이득을 얻을 것

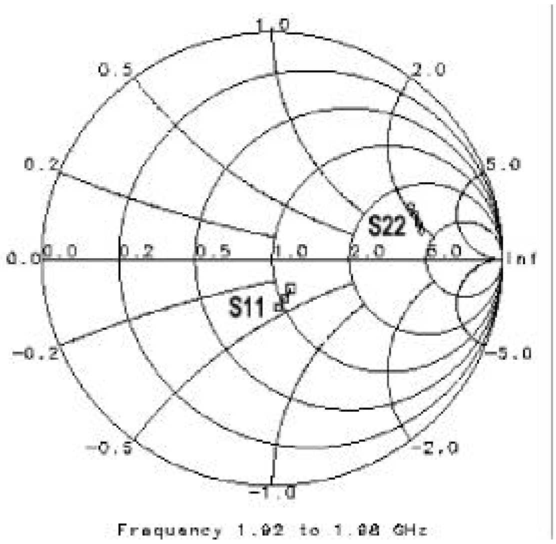
ㅣ다. 그러나, 후단에 위치할 전력증폭기에 최소 18 dBm의 신호를 공급해야 하ㅡ로 이득 증폭기의 출력은 최소 18 dBm을 얻어야 한다. 따라서 출력측에 공액 임피던스 정합이 아닌 최소 25 dBm의 출력전력을 얻도록 정합을 해주었다. <그림 2-14>는 대신호 등가모델을 이용하여 설계한 이득증폭기를 나타내고 있다. 이때 유전율=9.3, 두께=0.635 mm인 기판의 데이터를 바탕으로 설계하였다.



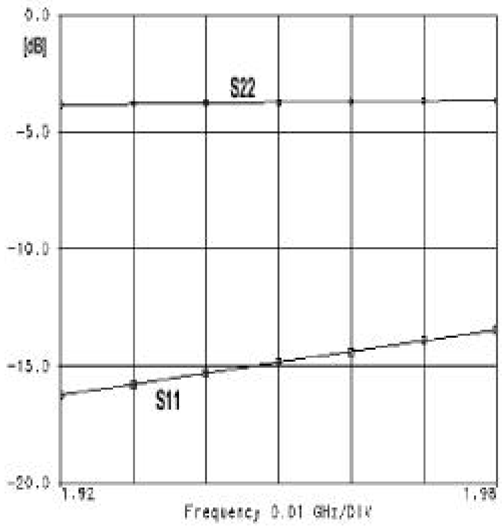
<그림 2-14> 대신호 등가회로 모델을 이용한 이득증폭회로

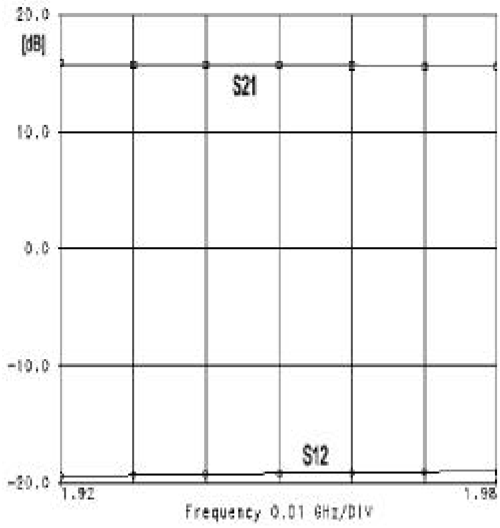
<그림 2-14>에서 검정박스는 전력증폭기와 마찬가지로 대신호 등가회로 모델을 가리키며, 그 좌우측에 공액 임피던스 정합을 위해서 직렬로 연결된 마이크로스트립 선로와 커패시터를 이용하여 정합회로를 설계한 것을 볼 수 있다. 또한 바이어스 라인은 전력증폭기와 마찬가지로 입력단은 RF적으로는 개방상태로, DC적으로는 안정한 바이어스를 공급해주기 위해서 저항을 사용하여 설계하였고 출력단은 중심주파수 1.95 GHz의 λ/4에 해당하는 마이크로스트립 선로와 캐퍼시터를 이용하여 Choke Coil의 역할을 하도록 설계하였다. 이때 바이어스는 전력증폭기와 마찬가지로 Vgs = -0.8 V, Vds = 3.6 V이다.

<그림 2-15>는 본 이득증폭기의 입·출력 반사손실과 선형이득(S21)을 나타내고 있다.



(a) S11, S22



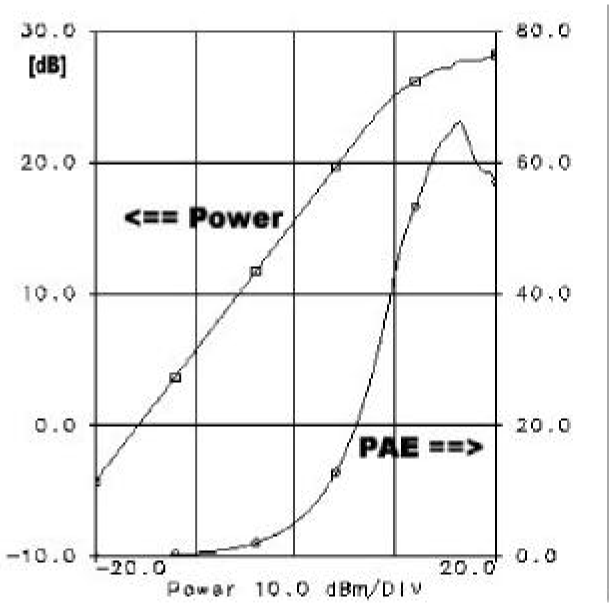


(b) 입 · 출력 반사손실 (c) 선형이득과 S12

<그림 2-15> 이득증폭기의 입 · 출력 반사손실과 선형이득

<그림 2-15>를 보면, 본 연구의 사용주파수(1.92-1.98 GHz)에서 약 16 dB의 이득을 얻었다. 또한 출력 반사손실이 비교적 큼을 볼 수 있는데, 이것은 전력증폭기가 최대출력전력을 얻을 수 있는 입력 전력을 고려해 임피던스 정합을 해주었기 때문이다.

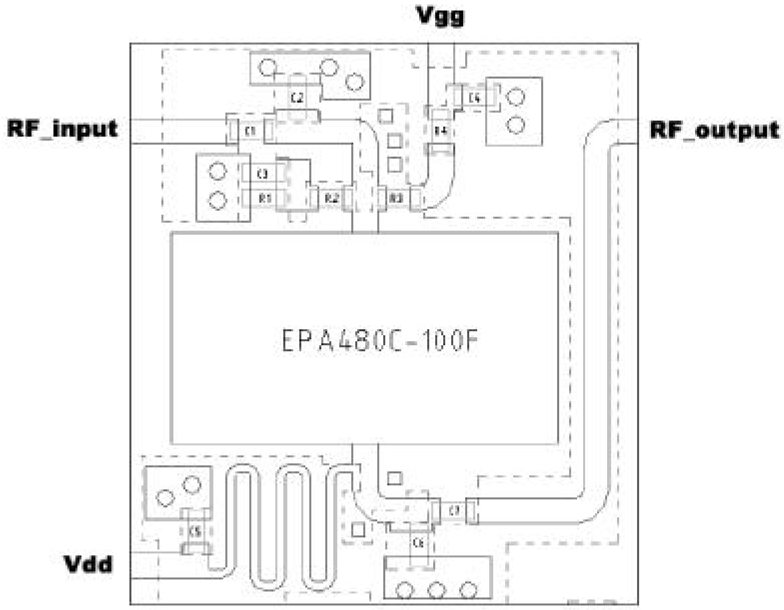
<그림 2-16>은 Libra를 이용하여 시뮬레이션한 입·출력 전력특성을 나타내고 있다.



<그림 2-16> 이득증폭기의 입·출력 전력 특성과 전력부가효율

이득증폭기의 전력이득은 약 16 dB이며, 최대 출력전력은 26 dBm의 출력전력을 얻었다. 전력부가효율은 40%로써 전력증폭기에 요구되는 이득증폭기의 사양을 모두 만족함을 알 수 있다. 따라서 이득증폭기를 전단에, 앞절에서 설계한 단단 전력증폭기를 후단에 연결하여 2단 증폭기로써 전력증폭기를 제작하면 30 dB 이상의 고이득 특성을 얻을 수 있다.

이득 증폭기의 실제 제작을 위한 패턴레이아웃은 <그림 2-17>에 나타냈으며, 이득증폭기의 가로·세로크기는 각각 1.1 cm 미만이며, 이득 증폭기에 있는 작은 패드 역시 제작후 미세조정을 위해 설계한 것이다.



<그림 2-17> 이득 증폭기 패턴 레이아웃

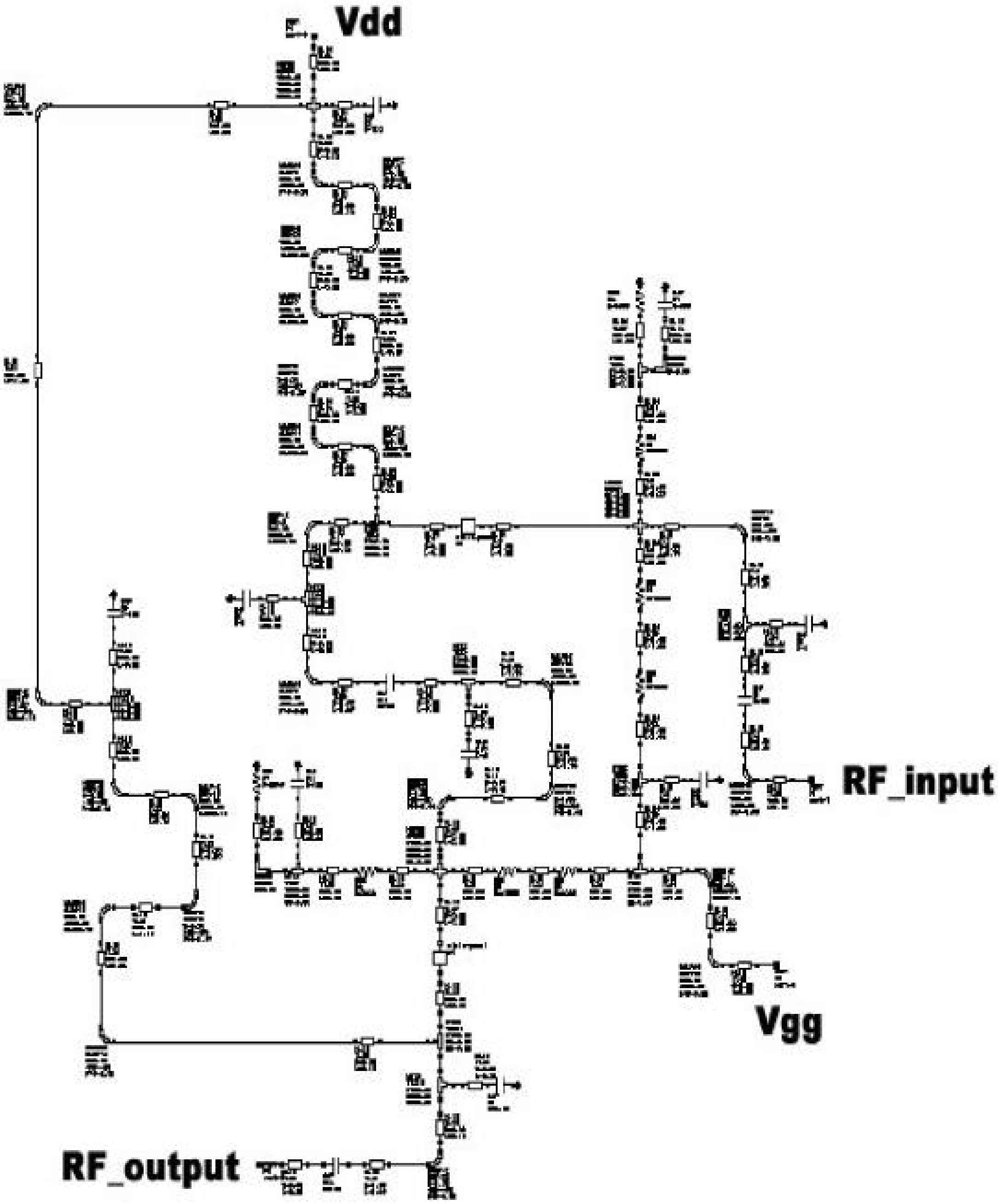
(2) 2단 전력 증폭기 설계 및 레이아웃

지금까지 설계한 단단 전력증폭기를 후단에, 이득증폭기를 전단에 두어 단간 정합(interstage matching)회로로 연결한 2단 전력증폭기의 회로도를 <그림 2-18>에 보이고 있다.

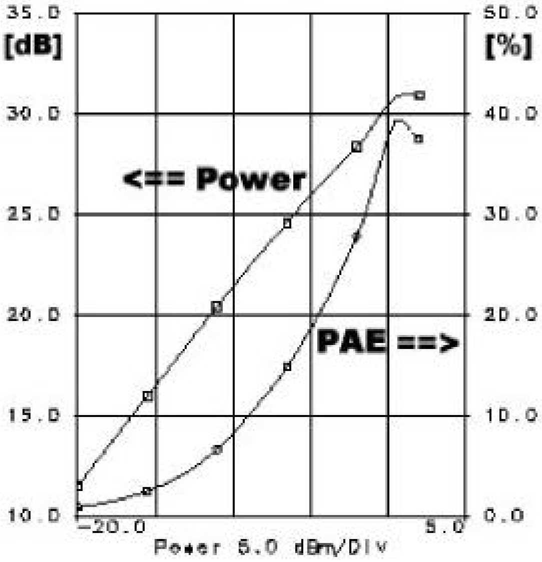
2단 전력증폭기의 입·출력 전력특성과 전력부가효율은 <그림 2-19>에 나타내었으며, 2단 전력증폭기의 이득은 32 dB, 출력전력은 31 dBm, 효율은 39%로 본 연구의 설계 목표치를 상회하는 결과를 얻고 있다.

IMT-2000 단말기용 전력증폭기의 사용 주파수대역은 1.92-1.98 GHz로써, 이 대역에서 최대출력전력(P1-dB), 효율 등의 대역출력특성이 만족하는가를 시뮬레이션하여 알아보았다. 출력전력, 효율 특성에 대한 2단 전력증폭기의 대역 특성을 <그림 2-20>에 보였다.

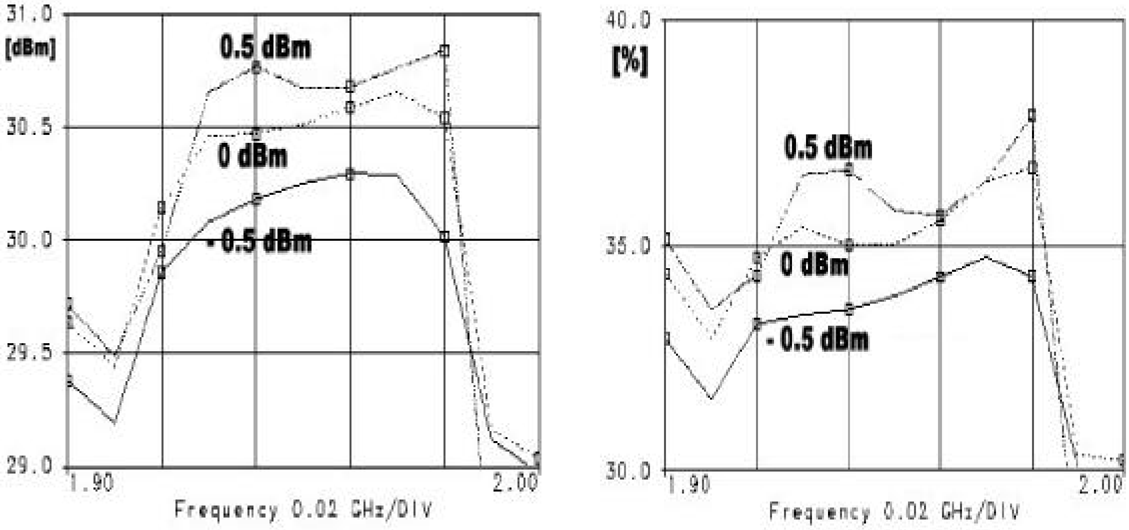
주파수 1.92-1.98 GHz에서, 출력전력의 경우 -0.5 dBm 이상의 입력전력 공급시 30 dBm (1W) 이상을 얻고 있다. 또한 이득 평탄도는 ±0.2 dB 이하로 매우 우수함을 볼 수 있다. 전력부가효율은 -0.5 dBm 이상의 입력시 33% 이상을 얻고 있다.



<그림 2-18> 2단 전력증폭 회로



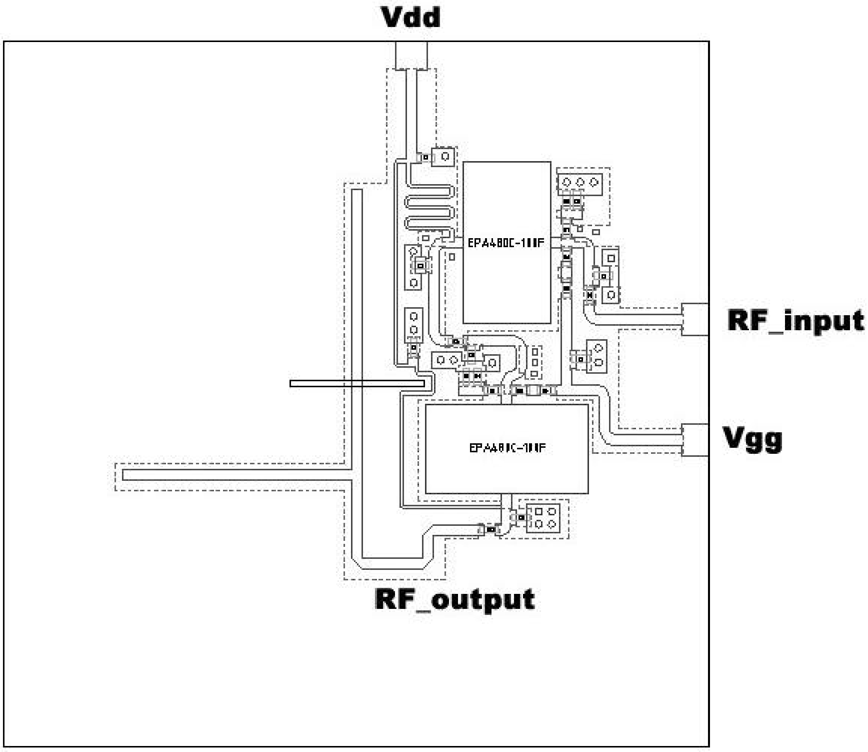
<그림 2-19> 2단 전력증폭기의 입·출력 전력특성과 전력부가효율



(a) 출력전력 (b) 전력부가효율 (PAE)

<그림 2-20> 2단 전력증폭기의 대역 특성

지금까지 설계한 2단 전력증폭기를 바탕으로 예상한 RFIC 일체형 안테나의 송신부를 보면 <그림 2-21>과 같다. RFIC 일체형 안테나의 경우 유전율 9.3, 두께 0.635 mm인 기판을 사용하였을 경우 2단 전력증폭기가 위치할 밑면의 최소 크기는 가로·세로가 1.95 GHz에서 λ/2에 해당하는 23.2 mm이다. <그림 2-21>은 안테나의 접지면을 고려하지 않은 크기를 바탕으로 나타낸 것이다.



<그림 2-21> RFIC 일체형 안테나의 송신부 레이아웃

<그림 2-21>에서 위쪽의 증폭회로는 고이득 특성을 갖는 증폭기를 위해 설계한 이득증폭기이며, 아래쪽의 증폭회로는 선형성과 효율을 고려한 전력증폭기이다. 보는 바와 같이 RF신호가 이득증폭기를 통해 입력신호의 전력이득을 증폭시킨후, 증폭된 신호가 전력증폭기를 통과하여 원하는 출력전력을 갖는 신호로 증폭하여 50 Ω 급전선을 통하여 안테나의 개구면으로 향하고 있고, 두 증폭기 사이는 Blocking 커패시터와 50Ω 선으로 연결한 형태를 갖고 있다.

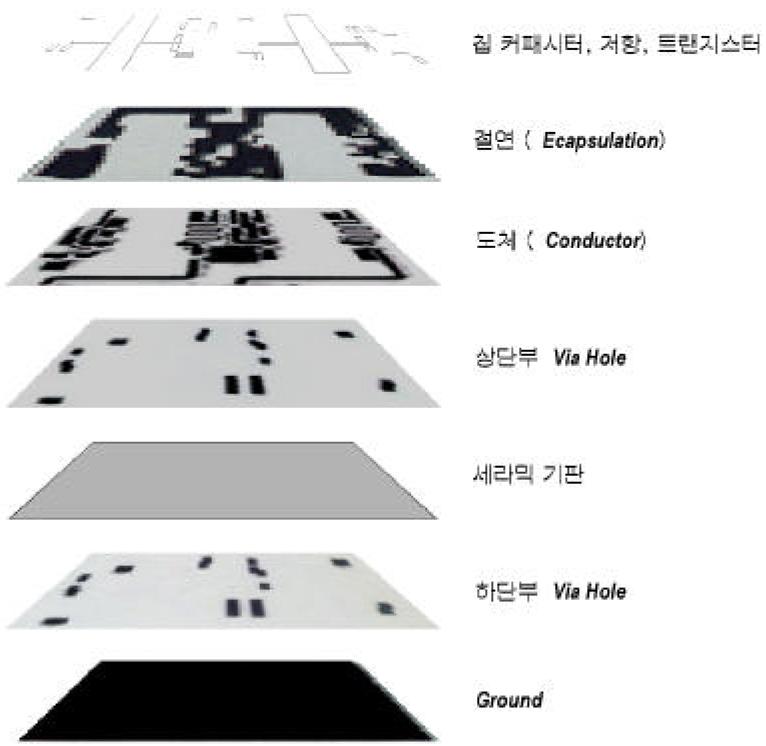
제 3 절 전력증폭기 제작 및 측정

본 절에서는 제 2 절에서 설계한 전력증폭기를 토대로 PHEMT 전력증폭기를 제작하였으며, 제작된 전력증폭기의 측정결과와 시뮬레이션 결과를 비교 및 분석하였다.

1. 전력증폭기 제작

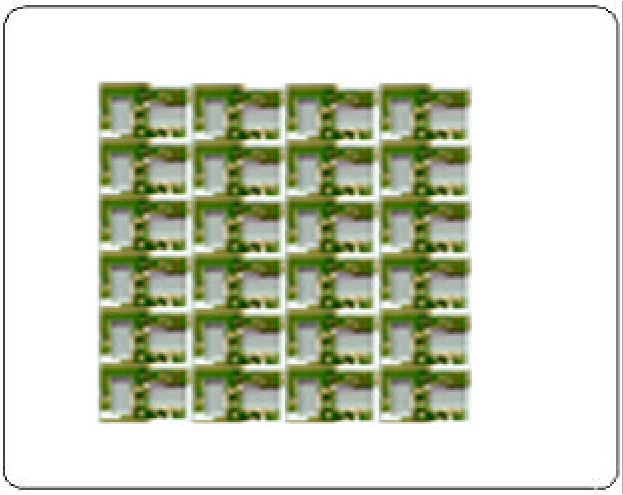
어떠한 능동회로를 제작하기 위해서는 사용하고자 하는 회로 기판과 칩 부품(칩 저항, 칩 커패시터), 능동소자 등이 필요하다. 그중 회로 기판이 준비되어 있어야 모든 작업을 순차적으로 진행할 수 있으므로 본 연구에서도 유전율 9.3, 유전체 두께 0.635 mm를 갖는 세라믹 기판을 사용하여 회로 기판을 먼저 제작하였다.

회로 기판을 제작하기 위해서는 <그림 2-22>와 같이 여러개의 마스크를 이용하여 세라믹 기판위에 패턴을 뜨게 된다.



<그림 2-22> 기판 제작을 위한 마스크 과정

세라믹 기판의 상·하단부에 via-hole 제작을 위한 마스크를 이용, via-hole 처리를 한 후 회로를 레이아웃한 마스크를 이용하여 도체로 세라믹 기판 윗면에 씌우고 금으로 코팅을 한다. 그 후, 칩 부품이나 트랜지스터를 붙이기 위해서 soldering paste, 실납을 사용하는데 칩 부품 등을 붙이기 위한 부분 이외에는 다른 영향이 없도록 절연을 위한 마스크로써 절연막을 씌워준다. 마지막으로 기판의 하단부에 접지를 위한 도체면을 만들어 주게 되면 사용하고자 하는 회로 기판이 완성된다. <그림 2-23>은 제작된 회로 기판이다.

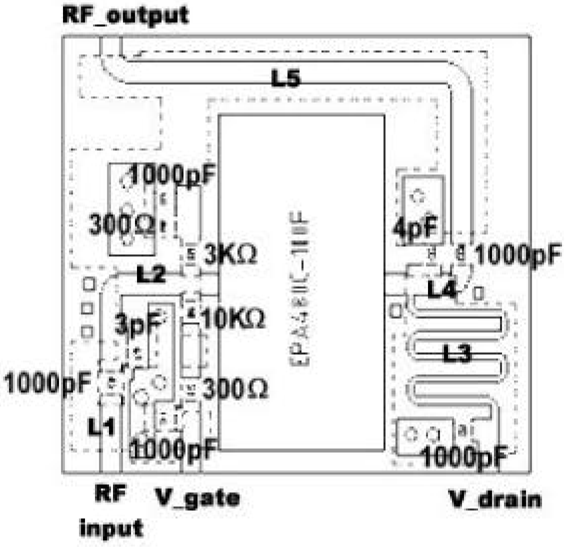


<그림 2-23> 제작된 회로 기판

11 x 9 cm2의 세라믹 기판위에 레이아웃된 회로가 배열된 상태로 제작되며, 이것을 레이저 칼로 자른 후 시뮬레이션의 결과를 바탕으로 하나의 기판에 칩 부품과 트랜지스터를 붙이게 되면 전력 증폭회로가 완성된다.

본 연구에서는 앞절에서 설계한 단단 전력증폭기와 2단 전력증폭기를 제작하였으나, 본 연구의 초점은 30 dBm을 얻는 전력증폭기의 제작이기 때문에 최대 출력전력을 좌우하는 단단 전력증폭기에 대해서 중점적으로 측정하였다.

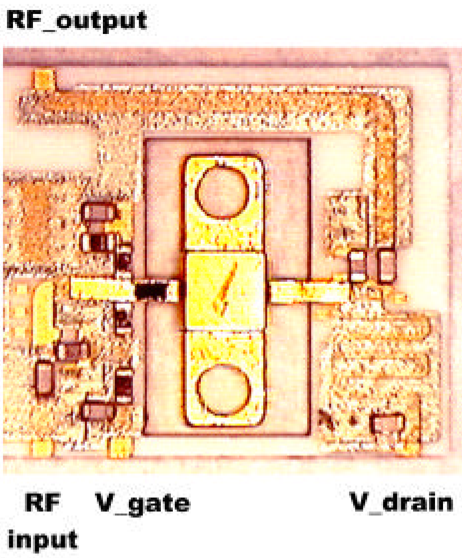
<그림 2-24 (a)>는 제작된 단단 전력증폭기에 사용된 칩 부품의 값을 나타내며, <그림 2-24 (b)>는 회로에 사용된 마이크로스트립 선로의 길이를 나타낸다. <그림 2-24 (c)>는 제작된 단단 전력증폭기를 보이고 있다.



(a) 사용된 칩 부품의 값

	폭 [mm]	길이 [mm]	ZO
L1	0.6	2.25	50
L2	0.6	5.2	50
L3	0.2	15.2	79
L4	0.6	2.4	50
L5	0.6	15	50

(b) 마이크로스트립 선로 길이



(c) 제작된 단단 전력증폭기 (사진)

<그림 2-24> 제작된 단단 전력증폭기

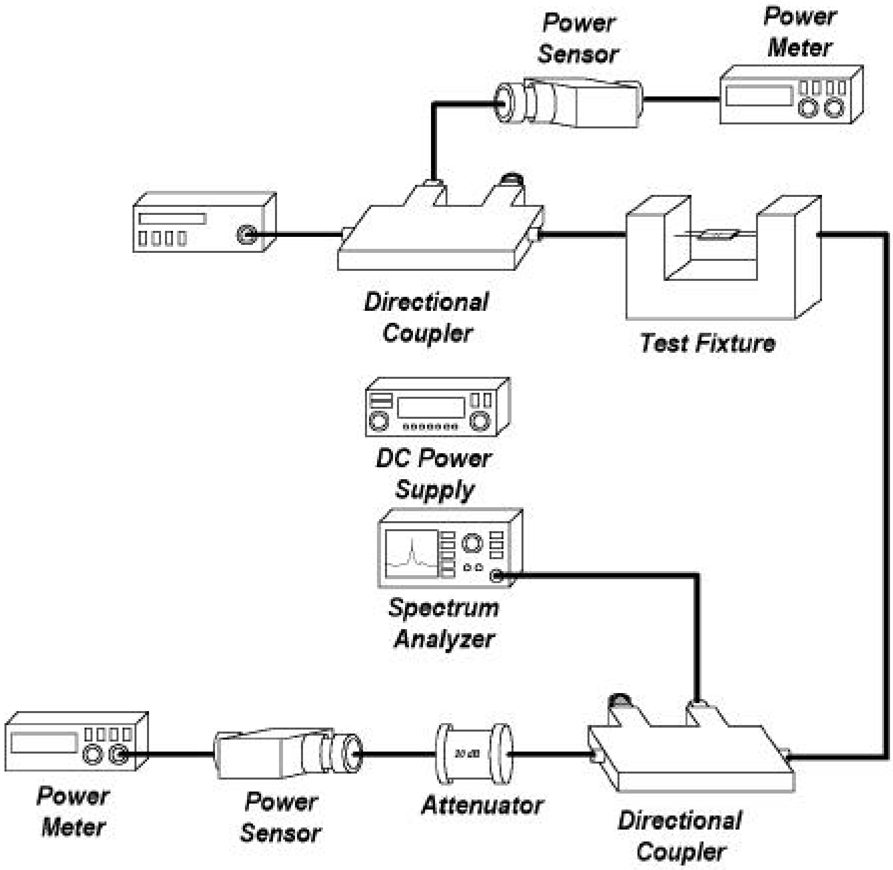
2. 전력증폭기 특성 측정 및 결과분석

<그림 2-24>의 제작된 단단 전력증폭기의 특성을 측정하기 위해서는 RF 특성 측정계를 구성하여야 한다. 본 연구에서는 전력증폭기의 대표적인 특성지표인 입·출력 전력특성을 측정하기 위해서 RF 전력 측정계를 구성하였으며, 이를 이용하여 측정한 후단 전력증폭기의 특성과 설계치를 비교하였다.

가. RF 전력 측정계

전력증폭기의 전력특성을 측정하기 위해서는 기본적으로 네트워크 분석기와 전력미터가 필요하다. 네트워크 분석기는 RF 대역 이상의 주파수에서는 필수적인 장비로 회로 및 소자의 S 파라미터를 측정하며, 전력미터로는 전력을 측정한다. 이 장비 외에도 실제 전력 특성 측정시에는 매우 복잡한 셋업을 요구하는데 스펙트럼 관찰을 위한 스펙트럼 분석기, 잡음 측정을 위한 잡음미터, 여러 수동부품 등이 필요하다.

본 연구에서는 제작된 IMT-2000 단말기용 단단 전력증폭기의 전력특성을 측정하기 위하여 <그림 2-25>와 같이 신호발생기 1대, 프리앰프 1대와 1쌍의 전력미터, 테스트 지그 (universal test fixture) 등의 장비와 입·출력측의 방향성 결합기 등의 RF 부품등을 동축케이블로 연결하여 RF 전력 측정계를 구성하였다.



<그림 2-25> RF 전력 측정계

신호발생기에서 공급하는 주파수는 IMT-2000 단말기용 전력증폭기의 상향주파수(1.92 - 1.98 GHz)이며, -20 dBm부터 입력전력 레벨을 크게하여 입력전력에 대한 출력전력을 측정하였다. 입력측의 방향성 결합기의 경우, 전력증폭기에 공급되는 신호의 전력을 정확히 측정하기 위해 전력미터를 연결하여 사용하며, 측정시 사용한 전력미터의 경우 30 dBm 이상의 신호는 포화특성으로 인해 감지하지 못하므로 출력측의 방향성 결합기를 이용하여 -20 dBm 감소된 출력신호의 전력을 정확히 측정할 수 있다. 테스트 지그는 제작된 회로를 고정하기 위한 장비이며, DC 바이어스는 테스트지그의 DC 공급침(probe)을 이용하여 바이어스를 인가한다.

<그림 2-25>의 RF 전력 측정계를 이용하여 단단 전력증폭기의 특성을 측정하기전에 RF 전력측정계의 손실을 측정하였으며, 입력전력의 변화에 대한 신호발생기와 테스트지그간의 손실, 테스트지그와 전력미터간의 손실을 <표 2-2>, <표 2-3>에 나타내었다.

신호발생기 입력	테스트지그 입력	손 실
-20 dB	-20.65 dB	0.65 dB
-10 dB	-10.57 dB	0.64 dB
0 dB	-0.66 dB	0.66 dB
5 dB	4.34 dB	0.66 dB
10 dB	9.31 dB	0.69 dB
평 균		0.66 dB

<표 2-2> 입력전력에 대한 신호발생기와 테스트 지그간의 손실

테스트지그 출력	전력미터	손 실
0 dB	-21.17 dB	20.51 dB
5 dB	-16.24 dB	20.58 dB
10 dB	-11.23 dB	20.54 dB
평 균		20.54 dB

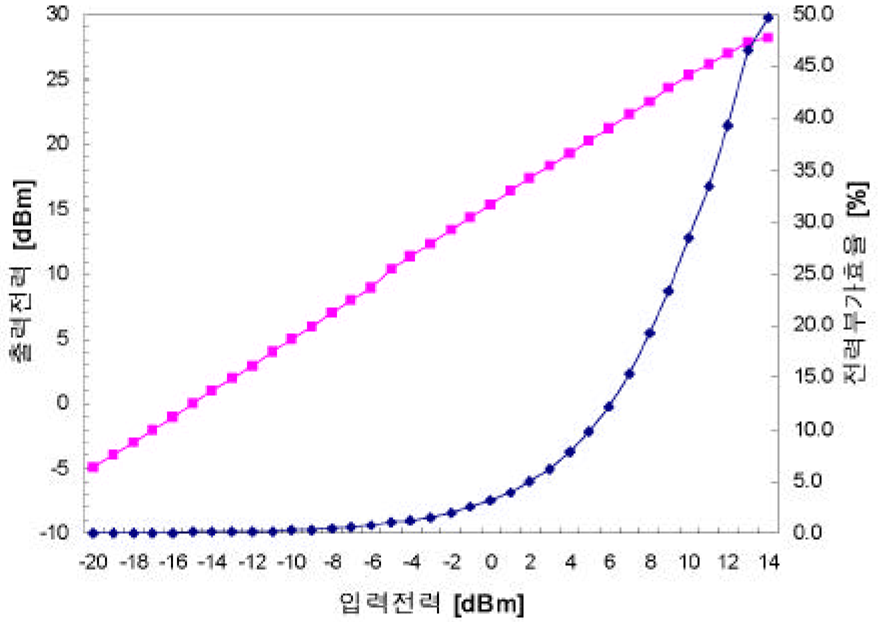
<표 2-3> 테스트 지그와 전력미터간 손실 (감쇄기 20 dB 포함)

<표 2-2>는 사용주파수대의 중심주파수인 1.95 GHz에서 측정한 결과로 입력전력의 변화에 대한 신호발생기와 테스트지그간의 손실이 평균 0.66 dB임을 알 수 있다. 따라서 실제 입력되는 전력에 0.66 dB를 加해준 값이 실제 회로에 공급되는 전력이 된다. <표 2-3>은 출력단의 손실을 측정한 것으로써, 20 dB 감쇄기의 값을 포함한 평균 20.54 dB의 손실을 얻었다. 따라서 출력 전력의 값에 20.54 dB를 加해준 값이 정확한 출력 전력이 된다. 다음절에 기술되는 측정값은 위와 같은 교정법을 적용하여 교정한 값이다.

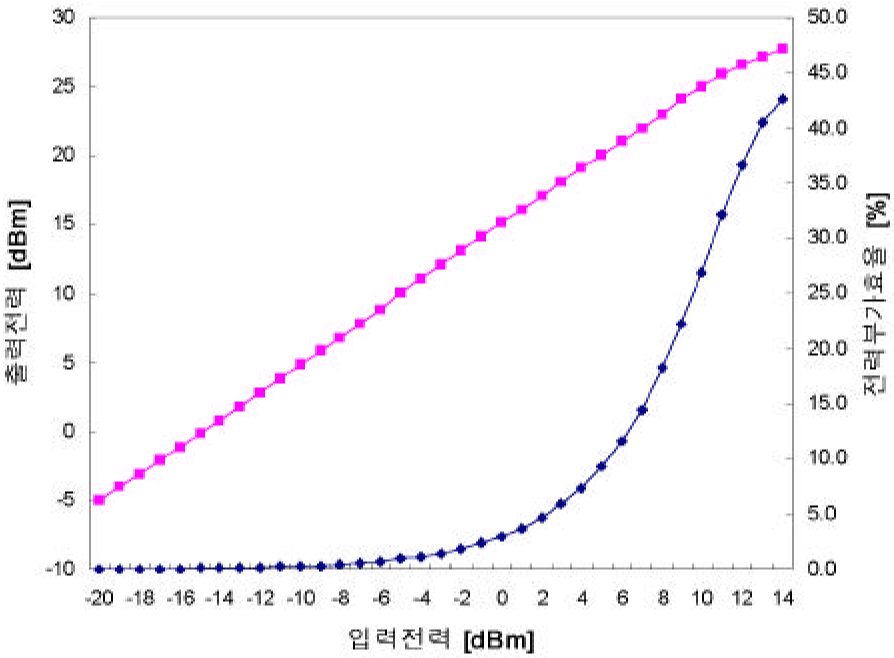
나. 단단 전력증폭기의 측정 결과 및 분석

전절에서 측정한 RF 전력 측정계의 손실을 고려하여 IMT-2000 단말기용 전력증폭기의 사용주파수(1.92 - 1.98 GHz)에서 측정한 단단 전력증폭기의 입·출력 전력 특성을 <그림 2-26>부터 <그림 2-32>에 나타내었다. 게이트에는 -1.1 V, 드레인에는 3.6 V의 바이어스를 인가하였으며 드레인 전류는 295 mA이다.

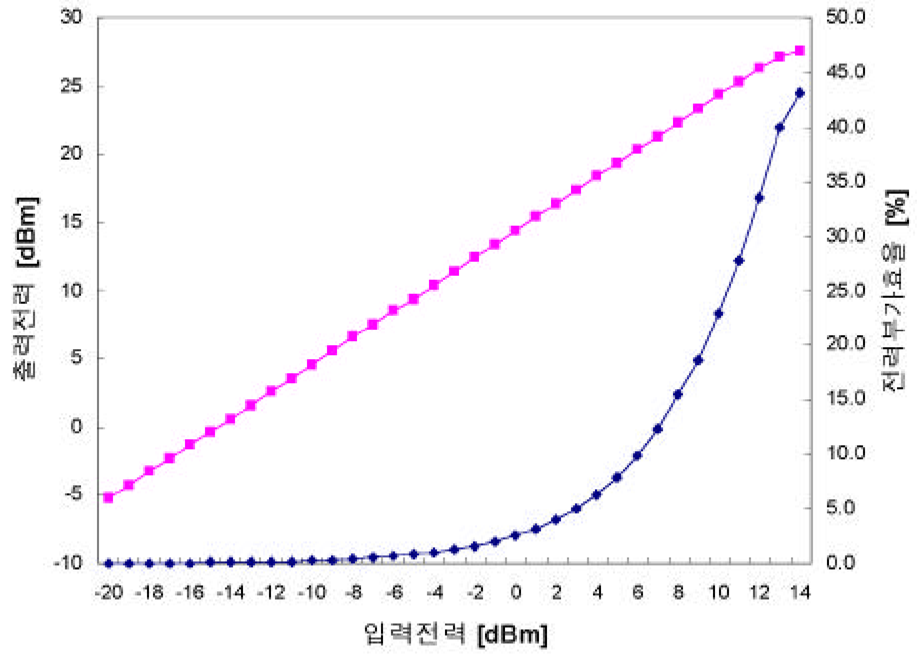
<그림 2-26>부터 <그림 2-32>의 결과를 볼 때, 1.92 GHz에서 49%의 전력부가효율과 28.25 dBm의 최대출력전력을 얻었으며, 최대출력전력의 경우 설계목표치와 비교시 출력은 2 dBm 감소된 결과이며 전력부가효율의 경우 목표치를 상회하는 결과를 얻었다. 본 전력증폭기의 경우 시작품으로써 입·출력단의 정합회로에 사용된 커패시터와 직렬 연결된 마이크로스트립 선로의 길이를 미세조정하면 목표로 했던 30 dBm를 얻을 수 있을 것으로 사료된다. 또한 1.92 GHz에서 최대 출력전력을 얻고 있는 것을 통해 전력증폭기의 정합이 사용 주파수대역보다 더 낮은 주파수에서 이루어졌음을 알 수 있다. 전력이득은 시뮬레이션 결과와 동일한 15 dB를 얻었다.



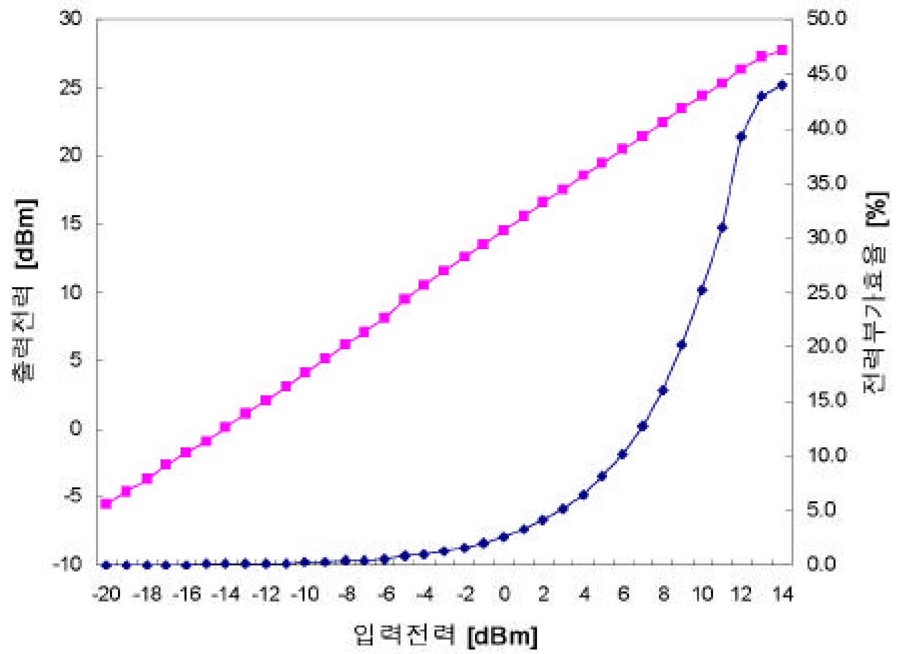
<그림 2-26> **전력증폭기의 입·출력 전력 특성** (@ 1.92 GHz)



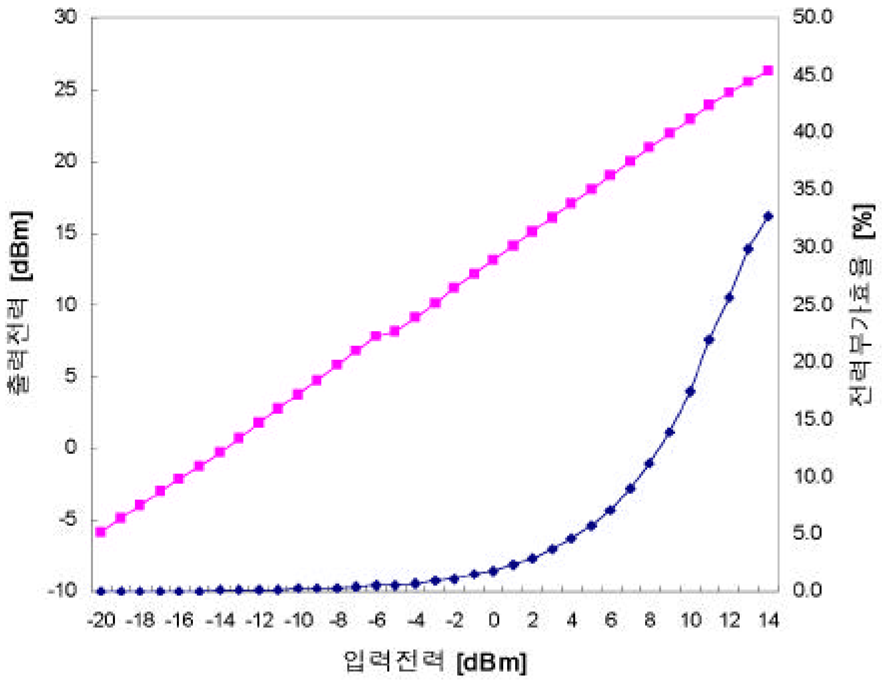
<그림 2-27> **전력증폭기의 입·출력 전력 특성** (@ 1.93 GHz)



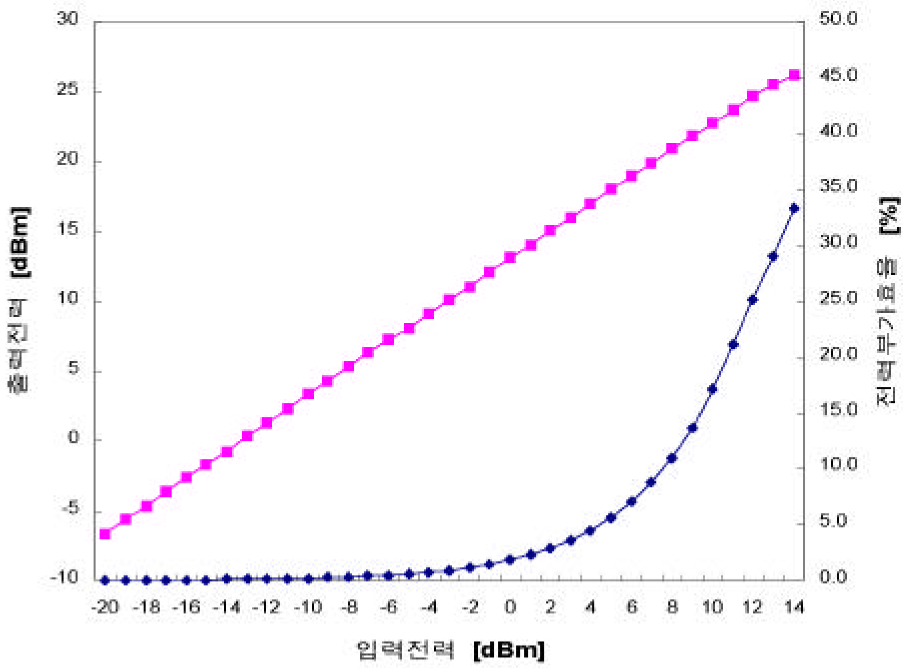
<**그림** 2-28> **전력증폭기의 입·출력 전력 특성** (@ 1.94 GHz)



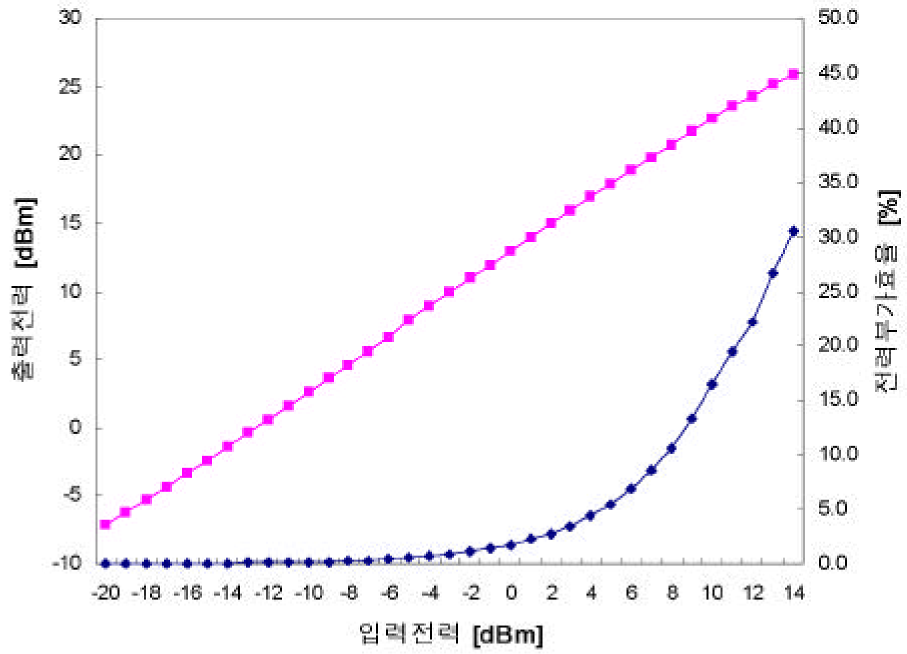
<**그림** 2-29> **전력증폭기의 입·출력 전력 특성** (@ 1.95 GHz)



<**그림** 2- 30> **전력증폭기의 입·출력 전력 특성** (@ 1.96 GHz)

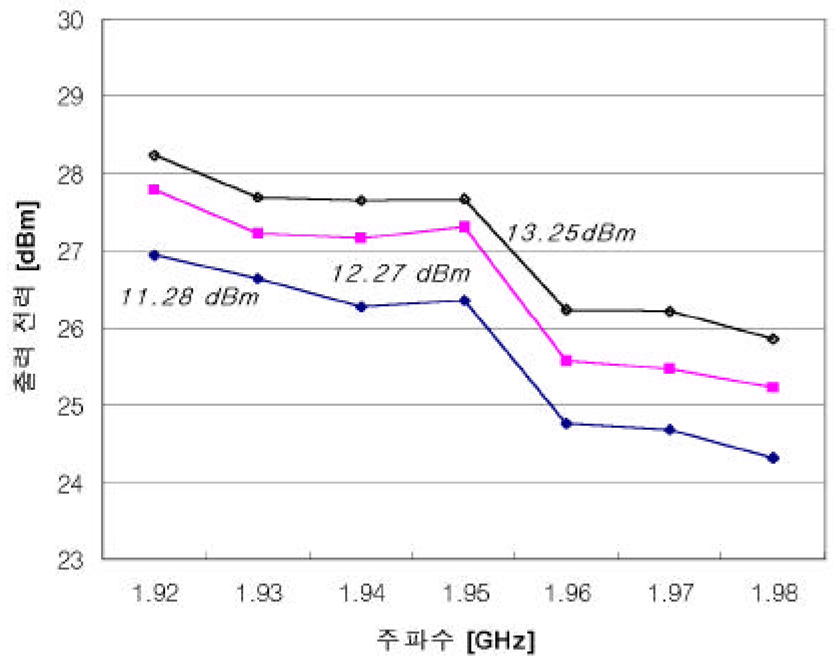


<**그림** 2- 31> **전력증폭기의 입·출력 전력 특성** (@ 1.97 GHz)



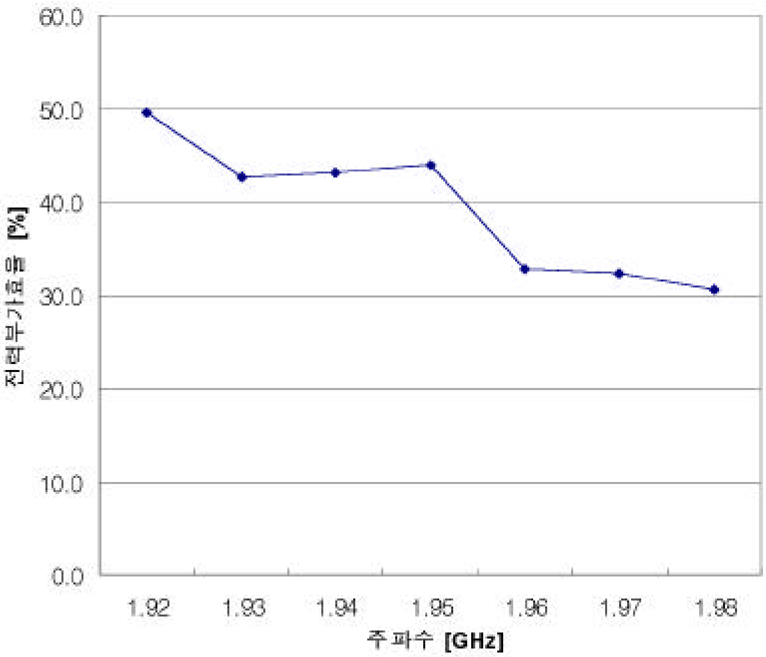
<**그림** 2-32> **전력증폭기의 입·출력 전력 특성** (@ 1.98 GHz)

<**그림** 2-33>**은 단단 전력증폭기의 출력전력에 대한 대역 특성을 나타내는 것으로써**, 13.25 dBm**의 입력전력 공급시** 1.95 GHz **까지는** 27 dBm **이상의 출력을 얻고 있는 반면**, 1.96 GHz **이후부터는** 26 dBm**의 출력을 얻고 있다**.



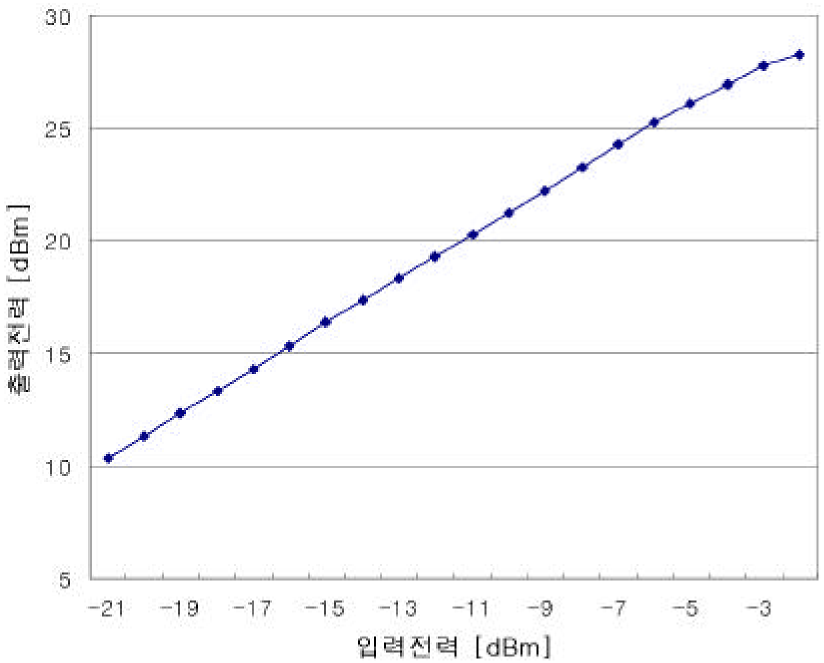
<**그림** 2-33> **전력증폭기의 출력전력에 대한 대역특성**

<그림 2-34>는 단단 전력증폭기의 전력부가효율에 대한 대역 특성을 나타낸다. 13.25 dBm의 입력전력 공급시의 특성으로 최대 49%, 최소 31%의 고효율 특성을 얻고 있다.



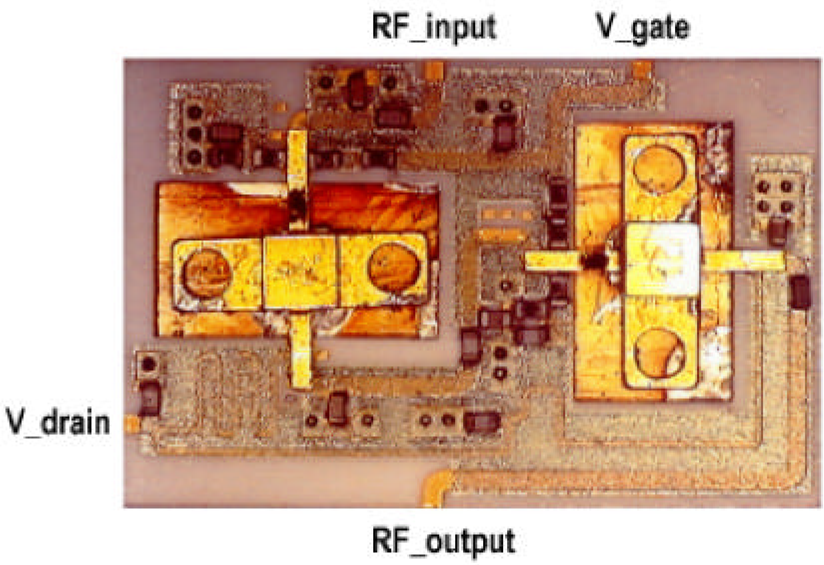
<그림 2-34> 전력증폭기의 전력부가효율에 대한 대역특성

설계시에는 지금까지 측정한 단단 전력증폭기의 전단에 이득증폭기를 두어 고이득 특성을 얻었으나, 1차년도에는 단단 전력증폭기에 대해서만 측정을 하였다. 제작된 2단 전력증폭기의 경우, 바이어스 회로부로 인한 저주파에서의 발진으로 인해 측정이 어려웠다. 그러나 본 논문에서 제작한 단단 전력증폭기를 종속 연결(cascade connection)시 이득과 0.5 W 이상의 최대 출력전력을 얻을 수 있다. <그림 2-35>는 단단 전력증폭기를 종속 연결하였을 경우 예상한 입·출력 전력특성(@ 1.92 GHz)을 나타낸다. 사용주파수 대역에서 0.5 W 이상의 최대 출력전력(P1-dB), 30 dB 이상의 이득을 얻고 있다.



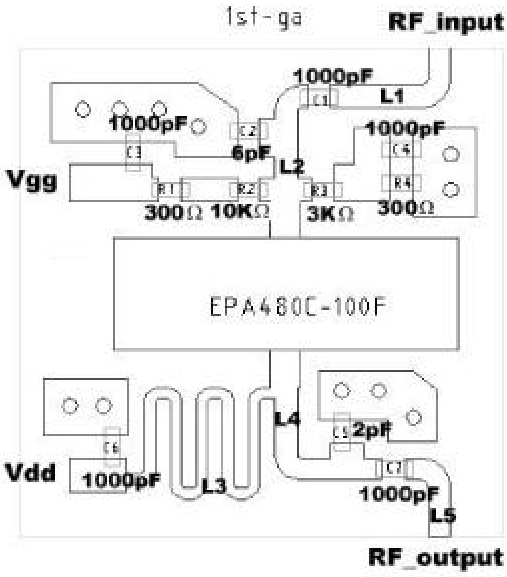
<그림 2-35> 단단 전력증폭기를 종속 연결하였을 경우 2단 전력증폭기의 입·출력 전력 특성곡선(@ 1.92 GHz)

참고로 본 연구에서 제작한 2단 전력증폭기를 <그림 2-36>에 나타냈으며, 유전율 9.3, 두께 0.635 mm인 세라믹 기판을 이용하여 제작하였다. 2단 전력증폭기의 크기는 2.3 cm X 1.4 cm 이다.



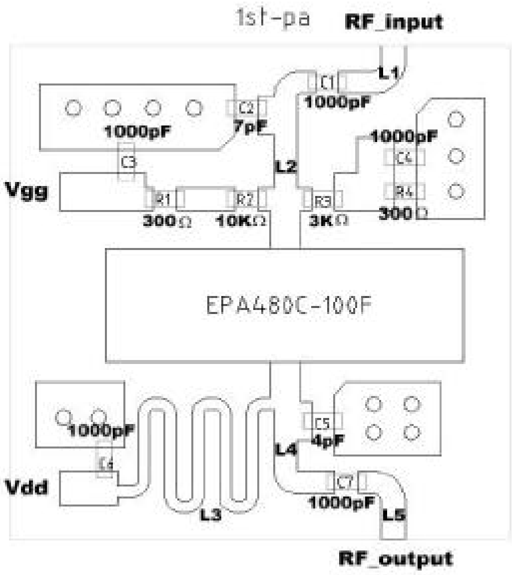
<그림 2-36> 제작된 IMT-2000 단말기용 2단 전력증폭기

앞에서 언급하였지만, 제작된 2단 전력증폭기의 경우 발진이 일어나 측정하기가 어려웠으며, 레이아웃상에 회로가 밀집된 부분이 있어서 실제작시 어려움이 있었다. 따라서 1차년도에 제작한 시작품을 바탕으로 30 dBm 이상의 출력전력을 얻을 수 있도록 하는 정합회로 재설계와 발진방지, 실제작시의 편이를 고려하여 각 증폭기를 재설계하였으며, 이를 2차년도 과제의 일부로 포함시켜 제작 및 측정할 계획이다. <그림 2-37>은 재설계된 각 증폭기의 칩 부품 값과 마이크로스트립 선로의 길이, 패턴 레이아웃을 나타내고 있다.



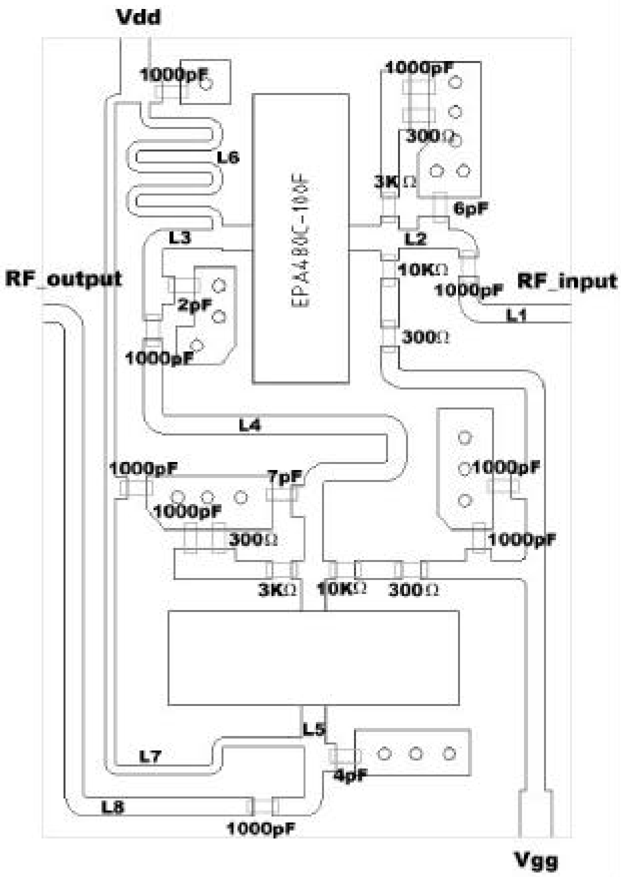
	폭 [mm]	길이[mm]	ZO
L1	0.6	3.1	50
L2	0.6	3.8	50
L3	0.3	15.3	70
L4	0.6	5.2	50
L5	0.6	1.6	50

(a) **전단 이득증폭기**



	폭 [mm]	길이[mm]	ZO
L1	0.6	1.6	50
L2	0.6	4.2	50
L3	0.3	15.3	70
L4	0.6	4.1	50
L5	0.6	1.6	50

(b) **후단 전력증폭기**



	폭 [mm]	길이 [mm]	ZO
L1	0.6	3.7	50
L2	0.6	3.8	50
L3	0.6	5.2	50
L4	0.6	16.8	50
L5	0.6	4.1	50
L6	0.3	15.3	70
L7	0.3	15.3	70
L8	0.6	20.9	50

(c) 2단 전력증폭기

<그림 2-37> 재 설계한 각 증폭기의 패턴 레이아웃

제 3 장 HEMT 저잡음 증폭기 설계

이동통신 시스템의 하드웨어 중 RF 수신부 첫 단은 저잡음 블록 (Low Noise Block; LNB)으로 구성되어 있다. RF 수신부에는 안테나로부터 수신된 매우 미약한 신호를 받아 증폭하여야 하기 때문에 LNB를 구성하고 있는 증폭기 자체의 잡음수준을 최소화 시켜야 하므로 저잡음 증폭기(LNA)가 사용되고 있다.

일반적으로, 잡음 특성을 평가하기 위하여 2단 회로에서는 입력측의 신호대 잡음비(Signal-to-Noise Ratio; SNR)에 대한 출력측의 SNR로 정의되는 잡음지수(Noise Figure; NF)를 사용하고 있다.

$$\text{잡음지수(NF)}= \frac{S_{out}/N_{out}}{S_{in}/N_{in}}$$

S_{in} ; 입력측신호전력 N_{in} ; 입력측 잡음전력

S_{out} ; 출력측신호전력 N_{out} ; 출력측 잡음전력

이와같은 잡음지수는 증폭소자인 반도체 트랜지스터의 종류에 따라 큰 차이를 보이고 있으나, 마이크로파 대역 이상의 초고주파 영역에서는 HEMT 소자의 RF 잡음성분이 타소자에 비하여 낮기 때문에[12] 본 연구에서는 HEMT를 이용하여 저잡음 증폭기를 설계하였다.

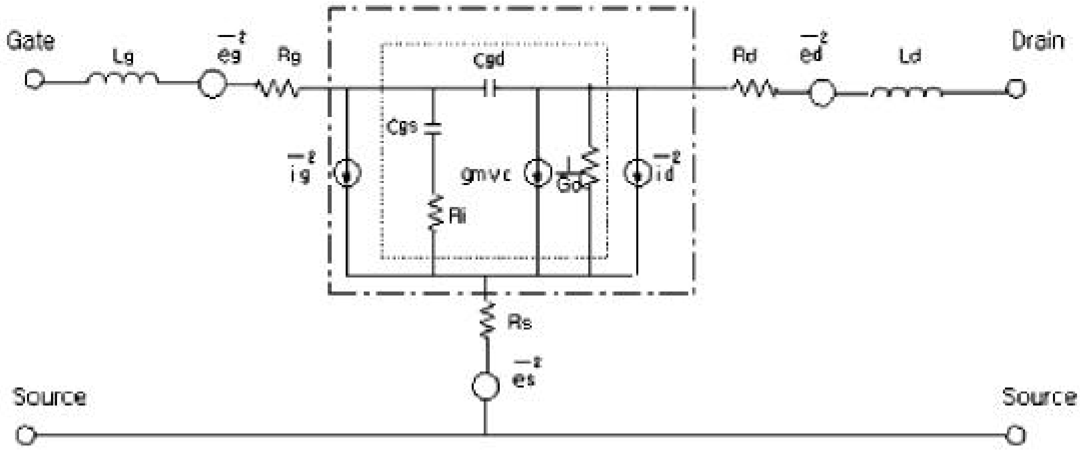
제 1 절에서는 HEMT 저잡음 증폭기 설계에 대한 기초이론에 대하여 알아보고, 제 2 절에서는 이 이론을 적용하여 차세대 이동통신(IMT-2000)용 저잡음 증폭기를 설계하여 시뮬레이션한 결과를 분석하였다. 제 3 절에서는 이를 기초로 제작한 2단 저잡음 증폭기에 대한 잡음특성과 이득특성을 측정하여 그 결과를 분석하여 보고한다.

제 1 절 HEMT 저잡음 증폭기 설계의 기초이론

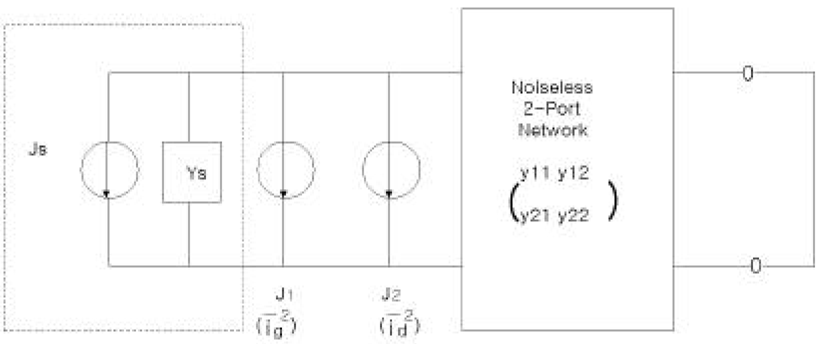
잡음원을 포함하는 HEMT의 등가회로 모델을 <그림 3-1>에 보이고 있다. 그림에서 일점쇄선의 영역이 잡음원을 포함하는 진성 HEMT이며, 점선 영역이 잡음을 포함하고 있지 않은 진성 HEMT부이다. 그 외 부분은 외부 패키지 구성에 필요한 기생적인 회로 소자에 의한 잡음원으로 결정되기 때문에 본 절에

서는 이 부분에 초점을 맞추어 설명할 것이다.

HEMT의 잡음원은 입력측과 출력측의 2개의 잡음전류 $\overline{i_g}^2$, $\overline{i_d}^2$ 로 표시할 수 있으며, 그 값과 서로 상관관계는 <그림 3-2>의 출력측 잡음 성분을 입력측에 등가적으로 표시하는 잡음 등가회로에 의하여 구할 수 있다.



<그림 3-1> 잡음원을 포함하는 HEMT의 등가회로



<그림 3-2> 출력단자측 잡음원의 입력단자측에 등가환산하여 표시한 등가회로

입력단자의 신호원 어드미턴스를 접속하여, 부하를 단락시켰을 때의 전류이득A

$$A = \frac{-y_{21}}{Y_S + y_{11}} \qquad \cdots\cdots (3\text{-}1)$$

으로 주어진다. 여기서 출력측을 등가적으로 표시할수 있는 J_2 를 A를 이용하여 입력측에 나타낼 수 있다. <그림 3-2>에서 신호원이 가지고 있는 잡음전류 스펙트럼 밀도는 나이퀴스트 정리에 의하여

$$S_{Ni} = 4kT\,Re(Y_S) \quad \cdots\cdots (3\text{-}2)$$

로 주어지며, 트랜지스터가 부가된 잡음의 입력환산 전류 스펙트럼 밀도는

$$S_{Ni} = \left| J_1 + \frac{J_2}{A} \right|^2 = J_{1u}^2 + \left| J_1 - J_{1u} + \frac{J_2}{A} \right|^2 \quad \cdots\cdots (3\text{-}3)$$

으로 나타낼 수 있다. J_1 , J_2 는 트랜지스터내의 어떤 하나의 잡음원이 동시에 J_1, J_2 에 기여할 경우도 있고, J_1만에 강하게 영향을 미치는 경우도 있기 때문에 상관관계를 갖는 성분(correlated component)이 존재할 것이다. 여기서 J_1 성분 중, J_2에 상관관계를 갖지 않는 성분(uncorrelated component)을 J_{1u}라 하여 (3-1)을 (3-3)식에 대입하면 죬

$$S_N = J_{1u}^2 + \frac{S_N^2}{|y_{21}|^2} \left| \frac{J_1 - J_{1u}}{J_2}(-y_{21}) + Y_S + y_{11} \right|^2 \quad \cdots\cdots (3\text{-}4)$$

가된다. 이 식에서,

$$\frac{J_1 - J_{1u}}{J_2}(-y_{21}) \equiv Y_{ci} \quad \cdots\cdots (3\text{-}5)$$

로 정의되며, 이를 상관 어드미턴스(correlation admittance)라 한다. 또한,

$$C = \frac{\overline{J_1 J_2^*}}{\sqrt{\overline{J_1}^2} \cdot \sqrt{\overline{J_2}^2}} \quad \cdots\cdots (3\text{-}6)$$

이며, C를 상관계수(correlation coefficient)라 한다.

<그림 3-2>의 J_1은 <그림 3-1>의 $\overline{i_g}^2$ 에 상응하며, J_2은 $\overline{i_d}^2$ 에 상응하는 값이며, 일반적으로 HEMT의 C는 0.5이상의 값으로 i_g 와 i_d 의 상관관계가 큰 것으로 알려져 있다. 진성 HEMT부에서 발생하는 잡음전류원 $\overline{i_g}^2$, $\overline{i_d}^2$ 는, 각 각

$$\overline{i_g}^2 = 4kTB\, C_{gs}^2 w^2 R / g_m \quad \cdots\cdots (3\text{-}7)$$

$$\overline{i_d}^2 = 4kT\, g_m PB \quad \cdots\cdots (3\text{-}8)$$

로 주어지며, 이 식에서 B는 주파수 대역폭이며, R과 P는 각각 무차의 파라미터로

바이어스 조건과 소자 구조에 따라 의존하는 값이다.

이와 같이 HEMT 전체의 잡음 등가회로는 진성부와 외부의 잡음원 $\overline{e_s}^2$, $\overline{e_g}^2$ 을 포함하는 회로로 소자의 입력 부가되는 게이트로부터 신호원을 바라보았을 경우 잡음정합을 위한 최적 어드미턴스가 존재하게 된다. 이를 잡음지수를 이용하여 구하여 보면 소자의 잡음지수는,

$$F = 1 + \frac{S_{N*}}{S_{Ni}} = 1 + \frac{\overline{J_{1u}}^2}{4KTRe(Y_S)} + \frac{\overline{J_2}^2}{4KTRe(Y_S)|y_{21}|^2}|Y_{ci} + Y_S + Y_{11}|^2 \quad \cdots\cdots (3\text{-}9)$$

로 주어지며, 이 때 $G_u \equiv \frac{\overline{J_{1u}}^2}{4KT}$, $R_u \equiv \frac{\overline{J_2}^2}{4KT\ |y_{21}|^2}$ 이라 하면,

$$F = 1 + \frac{G_u}{Re(Y_S)} + \frac{R_u}{Re(Y_S)}|Y_{ci} + y_{11} + Y_S|^2 \quad \cdots (3\text{-}10)$$

으로 표시된다.

여기서 G_n은 잡음콘덕턴스, R_n은 잡음저항이며,

$$Y_S = G_S + jB_S\ ,\ Y_{Ci} = G_{ci} + jB_{ci}\ ,\ y_{11} = g_{11} + jb_{11}$$

이므로, 이것을(4 - 10)식에 대입하면

$$F = 1 + \frac{G_u}{G_S} + \frac{R_u}{G_S}(G_{ci} + g_{11} + G_S)^2 + \frac{R_u}{G_S}(B_{ci} + b_{11} + B_S)^2 \quad \cdots\cdots (3\text{-}11)$$

이 된다. 여기서 G_u, R_u, G_{ci}, B_{ci}, g_{11}, b_{11} 은 트랜지스터에 의하여 결정되어 주어지는 파라미터로 2단자 회로의 잡음지수 F는 G_S 및 B_S 의 최적화에 의하여 최소화 시킬 수 있다. Y_S는 신호원의 어드미턴스이므로,

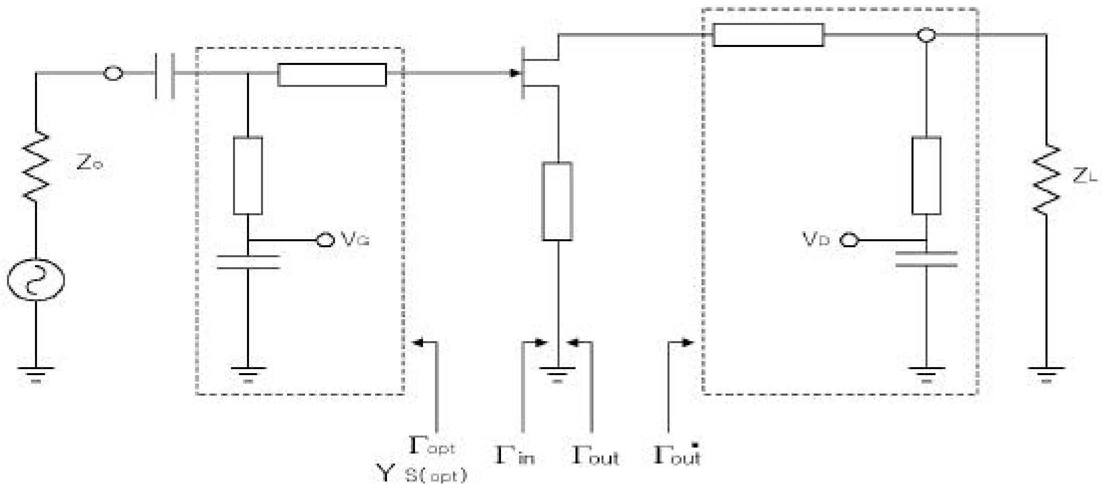
$G_S > 0$, $B_S = -(B_{ci} + b_{11})$을 (4-11)식에 대입하고, $\frac{\partial F}{\partial G_S} = 0$ 가 되는 조건으로 $G_{S(opt)}$구하면

$$G_{S(opt)} = \sqrt{g_{11} + G_{ci}^2 \frac{G_u}{R_u}},\ B_{S(opt)} = -(B_{ci} + b_{11}) \quad \cdots (3\text{-}12)$$

가 된다. 이때의 잡음지수 F는 최소값을 갖게 되기 때문에 이를 최소잡음지수 $F_{\min}$(minimum noise figure)으로 표시한다.

$$F_{\min} = 1 + 2R_u(g_{11} + G_{ci}) + 2\sqrt{R_u G_u + R_u^2 (g_{11} + G_{ci})^2}$$
· · · · · (3-13)

(3-12), (3-13)식은 저잡음 증폭기 설계에 필수 불가결한 파라미터이다. 저잡음 증폭기 설계시, 트랜지스터에 있어서 신호원 어드미턴스가 $G_{S(opt)} + jB_{S(opt)}$ 가 되게 입력측 정합회로를 설계하여야 한다. 이는 증폭기의 일반적인 공액임피던스 정합회로와 그 값이 상당히 다르게 된다. 즉, $F_{\min}$ 을 달성하기 위하여 전력이득을 희생하는 정합방법이다. <그림 3-3>은 저잡음 증폭기의 회로 설계도를 보이고 있다.



입력측 정합회로 출력측 정합회로도

$(Y_{S(opt)} = G_{S(opt)} + jB_{S(opt)})$

<그림 3-3> 1단 HEMT 저잡음 증폭기의 일반적 구성

입력측 정합회로는 트랜지스터에서 바라보았을 때 ΓOPT $(= Y_{S(opt)})$ 가 보이게 설계하여 최소잡음 지수 $F_{\min}$을 얻으며, 출력측 정합회로는 공액임피던스 정합회로 (Γ^{*}_{out})를 설계하여 최대전력이득을 얻게하는 회로 설계방법이다.

만일 큰 전력이득을 필요로 하는 시스템에서는 2단 이상의 다단으로 증폭기를 종속 연결시켜 구성하고 있다. 이 경우, 증폭기의 전체 잡음지수는

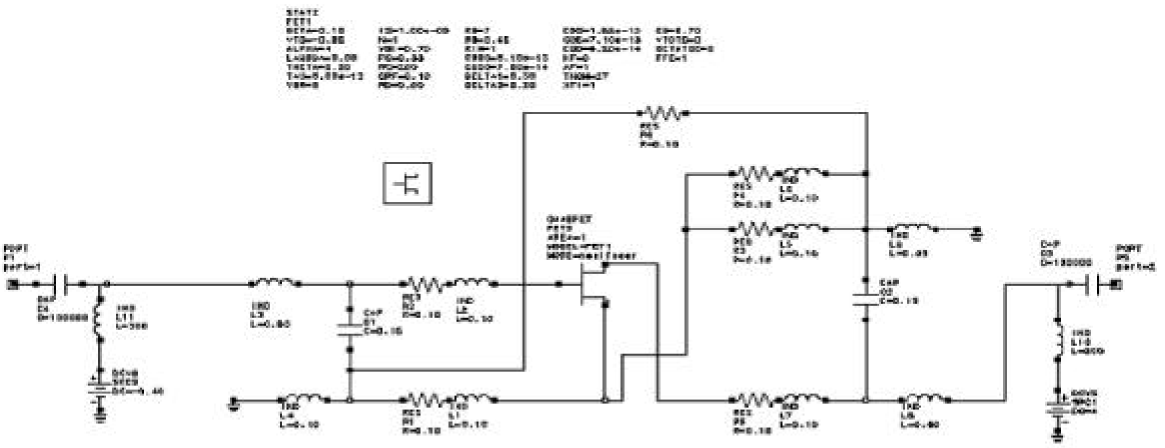
$$F_T = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \cdots + \frac{F_n - 1}{G_1 G_2 \cdots G_{n-1}} \quad \cdots\cdots (3\text{-}14)$$

으로 주어진다. 여기서, $F_1, F_2,$ ···는 각 단에서의 잡음지수를 나타내며, $G_1, G_2,$ ···는 각 단의 전력이득을 나타내고 있다. (3-14)식에서 알 수 있듯이, 첫단의 전력이득 G_1이 충분히 크면, 2단 이후부터 회로의 잡음지수의 영향을 거의 받지않게 된다. 따라서 잡음 특성을 파악할 때에 전력 이득 G도 상당히 중요한 파라미터가 된다.

제 2 절 하이브리드형 HEMT 저잡음 증폭기 설계

1. 저잡음 HEMT의 소신호 및 잡음 등가회로 모델

HP社의 ATF-35143 HEMT에 대한 등가회로를 아래의 Statz등가회로 모델[11]을 이용하여 다음과 같이 모델링하였다.



<그림 3-4> 패키지를 포함하는 HEMT 등가회로 모델

모델링 방법으로는 실제 측정으로 얻어진 소신호 특성과 위의 등가회로를 이용하여 시뮬레이션된 소신호 특성이 서로 일치하는 S 파라미터를 가지도록

S 파라미터 Curve를 fitting하여, 두 결과를 비교하여 각각의 등가회로 파라미터를 추출하는 방법을 썼으며, DC 4 V의 바이어스 조건에서 모델링 되어졌다. 즉, 사용된 ATF-35143의 측정된 신호 특성과 Statz모델을 이용한 소신호 특성을 비교하여 <표 3-1> 같은 모델 파라미터를 얻어내었다.

Beta =0.1	FC = 0.35	KF = 0	VBR = 5	EG = 0.7
VTO = -0.95	Rc = 250	AF = 1	Is = 1e-09	VTOTC = 0
Alpha = 4	CRF 0.1	TNOM = 27	N = 1	BETATCE = 0
Lambda = 0.09	RD = 1.5	XTI = 1	VBI = 0.7	FFE = 1
Theta = 0.3	RG = 7	Delta1 = 0.3	RIN = 1	CGS = 7.1e-13
Tau = 5e-12	RS = 0.45	Delta2 = 0.2	CDS = 1.8e-13	CGD = 6.2e-14

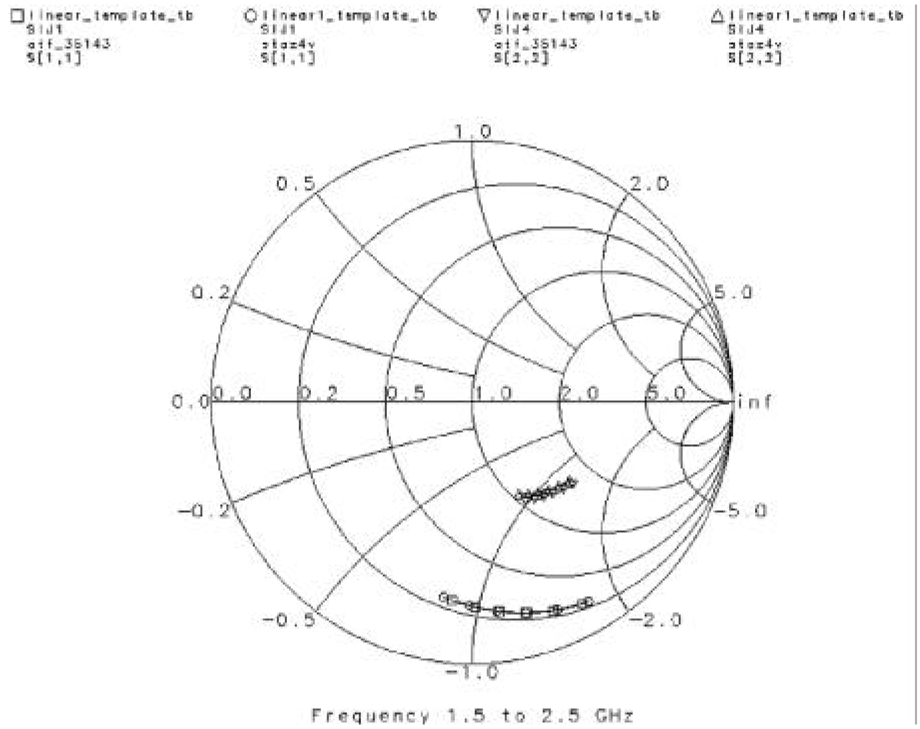
<표 3-1> HP의 ATF-35143 HEMT의 등가회로 파라미터

측정된 값과 S 파라미터 fitting에 의하여 얻어낸 파라미터와 소신호 특성을 비교한 결과를 <그림 3-5>에 보이고 있다. <그림 3-5> (a)에서는 실제 측정치와 모델링으로 얻어진 파라미터를 이용하여 소신호 특성중 S_{11}과 S_{22}를 비교한 것이다.

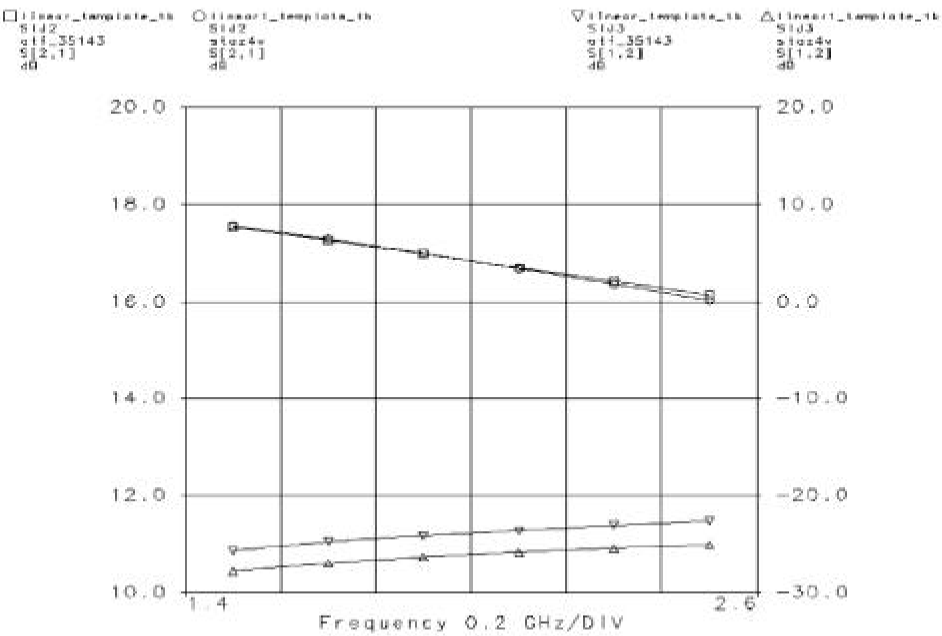
본 연구의 목표 주파수 대역인 2.11 2.17 GHz 사이에서 S_{11}, S_{22} 를 비교하여 보면 중심주파수 2.14 GHz에서 Statz모델을 이용한 시뮬레이션 결과는 -1.9 dB (S_{11}) 이며, 측정결과는 -1.95 dB (S_{11})를 얻었다. S_{22} 경우에는, 중심 주파수 2.14 GHz에서 Statz모델을 이용한 시뮬레이션 결과는 -7.4 dB(S_{22})이며, 실제 측정치는 -6.9 dB(S_{22})로 약 0.5 dB 차이를 보이며, 두 파라미터가 0.5 dB 오차 내에서 일치하고 있는 것을 알 수 있다. S_{21}와 S_{12}의 경우는 <그림 3-5> (b)에서 그 결과를 보이고 있다. 중심주파수 2.14 GHz에서 Statz모델을 이용한 시뮬레이션 결과는 S_{21}의 경우 정확히 일치하고 있다. S_{12}의 경우는 2.14 GHz에서 시뮬레이션한 결과가 -25.7 dB이며, 실제 측정 결과는 -23.5 dB을 나타내고 있다. 2 dB 정도 오차를 보이지만 실제로 S_{12}는 매우 작은 값 이므로 소자특성에는 큰 영향을 미치지 않을 것이다.

이상에서 알아본 바와 같이 본 연구에서 추출된 등가회로 모델로 계산된 S 파라미터는 실측정 S 파라미터와 적은 오차를 나타내므로, 실제 회로설계에 이

등가회로 모델을 사용할 수 있을 것이다.



(a) S_{11}과 S_{22}



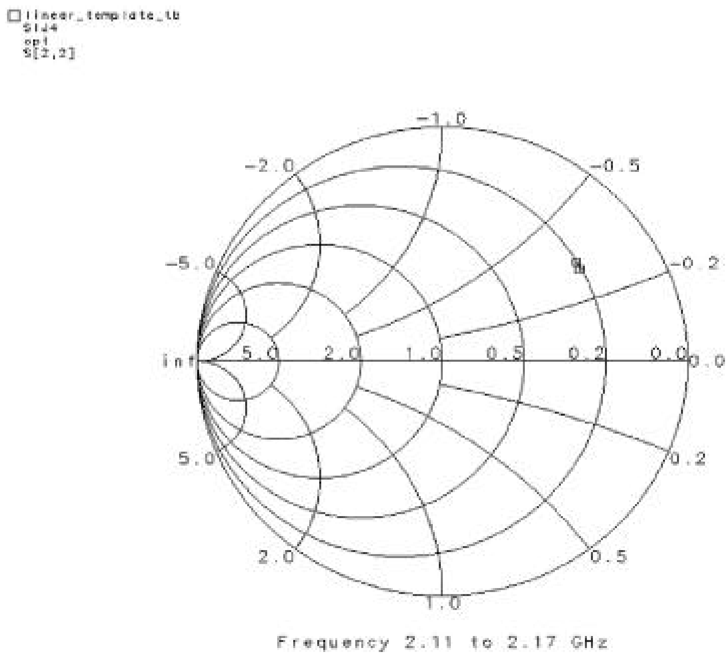
(b) S_{21} 과 S_{12}

<그림 3-5> Statz모델을 이용한 시뮬레이션 결과와 측정결과의 비교

2. HEMT 저잡음 증폭기 설계 및 시뮬레이션 결과분석

가. 1단 저잡음 증폭기 설계

저잡음 증폭기는 RF수신부 최전단에 위치하여 있으므로, 증폭기 자체의 잡음지수를 최소화 하여야 한다. 그러므로 증폭기에 잡음지수를 최소화 하기 위하여 입력측은 Γ_{OPT}에 임피던스가 정합되는 정합회로로 설계 하여야 한다.
<그림 3-6>에는 HEMT의 최소 잡음지수를 얻을 수 있는 Γ_{OPT} 가 되는 임피던스를 나타내고있다.

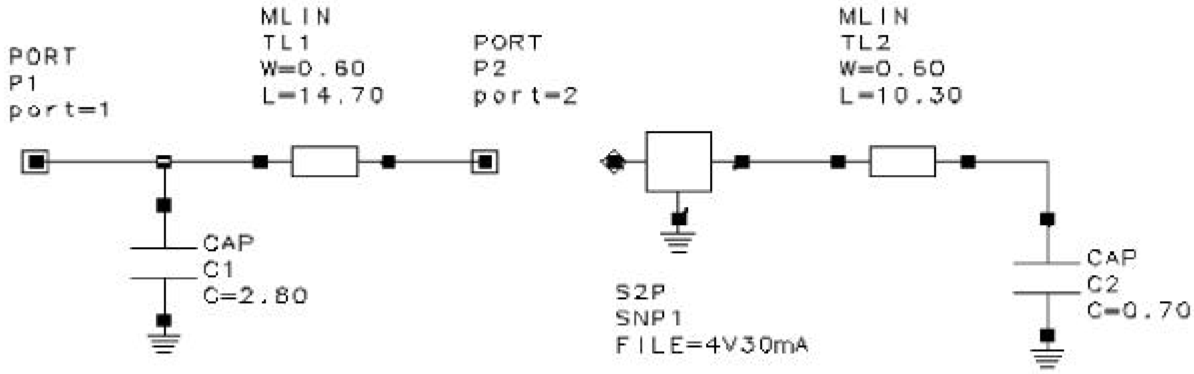


<그림 3-6> 최소 잡음지수를 갖는 반사계수 Γ_{OPT}

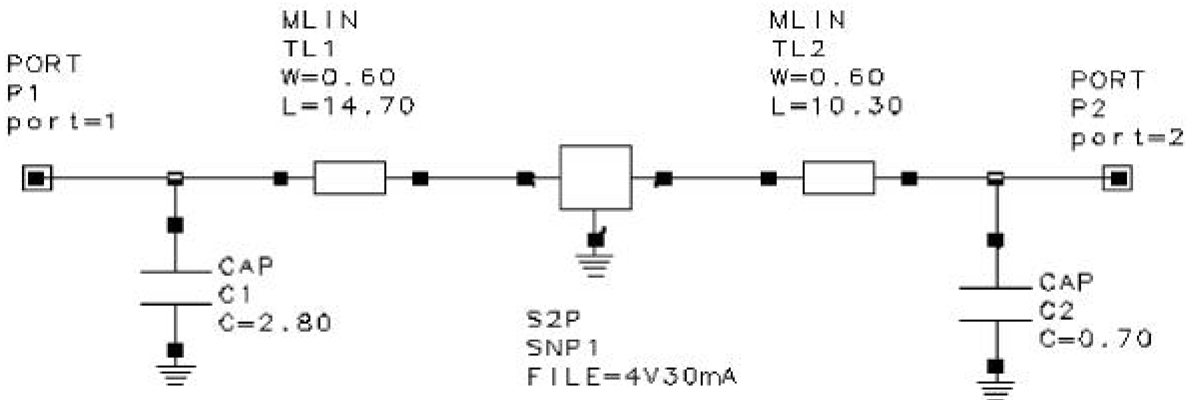
<그림 3-6>에서 Γ_{OPT}를 나타내는 위치(S22)는 Mag:0.69 , Ang:37。이며, 2단 저잡음 증폭기로 구성할 경우 전단의 저잡음 증폭기의 입력측 정합회로는 위의 Γ_{OPT} 에 맞게 설계되어야 한다. <그림 3-7>에서 Γ_{OPT}에 정합된 회로를 보이고 있다. 1단 저잡음 증폭기에서 입력측은 잡음지수의 최소화를 위하여 Γ_{OPT} 정합을 하였지만, 출력측은 보다 높은 이득을 얻기위해 공액 임피던스 정합을 하여야 한다. <그림 3-8> 1단 저잡음 증폭기의 출력측 정합회로를 나타내고 있다. 출력측의 VSWR이 1.5 이하의 특성을 가지도록 정합회로를 설계하였다.

<그림 3-9>은 <그림 3-8>의 시뮬레이션 결과로 출력측 VSWR이 1.2를 보이고 있고, 입력측 VSWR은 S11에 대한 공액 임피던스 정합이 아니라 Γ_{OPT}에 대한 입력측 정합으로 그 결과가 다소 큼을 보이고 있다.

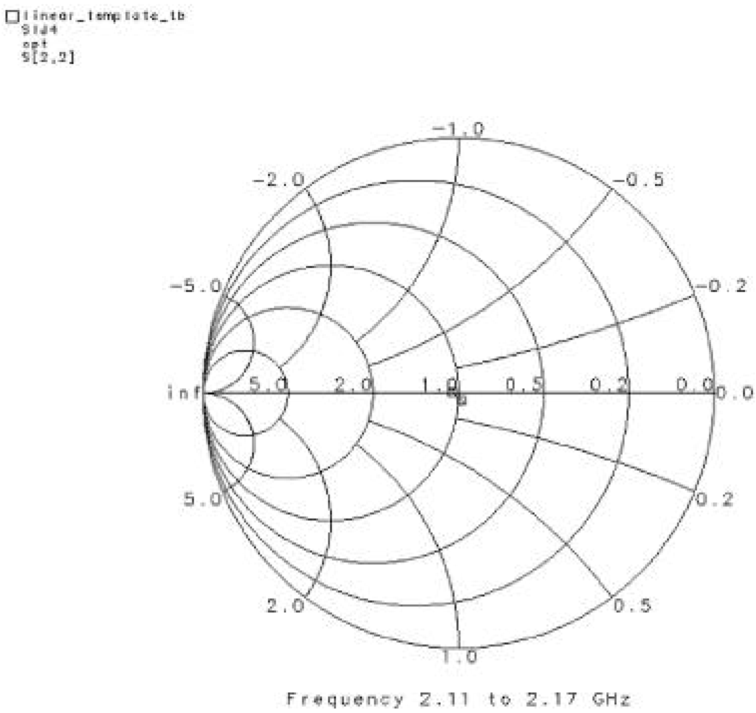
다음은 위에서 언급 하였듯이 입력과 출력을 각각에 맞게 정합하여 최소 잡음지수와 이득을 가지는 1단 저잡음 증폭기를 설계하였다. 실측정 데이타를 이용하여 설계한 저잡음 증폭기를 <그림 3-10>에 보이고 있다. 1단 저잡음 증폭기의 시뮬레이션 결과인 S11과 S22 그리고 S21를 <그림 3-11>에서 보이고 있다.



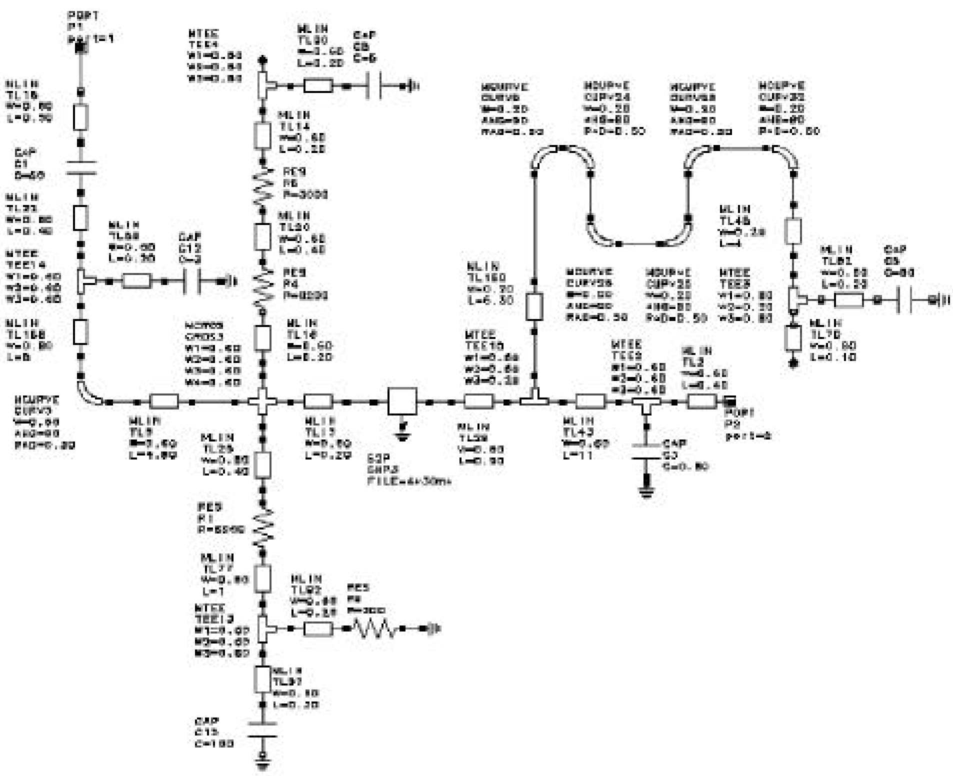
<그림 3-7> 입력측 Γ_{OPT} 정합회로



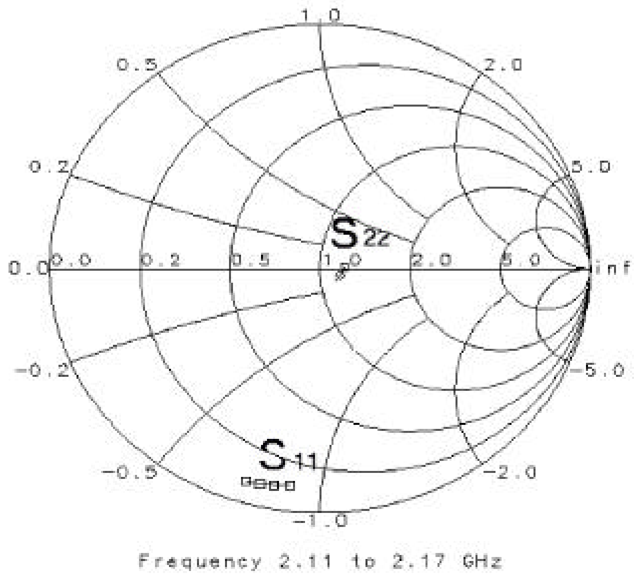
<그림 3-8> 전단 저잡음 증폭기의 정합회로



<그림 3-9> <그림 3-8>회로의 S22 시뮬레이션 결과

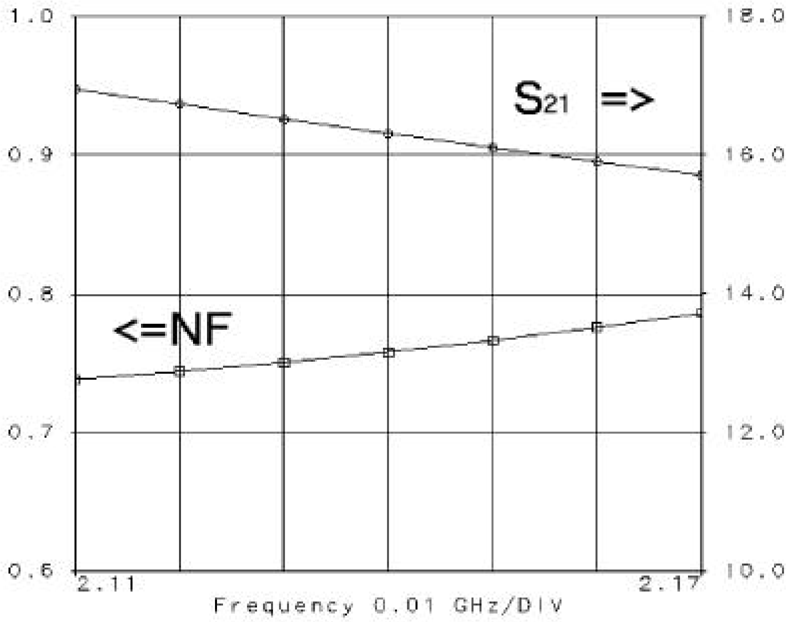


<그림 3-10> 1단 저잡음 증폭기 회로



<그림 3-11> 1단 저잡음 증폭기 시뮬레이션 결과

<그림 3-12>에서는 S21과 잡음지수의 특성을 보이고 있다. S21의 시뮬레이션 결과는 16 dB정도의 특성을 보이고 있으며, 이는 목표 사양인 소신호 이득 20 dB와 비교해서 4 dB 낮은 결과이다. 또한, 잡음지수 결과는 약 0.75 dB정도를 보이고 있다.



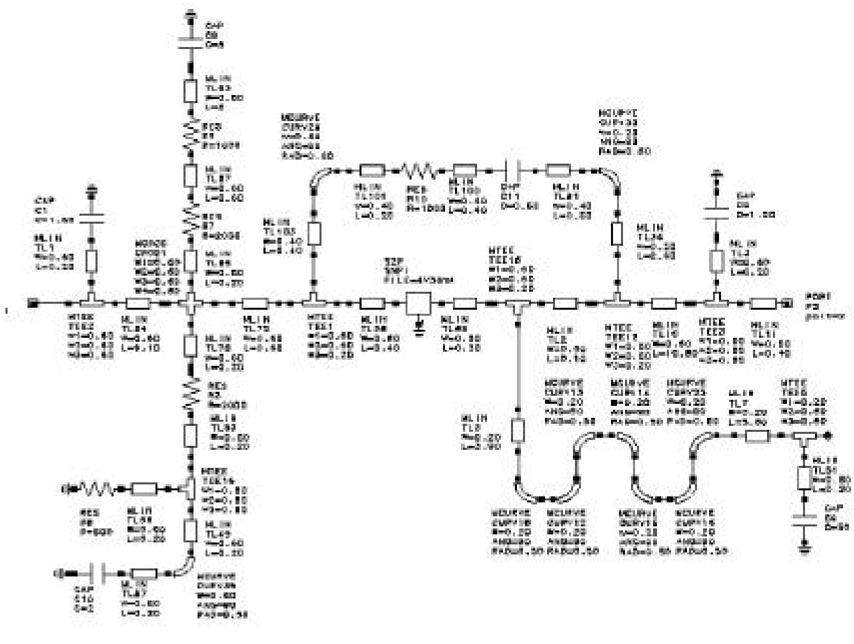
<그림 3-12> 1단 저잡음 증폭기의 S21와 잡음지수

다음으로는 저잡음 증폭기설계에 사용될 바이어스회로를 설계하였다. 바이어스회로는 RF신호에 대하여는 개방된 상태로 하여 바이어스 회로가 RF신호에 영향을 주지 않게 하였다. RF신호에 대한 개방상태를 만들기 위하여 $\lambda/4$ 마이크로 스트립 선로회로를 사용하였으며, RF 선로에 접속되는 반대측 종단을 용량이 큰 커패시터로 단락시키는 형태를 사용하였다.

나. 2단 저잡음 증폭기 설계

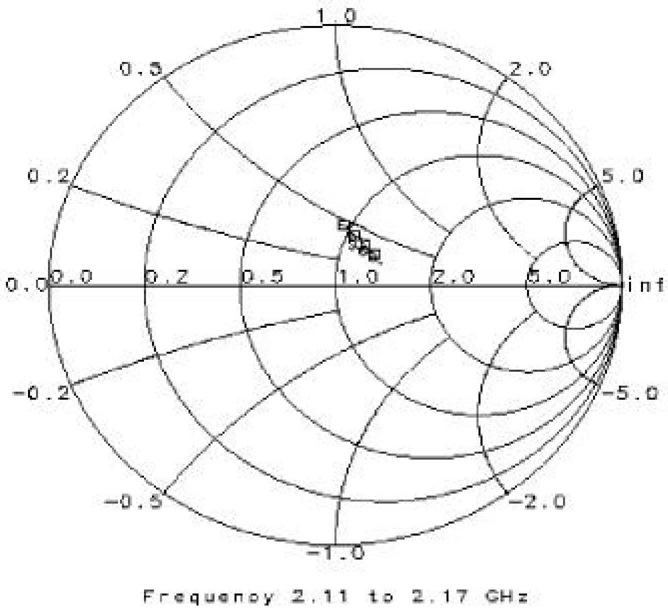
설계 목표인 선형이득 20 dB이상의 결과를 얻기위해 앞에서 설명한 전단 저잡음 증폭기와 달리 후단의 증폭기는 이득을 위주로 설계하였다. <그림 3-13>는 후단 저잡음 증폭기를 보여주고있으며, 이 증폭기에는 궤환을 이용하여 구성하였다. 궤환방식은 잡음지수의 증가 없이, 증폭기를 광대역화, 고선형화, 안정화 시킬 수 있는 방법으로 저잡음 증폭기 설계에 채택하였다.

일반적으로 궤환에 의하여 비선형 성분들은 $1+\beta A$ (여기서 β는 궤환이득, A는 증폭기 이득)으로 나누어지기 때문에 향상된 선형성을 얻을 수 있다[13]. 본 연구에서는 소오스 접지회로를 사용하고 있으므로, 전단에 병렬 전압 궤환을 사용하면 선형성은 증가하겠지만 잡음특성이 나빠지므로, 후단에 사용하고 있다.

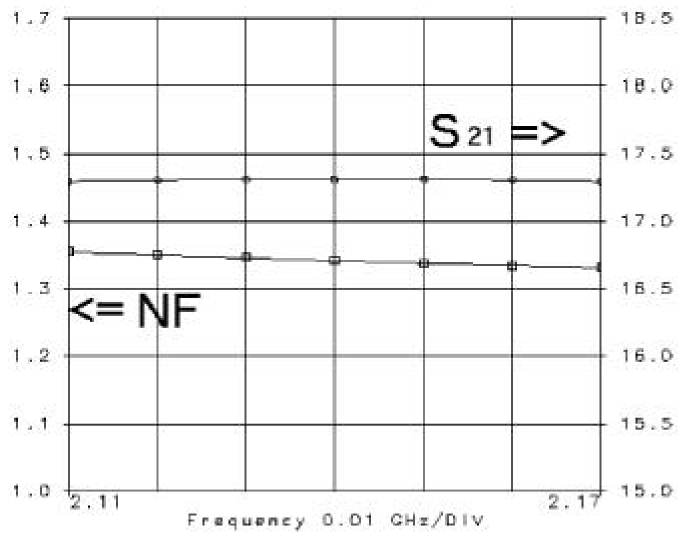


<그림 3-13> 후단의 증폭기 회로

목표주파수 대역에서의 후단 증폭기에 대한 소신호 특성과 잡음지수를 <그림 3-14>에 보이고 있다. 후단 증폭기의 잡음지수는 약 1.35 dB, 소신호 이득은 약 17.4 dB인 결과를 얻었다. 이때 궤환저항은 1 kΩ을 사용하고 있다. 시스템전체의 잡음지수는 전단의 잡음지수에 따라 결정되어지므로 후단의 다소 높은 잡음지수는 크게 영향을 주지는 않는다.



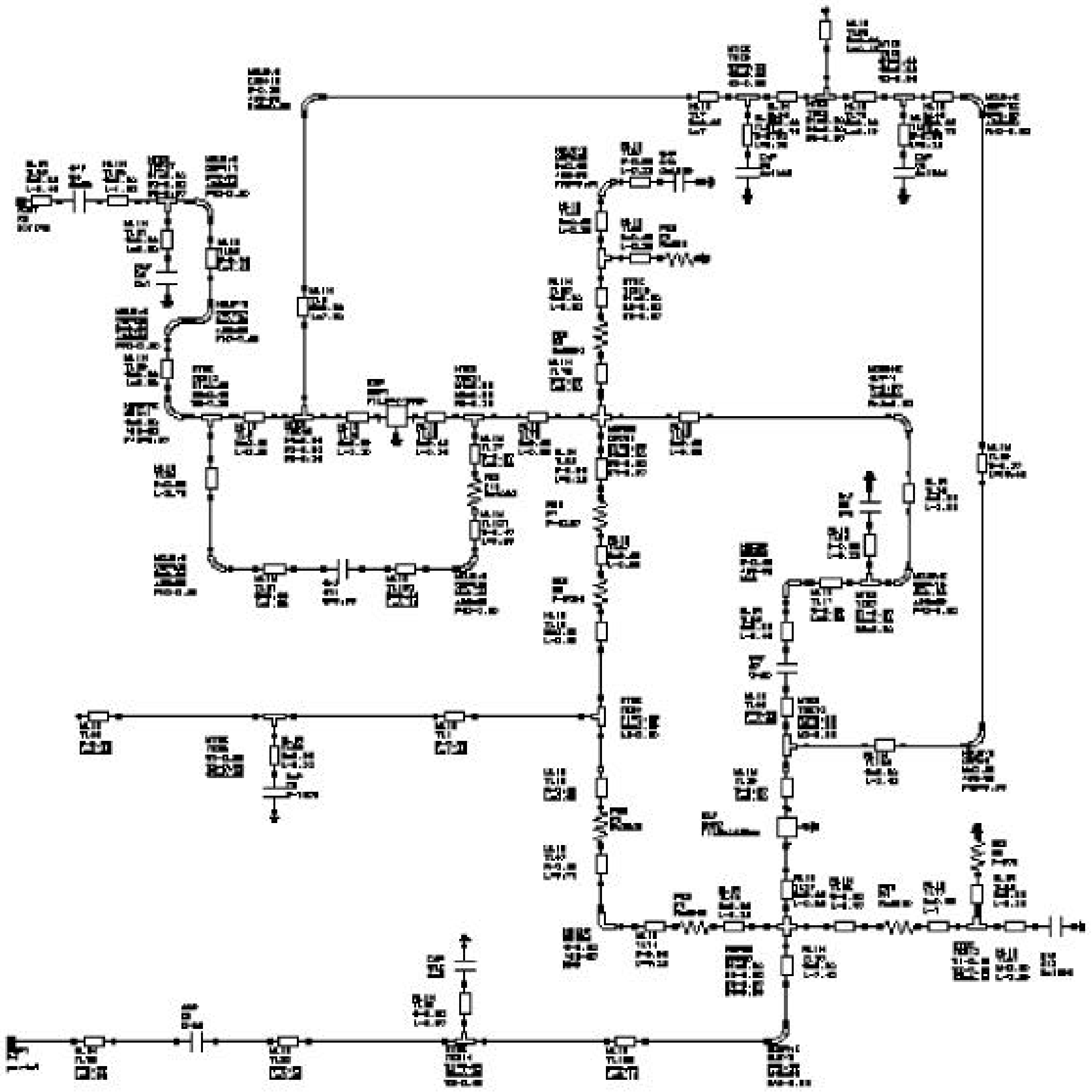
(a)



(b)

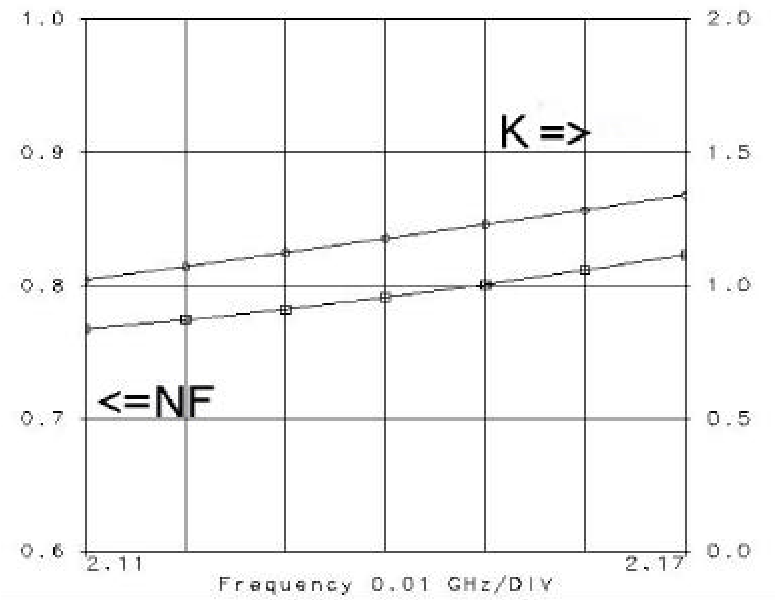
<그림 3-14> 후단 증폭기의 시뮬레이션결과

최종적으로 앞에서 서술한 전단의 저잡음 증폭기와 후단의 증폭기로 구성된 2단 저잡음 증폭기를 설계하였다. 전단의 저잡음 증폭기와 후단의 증폭기가 단간정합[14]으로 연결되어진 형태로 <그림 3-15>에 설계된 회로를 보이고 있다. <그림 3-15>의 2단 저잡음 증폭기의 시뮬레이션 결과는 <그림 3-16>에서 보이고 있다.



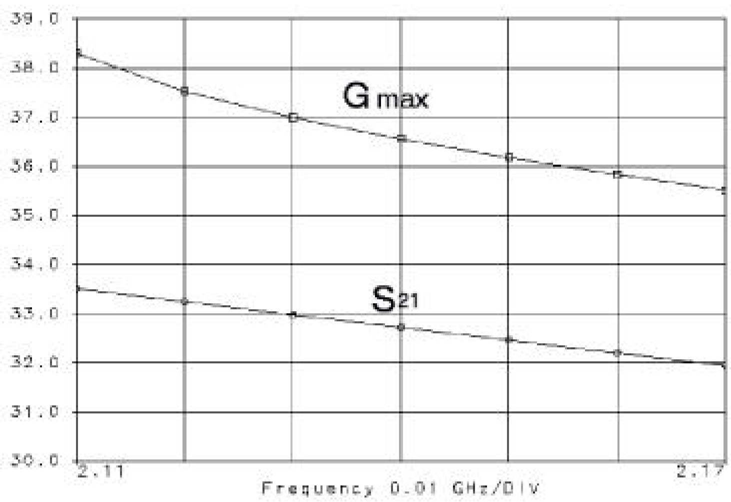
<그림 3-15> 전단과 후단이 서로 단간정합된 2단 저잡음 증폭기

주파수 대역이 2.11-2.17 GHz에서 잡음지수 0.83 dB이하인 매우 낮은 결과를 얻었다. 안정계수 K값은 부궤환효과로 이 주파수 대역에서 1이상으로 안정한 상태를 이루고 있다.

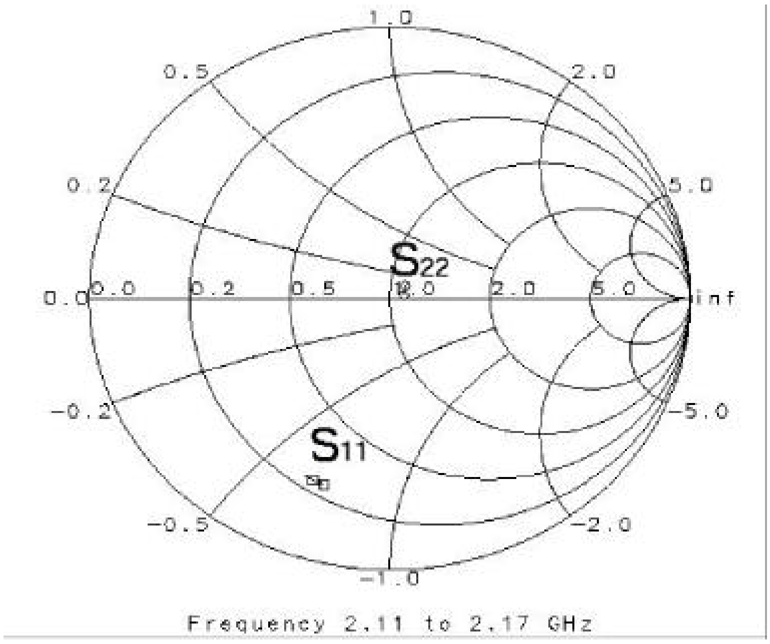


<그림 3-16> 2단 저잡음 증폭기의 잡음지수와 안정계수 K의 시뮬레이션 결과

<그림 3-17>는 2단 저잡음 증폭기의 소신호 이득 S21의 시뮬레이션 결과이며, 중심주파수(2.14 GHz)에서 32.7 dB, 목표주파수 대역에서 32 dB이상의 소신호 이득을 보이고 있다. 이는 목표와 비교했을 때 12 dB이상 높은 선형 이득 특성을 보이고 있다. <그림 3-18>는 2단 저잡음 증폭기의 S11, S22 에 대한 시뮬레이션 결과를 보이고 있다.



<그림 3-17> 2단 저잡음 증폭기의 소신호 이득 S21의 시뮬레이션 결과



<그림 3-18> 2단 저잡음 증폭기에 대한 S_{11}와 S_{22}의 시뮬레이션결과

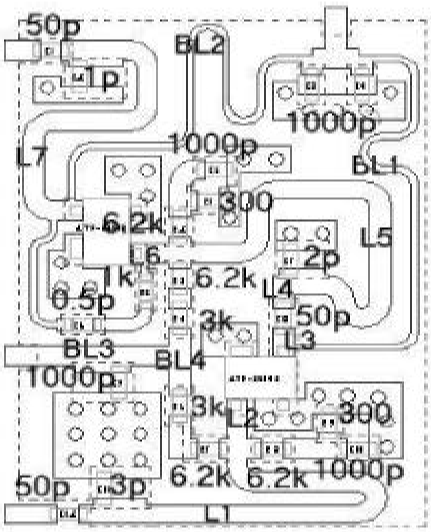
목표주파수 대역에서 입력 VSWR는 6, 출력 VSWR은 1.1의 시뮬레이션 결과를 보이고 있다. 입력측의 다소 높은 VSWR은 잡음특성을 동시에 고려하여 정합회로를 설계한 결과로써, 입력측 S_{11}의 공액임피던스 정합과 최소잡음지수를 위한 Γ_{OPT}정합이 서로 같지 않기 때문에 나타난 결과이다. 저잡음 증폭기는 최소잡음지수를 목표로 설계하였기 때문에 이런 입력측 VSWR의 결과는 불가피하지만, 평형증폭기 형태등으로 구성하여 그 특성을 개선시킬 수 있다. 출력측 VSWR은 S_{22}의 공액임피던스 정합설계로 그 결과가 목표사양을 만족하고 있다.

제3절 2단 저잡음 증폭기 제작 및 측정결과

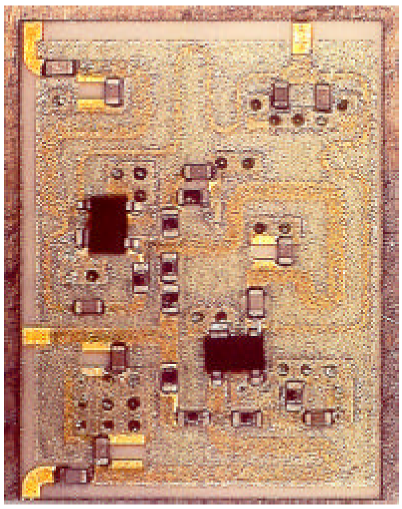
1. 2단 저잡음 증폭기 패턴 레이아웃 및 제작

RFIC 일체형 패치안테나의 제작에서 저잡음 증폭기의 형태는 안테나의 뒷면에 위치하는 형태를 가지게 될 것이며, 고려사항은 안테나의 개구면 위치와 안테나 크기를 고려해야 한다. 저잡음 증폭기의 패턴설계는 AUTOCAD를 사용하여 실행하였다.

2단 저잡음 증폭기의 형태와 크기는 패치 크기를 고려하여 11.5 × 17 mm2를 넘지않게 패턴을 제작하였으며, 또한 중간부분의 3.5 × 0.31 mm2의 개구면을 고려하였다. 제작시 리소그래피 장비의 해상도를 고려하여 급전선은 기판의 가장자리로부터 최소 0.5 mm이상의 간격을 두었으며, 패드는 기판의 밑면인 접지면과 분리시키기 위하여 0.3 mm정도의 간격을 유지하게 하였다. 마이크로스트립선로의 굵기는 최소 0.2 mm이상, 선로간의 간격은 최소 0.25 mm 이상(0.3 mm) 되도록 패턴을 설계하였으며, 저항 또는 캐패시터, 인덕터와 같은 집중소자가 붙어 겹쳐질 부분의 선로 굵기는 최소 0.3 mm이상이 되도록 하였다. 겹쳐지고 남는 부분은 최소 0.1 mm이상, 양쪽으로 0.2 mm이상의 여유를 갖도록 패턴을 설계하였다. 절연체막에 대한 패턴은 기판의 가장자리로부터 0.2 mm이상의 거리가 있게 하였으며, 절연막이 최소 0.2 mm이상 여유분이 남게 덮히도록 설계하였다. 기판의 윗면의 접지면과 밑면의 접지면을 연결하는 via-hole 은 hole간의 거리가 최소 0.3 mm이상이 되게 하였고, AUTOCAD상에서 via-hole과 접지는 같은층으로 처리하였다. 이와 같은 고려사항을 준수한 2단 저잡음 증폭기의 패턴 레이아웃을 <그림 3-19>에서 보이고 있다. <그림 3-19>를 바탕으로 패턴을 제작하였고, <그림 3-20>은 제작한 2단 저잡음 증폭기를 보이고 있다. 제작과정은 제 2 장 제 3 절의 전력증폭기 제작과정과 동일하므로 이에 대한 자세한 설명은 생략한다. 마이크로스트립선로의 길이 및 폭은 <표 3-2>에 정리하였다.



<그림 3-19> 2단 저잡음 증폭기의 패턴 레이아웃



<그림 3-20> 2단 저잡음 증폭기

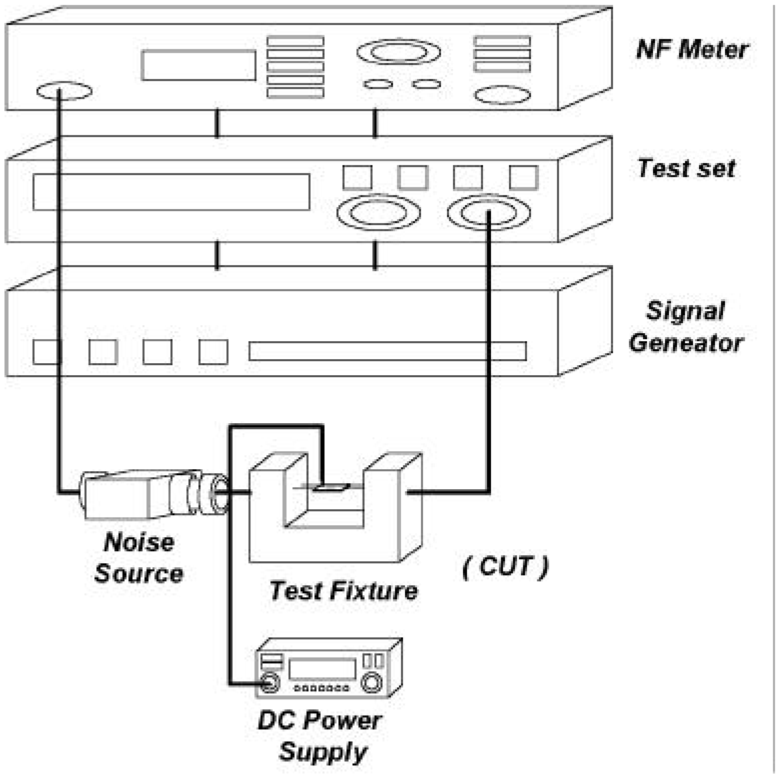
라인번호	길이(mm)	폭(mm)	특성임피던스(Ω)
L1	14.6	0.6	50
L2	0.8	0.6	50
L3	0.9	06	50
L4	1	0.6	50
L5	12.8	0.6	50
L6	1.4	0.6	50
L7	11.15	0.6	50
BL1	15.1	0.2	75
BL2	15.1	0.2	75
BL3	4.6	0.6	50
BL4	2.1	0.6	50

<표 3-2> <그림 3-19>의 각 마이크로스트립 선로의 길이, 폭, 특성임피던스

2. 2단 저잡음 증폭기의 측정결과

가. 측정계

제작된 2단 저잡음 증폭기의 잡음지수와 소신호 이득을 측정하기 위해서는 2.11 2.17 GHz의 주파수 대역에서 측정할 수 있는 잡음지수미터(noise figure meter)가 필요하다. <그림 3-21>은 잡음지수 측정시스템의 개략도를 보이고 있다. 잡음지수 측정시스템은 HP8970 (noise figure meter)의 측정 가능 주파수 범위를 2.11 2.17 GHz(대역폭 60 MHz) 이상에 맞추기 위해 HP8971 (NF test set과 신호 발생기) 등을 이용하여 <그림 3-21>에서와 같이 셋팅하였다. 제작된 2단 저잡음 증폭기(<그림 3-21>에서 CUT)는 테스트 지그 (WILTRON 3680K)를 이용, 고정하였고 DC 공급침으로부터 바이어스 전압을 인가하였다. 이와 같이 잡음지수 측정시스템을 세팅한 후, 증폭기의 잡음지수와 소신호이득을 측정하기 전 잡음지수측정 시스템내의 손실을 고려하기 위하여 교정 (calibration)을 수행하였다. 세라믹기판 위에 만들어진 50Ω 단락선 (through line) 을 이용하여 측정 시스템 내의 손실을 교정하였다.



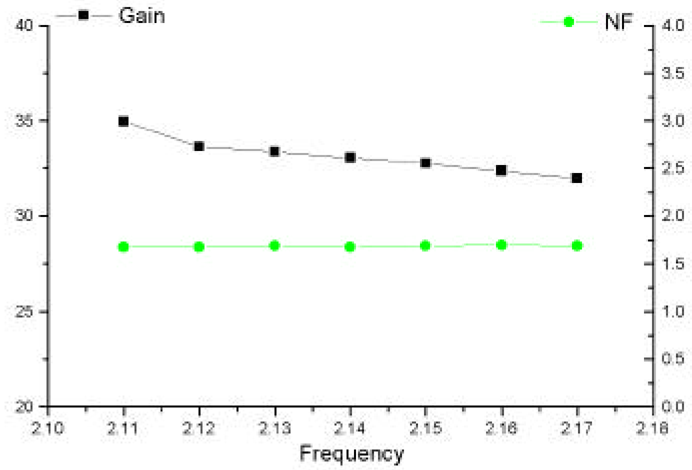
<그림 3-21> 잡음지수 측정시스템 개략도

나. 2단 저잡음 증폭기의 특성 및 결과분석

앞에서 설계/제작한 2단 저잡음 증폭기의 잡음지수(NF)와 소신호 이득(gain)의 주파수 대역특성에 대한 측정결과를 <그림 3-22>에서 보이고 있다. 목표주파수 대역(2.11 2.17 GHz)에서 측정하였으며, 바이어스조건은 설계시 목표바이어스조건인 V_{DS} = 3.6 V, I_{DS} = 60 mA인 조건하에서 측정하였다.

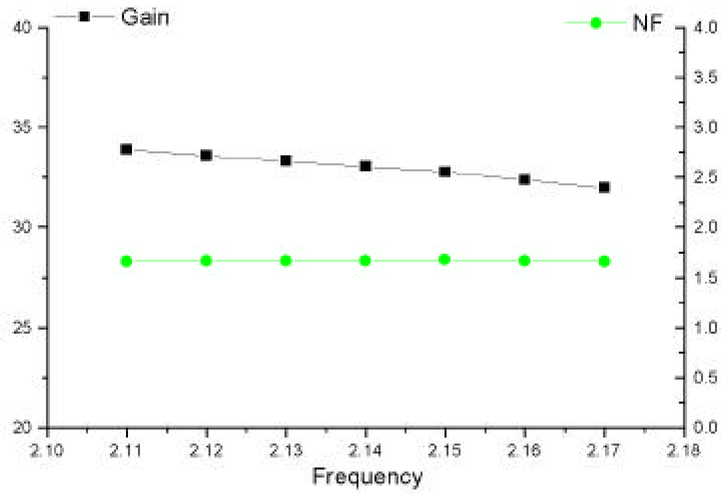
<그림 3-22>에서 주파수 2.11 GHz의 잡음지수는 1.68 dB, 소신호 이득은 34 dB인 측정결과를 보이며, 중심주파수 2.14 GHz에서는 잡음지수 1.68 dB, 소신호 이득 33 dB의 측정결과를 보이고 있다. 2.17 GHz에서는 잡음지수 1.69 dB, 소신호 이득 32 dB인 측정결과를 보이고 있다.

2.11 2.17 GHz의 주파수 대역(대역폭 60 MHz)에서 전반적인 특성으로 잡음지수는 1.69 dB이하의 잡음특성과 약 32 dB이상의 소신호 이득 특성을 보이고 있다. 잡음지수의 평탄도(flatness)는 0.01 dB로써 매우 우수한 대역 평탄성을 보이고 있으며, 소신호 이득의 경우 평탄도는 ±1 dB를 나타나고 있다.

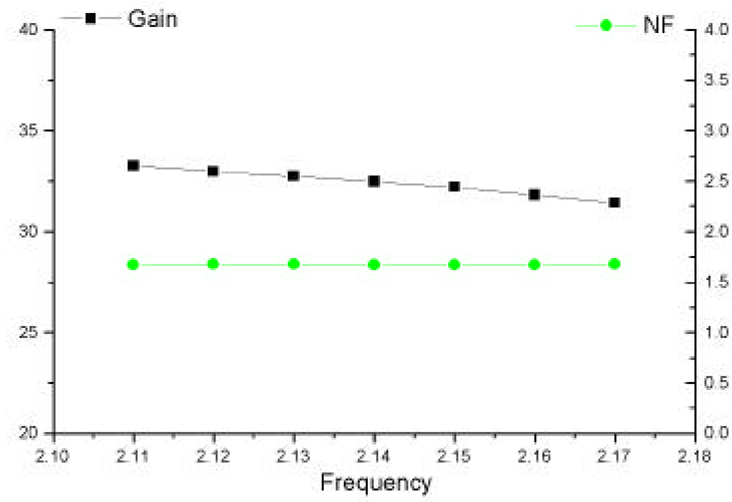


<그림 3-22> 2단 저잡음 증폭기의 잡음지수(NF)와 소신호 이득(Gain)의 주파수의존성 (VDS = 3.6 V, IDS = 60 mA)

드레인-소스간의 바이어스 전압 VDS를 2.5 V, 1.5 V로 변화시킬때의 잡음지수와 소신호 이득의 변화는<그림 3-23> (a), (b)에 보이고 있다. (a)에서는 목표 주파수 대역에서 잡음지수 1.68 dB이하, 소신호 이득 32 dB이상의 특성을 보이고 있으며, (b)에서는 잡음지수 1.68 dB이하, 31.5 dB이상의 소신호 이득 특성을 보이고 있다. (a), (b) 두경우 모두 대역 평탄도는 잡음지수 ±0.01 dB, 이득은 ±0.5 dB의 결과를 보이고 있다. 잡음지수와 소신호 이득의 VDS에 대한 전반적인 특성 변화를 알아보기 위하여, VDS = 1.5 V에서 3.6 V로 0.5 V step으로 측정하였다. 주파수 2.14 GHz에서 측정결과를 <그림 3-24>에 보이고 있다.



(a) VDS = 2.5 V, IDS = 60 m A

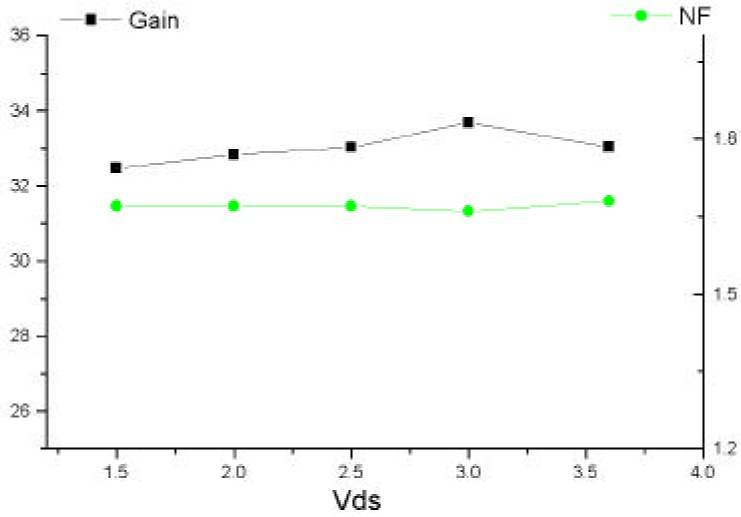


(b) VDS = 1.5 V, IDS = 60 mA

<그림 3-23> IDS = 60 mA 일때, (a) VDS = 2.5 V, (b) VDS = 1.5 V의 바이어스 조건에서 잡음지수와 소신호 이득의 주파수 의존성

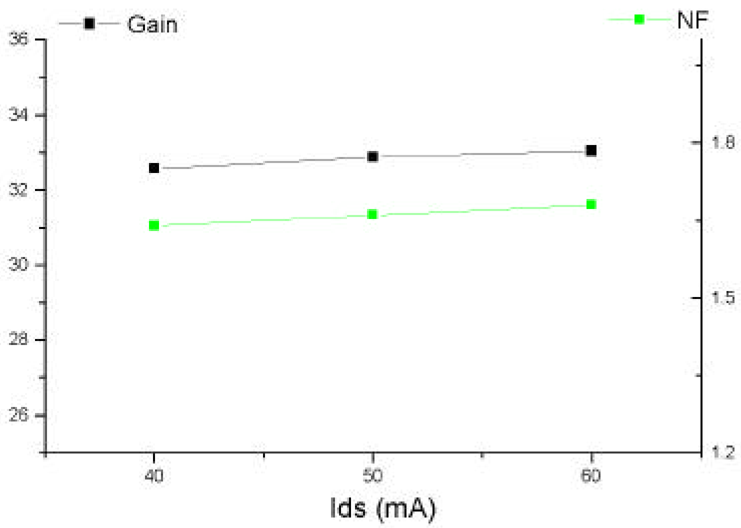
VDS가 1.5 V에서 3.6 V까지 변화할 때, 잡음지수는 1.68 dB이하로 ±0.02 dB의 편차를 보이고 있으며, 소신호 이득은 32.5 dB이상으로 ±0.3 dB의 편차를 보이고 있다. 또한, 잡음지수와 소신호 이득의 IDS 의존성을 알아보기 위하여 드레인 전류 IDS를 변화시켜 측정하였다. 그 측정결과를 <그림 3-25>에 보이고 있다. VDS는 3.6 V로 고정하고 VGS를 변화시켜 IDS가 60, 50, 40 mA로 변화할때의 특성을 측정하였다. 잡음지수는 1.68 dB이하로 ±0.02 dB의 편차를 보이고 있으며, 소신호 이득은 32.5 dB이상으로 ±0.25 dB의 편차를 보이고 있다

<그림 3-24>와 <그림 3-25>에서 알 수 있듯이 잡음특성과 소신호 이득은 VDS와 IDS에 대해 거의 변화가 없으며, 이는 단말기 배터리의 기전력이 감소할 경우에도 2단 저잡음 증폭기의 특성 변화는 거의 없음을 알려주고 있는 것이다.



<그림 3-24> **중심주파수**(2.14 GHz)**에서**

잡음지수와 소신호 이득의 VDS **의존성** (IDS = 60 mA **고정**)



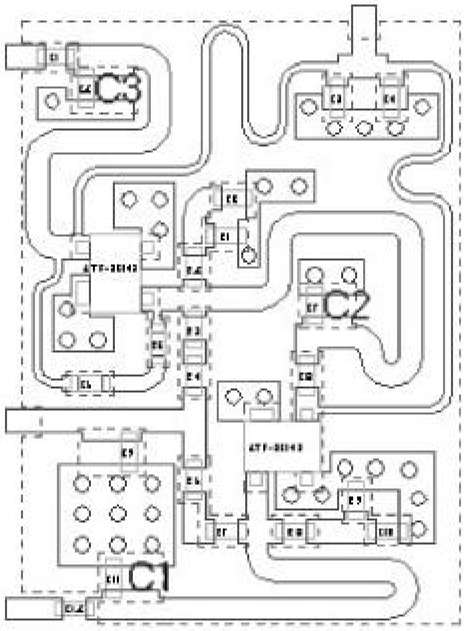
<그림 3-25> **중심주파수**(2.14 GHz)**에서**

잡음지수와 소신호 이득의 IDS **의존성** (VDS = 3.6 V**고정**)

지금까지의 측정결과와 본 장의 제 2 **절의 시뮬레이션 결과와 비교하여 볼 때**, 2.11 2.17 GHz **주파수 대역에서의 소신호 이득의 편차는** 0.5 dB**로** 2% **이내의 오차를 보이고 있으나**, **잡음지수는** 0.8 dB**로 큰 오차를 보이고 있다**. **이에**

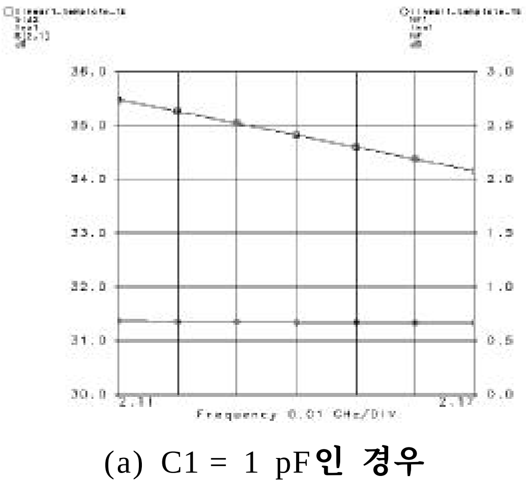
대한 분석으로 목표주파수 대역내 기생성분(주로 세라믹기판에 존재하는 커패시터 성분)에 대한 영향을 다음과 같은 시뮬레이션을 통하여 알아보았다.

<그림 3-26>의 C1, C2, C3는 병렬로 접지면과 연결되어 있으며, 이에 따른 기생성분이 목표주파수 2.11 2.17 GHz에서 발생할 수 있다. 기생성분에 따른 C1, C2, C3 의 변화에 대한 시뮬레이션결과는 <그림 3-27>에서 보이고 있다.

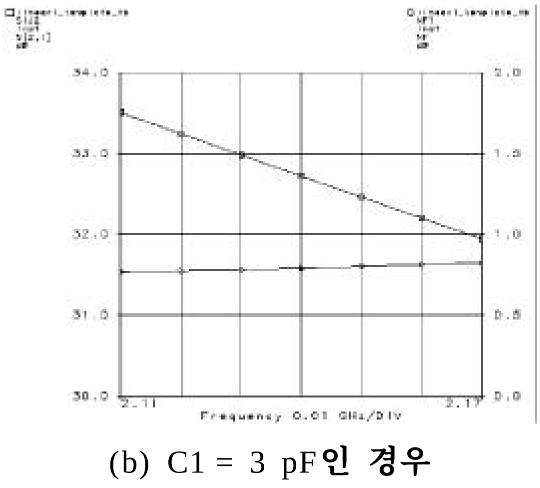


<그림 3-26> 정합용 커패시턴스 C1, C2, C3

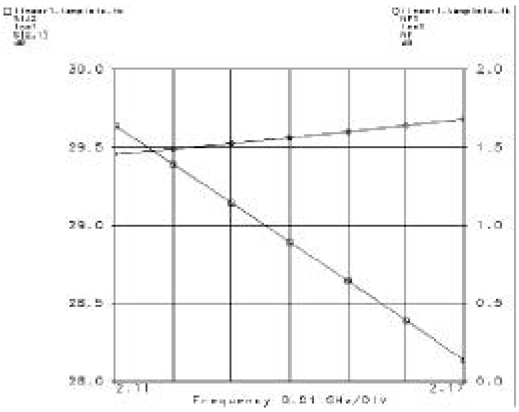
C1의 변화에 따른 시뮬레이션 결과는 <그림 3-27> (a) (c)에서 보이고 있으며, C2의 경우는 (d) (f), C3의 경우는 (g) (i)에서 보이고있다.



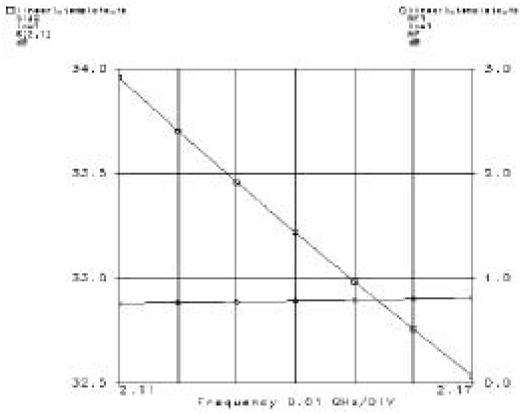
(a) C1 = 1 pF인 경우



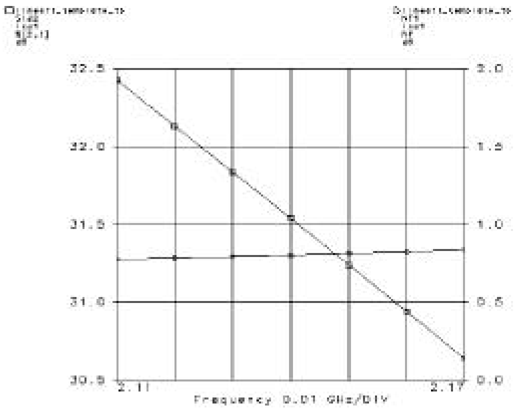
(b) C1 = 3 pF인 경우



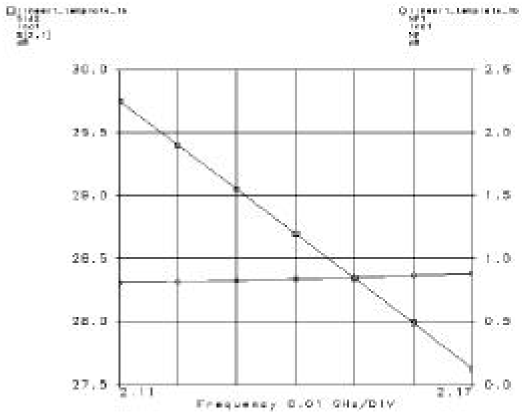
(c) C1 = 5 pF인 경우



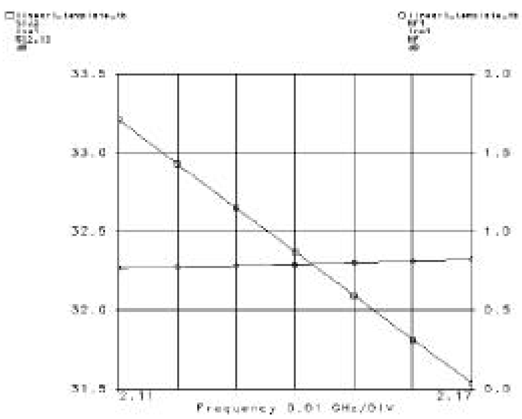
(d) C2 = 1 pF인 경우



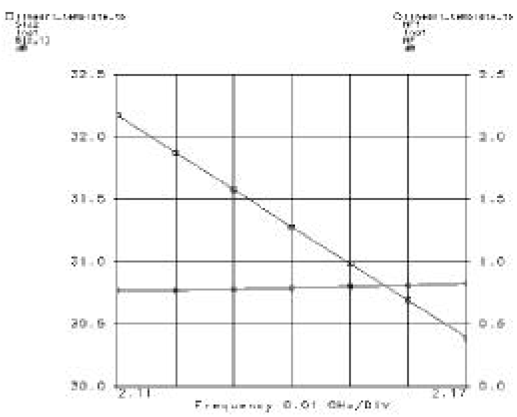
(e) C2 = 3 pF인 경우



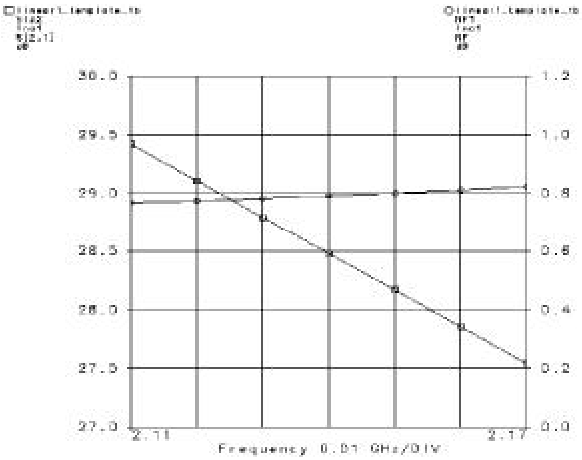
(f) C2 = 5 pF인 경우



(g) C3 = 1 pF인 경우



(h) C3 = 3 pF인 경우



(i) C3 = 5 pF인 경우

<그림 3-27> 정합용 커패시턴스의 용량변화에 따른 잡음 및 이득 특성 변화

C1 이 1, 3, 5 pF으로 증가됨에 따라 소신호 이득은 약 2 dB씩 감소하며, C1 이 5 pF로 증가 되었을때 잡음지수는 1.8 dB정도로 증가되는 결과를 보이고 있다. C2 의 경우, C1과 같은 크기로 증가함에 따라 소신호 이득은 약 2 dB씩 감소하고 있으나, 잡음지수는 매우 작은 변화로 그 값이 일정하게 유지되고 있다. C3 의 경우, 그 값이 증가함에 따라 소신호 이득이 감소되는 특성만 보이며 잡음지수는 매우 근소한 변화로 그 값이 일정하게 유지됨을 보이고 있다. 따라서, C1 에 따라 소신호 이득과 잡음지수의 변화가 가장 두드러지는 결과를 보이고있다. 위의 시뮬레이션 결과에서 실제측정시 소신호 이득과 잡음지수에서 발생되는 오차는 C1 에 병렬로 연결된 기생성분에 의해 발생될 수 있다는 것을 추정할 수 있다. 2차년도에서는 이에 대한 대책과 선형특성측정 및 선형성개선 방법에 대한 연구가 계속 수행될 예정이다.

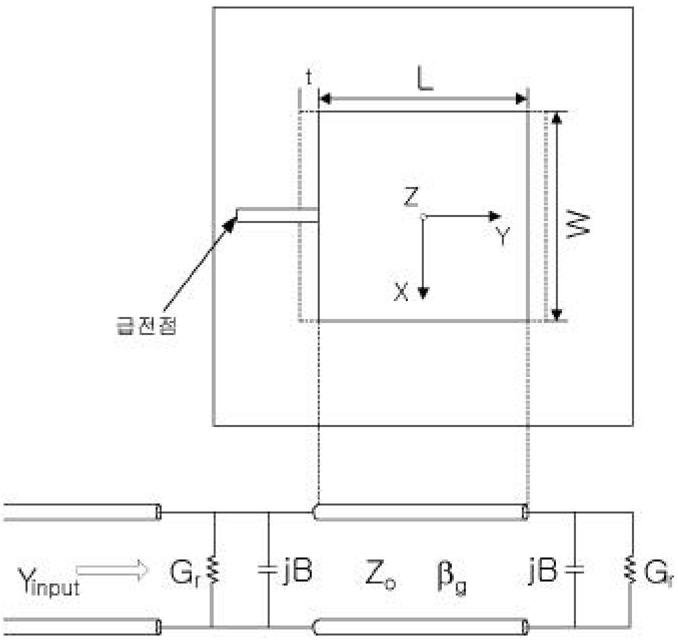
제 4 장 개구 결합 급전구조 마이크로스트립 패치 안테나

본 장에서는 준마이크로파대를 이용하는 IMT-2000의 단말기에 사용될 내장형 RFIC 일체형 패치 안테나의 설계에 관해 서술하였다. 당해 연도에는 송신대역만을 목표로 하므로 IMT-2000 송신 주파수 대역인 1920 1980 MHz (3%)을 만족하고 단말기 내장형이므로 소형으로 설계하는 것이 주요 목표이다.
먼저 1절에서 마이크로스트립 안테나의 기본적인 원리와 급전구조를 설명하였고, 2절에서 마이크로스트립 안테나의 대역폭 개선방법에 대해서 설명하였으며, 3절에서는 안테나 설계 및 시뮬레이션 결과에 대해서 분석하였다.

제 1 절 마이크로스트립 안테나 기본 원리 및 급전구조

1. 마이크로스트립 안테나의 기본 원리

마이크로스트립 안테나에 대해서 여러 가지 해석 방법이 있지만 기본 원리의 이해를 위하여 전송선 모델을 이용하였다. 전송선 모델 방법[15]을 살펴보면 다음과 같다.



<그림 4-1> 구형 마이크로스트립 안테나와 등가회로

전송선 모델의 기본적인 개념은 <그림 4-1>의 등가회로를 보면 잘 이해할 수 있다. 패치는 두께 t, 길이 L, 폭 W를 가지는 전송선으로 볼 수 있다. 결국 마이크로스트립 패치는 두 개의 어드미턴스로 특성화되는 전송선으로 나타낼 수 있다. 마이크로스트립 선로에서의 특성임피던스 Z_0와, 전파상수 β_g는 아래와 같이 표현할 수 있다.

$$Z_0 = \frac{1}{Y_0} = \frac{\eta_0}{\sqrt{\varepsilon_e}}\frac{t}{W} \qquad (4-1)$$

$$\beta_g = k_0\sqrt{\varepsilon_e} \qquad (4-2)$$

여기서 η_0와 k_0는 각각 자유 공간에서의 고유임피던스와 전파상수를 나타낸다. 유효 유전율 ε_e는 다음 식과 같이 나타낼 수 있다.

$$\varepsilon_e = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2}\left(1 + 10\frac{t}{W}\right)^{-\frac{1}{2}} \qquad (4-3)$$

등가회로에서 어드미턴스를 이루고 있는 허수 성분 B와 실수 성분 G는 방사와 프린징 필드는 고려하여 다음과 같이 근사화 될 수 있다.

$$B = \frac{k_0 \triangle l}{Z_0}\sqrt{\varepsilon_e} \qquad (4-4)$$

$$G_r = \begin{bmatrix} \dfrac{W^2}{90\lambda_0^2}, & W < 0.35\lambda_0 \\ \dfrac{W}{120\lambda_0} - \dfrac{1}{60\pi^2}, & 0.35\lambda_0 \le W \le 2\lambda_0 \\ \dfrac{W}{120\lambda_0}, & 2\lambda_0 < W \end{bmatrix} \qquad (4-5)$$

여기서 $\triangle l$는 프린징 필드를 고려한 항이다. 이것은 다음식으로 근사화 될 수 있다.

$$\triangle l = 0.412t \frac{(\varepsilon_e + 0.3)(W/t + 0.264)}{(\varepsilon_e - 0.258)(W/t + 0.8)} \qquad (4\text{-}6)$$

등가회로에서 패치 안테나에 대한 입력 어드미턴스는 특성 어드미턴스 Y_0와 전파상수 β_g를 가지는 두 개의 슬롯으로 구성되어 있다.

$$Y_{input} = G_r + jB + Y_0 \frac{(G_r + jB) + jY_0 \tan(\beta_g L)}{Y_0 + j(G_r + jB)\tan(\beta_g L)} \qquad (4\text{-}7)$$

입력 어드미턴스는 실수부분과 허수부분으로 이루어져 있다. 공진 조건은 실수부분만 존재할 때이다.

$$Im(Y_{input}) = 0 \qquad (4\text{-}8)$$

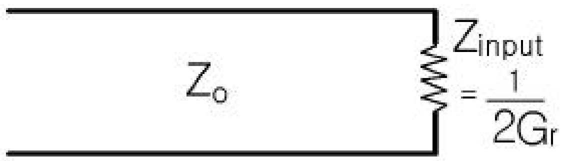
여기서 $Im(Y_{input})$는 입력 어드미턴스의 허수부분을 나타낸다. 위의 식으로부터 아래와 같은 조건을 얻을 수 있다.

$$\tan(\beta_g L) = \frac{2Y_0 B}{G_r^2 + B^2 - Y_0^2} \qquad (4\text{-}9)$$

여기서 공진길이 L을 구하여 패치 크기를 결정할 수 있다. 공진에서의 입력 어드미턴스는 다음식으로 간략화 될 수 있다.

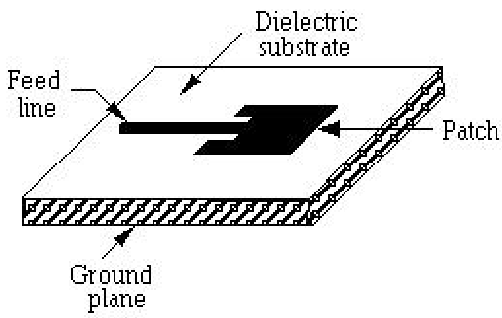
$$Y_{input} = 2G_r \qquad (4\text{-}10)$$

공진 주파수에서 패치의 입력 어드미턴스 $Z_{input} = \frac{1}{Y_{input}}$이므로 다음과 같은 등가회로로 나타낼 수 있다. Z_{input}은 패치 구조 및 substrate 유전율에 따라 다르다.



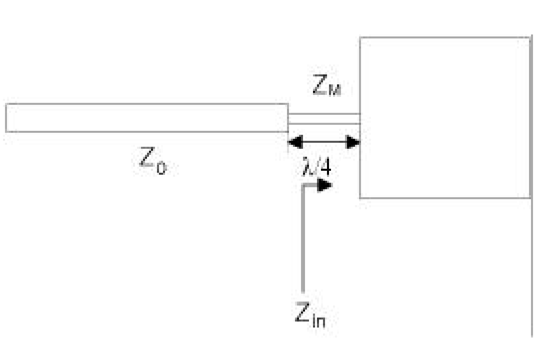
보통 200 400**의 범위에 있다**. **이것은 일반적인 마이크로스트립 전송선로의 특성임피던스** 50Ω**보다 상당히 크므로 정합 회로가 없을 시 불연속면에서 큰 반사파가 예상된다**. **정합 회로로는 보통** $\lambda/4$ **변환기가 사용된다**.

2. 급전구조



<**그림** 4-2> **마이크로스트립 안테나의 기본 구조**

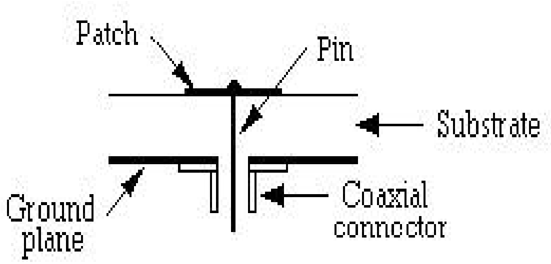
가. $\lambda/4$ 변환기



$$Z_M = \sqrt{Z_{0,} Z_{input}}$$

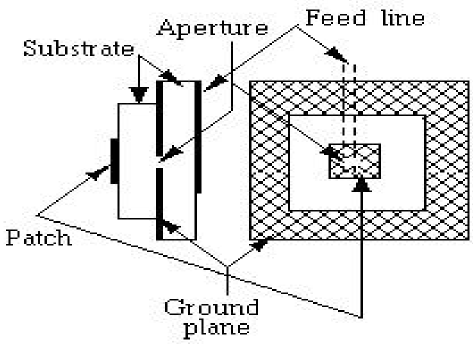
<**그림** 4-3> $\lambda/4$ **변환기를 이용한 급전구조**

나. Probe coupling에 의한 급전

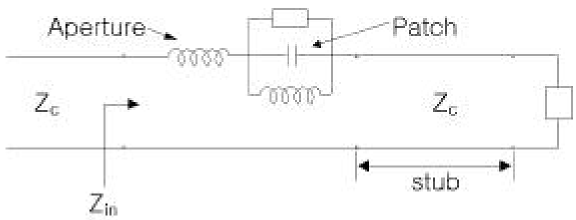


<그림 4-4> Probe coupling

다. 개구 결합에 의한 급전



(a) Aperture coupling



(b) 등가회로

<그림 4-5> Aperture Coupling

개구 결합 마이크로스트립 안테나는 Pozar에 의해 처음으로 제안되었다. 안테나와 급전선로 사이를 전기적으로 연결하는 다른 급전 방법보다 많은 이점을 가지고 있다. 특히 급전선로 부분과 방사소자부분을 분리하여 방사체 부분의 마이크로스트립은 저유전율의 유전체로 두께를 두껍게 하고 급전선로 부분은 고유전율로 구현할 수 있으므로 MMIC화 할 수 있는 장점을 가지고 있다. 개구 결합 마이크로스트립 안테나는 급전회로와 방사부분의 분리로 인하여 기생방사를 막을 수 있고, 다층으로 구현하면 넓은 대역폭을 얻을 수 있다. 급전 회로부와 방사패치를 따로 만듦으로 급전회로에서 발생하는 기생방사에 대한 영향을 받지 않으며 급전회로부의 공간을 유용하게 이용할 수 있다. 입력 임피던스는 슬롯의 크기와 위치에 의해서 결정되며 슬롯의 결합(coupling)에 의해서 발생되는 리액턴스 성분은 튜닝 스터브에 의해서 보상이 가능하다.

Slot은 패치의 중앙에 놓이며 급전선은 다른면에 놓인다. 슬롯은 일반적으로 패치보다 작으며 두 개의 기판은 슬롯과 급전선이 교차하도록 배열한다. 슬롯을 교차하는 급전선은 슬롯을 지나 $\lambda_g / 4$ 길이를 갖도록 유지하여 전류가 최대인 지점에서 결합이 일어나도록 한다.

개구 결합은 몇가지의 장점을 가지고 있다. 그중 하나는 패치가 급전으로부터 완전히 격리되어 있다는 것이다. 단일 기판상에서 제작하는 안테나는 급전으로부터 방사되는 기생방사가 부엽 레벨을 증가시키는데 개구 결합 패치는 위와 같은 영향을 방지할 수 있다. 방사소자 부분의 기판은 표면파의 여기가 적고 넓은 대역폭을 가져야 하므로 낮은 비유전율을 가져야 한다. 반면에 급전 회로부의 기판은 회로의 크기를 감소시킬 수 있도록 높은 비유전율을 가져야 한다. 접지면이 패치와 급전선사이에 있으므로 한쪽 기판의 유전율은 다른쪽 기판의 유전율에 영향을 주지 않는다.

개구 결합으로 급전 될 때 패치는 급전선과 직렬연결 상태에 있으며, 개구는 공진하기에 너무 작아 임피던스상에서 단지 리액턴스 성분만을 갖는다. 밑의 스터브 역시 직렬 리액턴스를 나타낸다. 스터브는 급전선과 같은 특성 임피던스를 갖는 개방(open) 전송선로이다. 스터브는 안테나가 실수 입력 임피던스를 갖도록 슬롯과 패치의 인덕턴스를 보상한다.

급전선 기판의 두께 및 유전율 역시 결합에 영향을 준다. 기판의 두께가 두꺼워질수록 결합은 적게 일어나고 슬롯이 길어질수록 결합은 크게 일어난다.

슬롯의 크기가 증가함에 따라 안테나의 방사는 증가한다. 이것은 접지면에서 발생하는 부엽의 원인이 되며 안테나 기판의 두께 및 유전율의 변화에 의해서도 비슷한 결합현상이 발생한다. 개구 결합 패치의 해석은 매우 복잡하며 대표적인 것으로 전파 해석 (full-wave analysis)와 cavity-based 모델이 있다. 이러한 것들이 대략적인 계산효과는 나타낼 수 있어 초기설계지침으로는 유용하게 쓰일 수 있다. 설계를 시작하기 위해서는 우선 기판을 선택해야한다. 패치의 크기를 작게 해야한다는 제약이 없다면 패치가 있는 기판의 유전율은 낮을수록 좋고 급전회로부가 있는 기판은 급전회로부의 크기에 알맞게 결정되야 한다. 패치의 폭은 보통 패치 공진길이의 75 87.5%를 선택한다. 하지만 본 과제에서는 단말기 내장용이므로 사이즈를 줄이기 위해서 정사각형모양의 패치를 이용하였다. 개구결합은 2 4% 정도로 공진 주파수를 감소시킨다. 패치기판을 급전기판보다 더 높은 유전율을 사용한다면 slot 크기는 크게 감소한다. 최적의 결합을 유지하기 위해서 슬롯의 폭은 작게 하는 것이 좋다. 대체로 슬롯의 길이의 1/10 정도로 선택한다. 기판의 두께가 두꺼울수록 슬롯의 길이는 증가하고 슬롯의 폭 역시 이에 비례하여 증가한다. 슬롯의 중앙에 놓여있는 스터브는 $0.22\lambda_f$ 정도로 선택한다. 여기서 λ_f 는 급전선상에서의 파장이다.

최종적인 면적은 실험적인 결정이 필요하다. 패치의 크기, 슬롯의 폭, 급전선의 폭의 임피던스 값은 상수를 유지해야 하고 슬롯의 길이 및 스터브의 길이를 조정하므로 써 안테나를 설계해야한다.

제 2 절 대역폭 개선 방법

마이크로스트립 안테나는 두께가 얇고, 소형, 경량으로 원하는 형태로 제작할 수 있으며, 저렴한 가격으로 대량 생산이 가능하다. 특히 배열형 구성으로 첨예한 빔폭과 원하는 패턴을 얻을 수 있어 광범위한 분야에 응용되고 있다.
그러나 이득이 낮고 저출력인 단점이 있으며, 특히 본질적으로 대역폭이 좁아 시스템 응용에 많은 제약을 받는다. 따라서 마이크로스트립 안테나 소자에 대한 대역폭 증대를 위한 많은 방법이 고안되어 왔다.

E. Chang et al.에 의해 제안된 두꺼운 기판을 사용할 경우 대역폭은 늘어나지만, 표면파가 발생되고, 기판 가장자리에서 회절이 발생되어 방사패턴과 효율을 저하시키는 문제점이 있으며, A. Sabban et al.에 의한 다층 멀티 패치

(stacked multipatch)는 방사특성의 저하와 급전이 어렵다. G. Kumar가 제안한 공진주파수가 각각 다른 수동소자 회로를 사용하여 다중 공진이 되도록 하는 방법은 방사패턴과 이득을 저해하고 물리적인 패치크기가 크지는 단점이있다.

바랙터 다이오드(varactor diode)를 패치와 접지판 사이에 삽입된 다이오드에 가해지는 바이어스전압에 따라 정전용량이 변화되는 원리에 의해 기판의 실효 유전율을 변화시키는 방법과, 단락핀(shorting pin)을 패치와 접지판사이에 삽입하여 생긴 인덕턴스로 실효 유전율을 변화시켜서 대역폭을 넓힐 수 있다. 이와 같은 리액턴스 삽입방법은 이론적으로는 가능하나, 구조가 복잡해지고 높은 주파수(10 GHz이상)에서는 패치의 크기가 작아져서 패치 아래에 다이오드나 단락핀을 삽입하기가 어렵다.

또 다른 대역폭 확장방법은 패치와 스터브(stub)를 PIN 다이오드로 연결하여 바이어스전압에 의해 스터브를 개방 또는 단락시키므로써 공진주파수를 제어하는 방법이다. 이 방법은 동조범위가 좁고 구조가 복잡해지는 단점이 있다. 접지판과 기판 사이에 있는 유전체의 공극폭을 조정하여 캐비티 실효 유전율을 변화시키는 방법은 모든 형태의 패치에 적용할 수 있고, 공극폭만의 조정으로 공진 주파수를 바꿀 수 있지만 공극의 폭을 기계적으로 바꾸어야 한다[16.]

최근 K. F. Lee 그룹이 실험적 연구에 기초해서 U자 모양의 슬롯을 사각형 패치에 넣어 구현함으로써 입력임피던스 특성이 광대역화되는 방식을 제안했다. 하지만 이 방법은 정사각형패치로는 구현이 힘들고, 교차편파(cross-pol)가 증가하는 단점이 있다[17].

마이크로스트립 안테나의 대역폭을 확장하기 위한 임피던스 정합회로 기법이 H. F. Pues와 A. R. Van de Capelle에 의해 제안되었다[18]. 마이크로스트립 패치 안테나의 입력임피던스는 주파수에 따라 변화되므로 이를 보상하기 위하여 리액티브 소자로 구성된 광대역 정합회로를 설계해야 한다. 다행히도 마이크로스트립 안테나의 입력임피던스는 방사패턴과 이득에는 별로 영향을 주지 않고 대역폭에만 관계되기 때문에 정합회로의 설계는 RLC공진회로로 구성되는 안테나 입력임피던스를 부하로 한 여파기를 설계하는 것과 같다.

SRFT(Simplified Real Frequency Technique)는 Carlin에 의해서 제안된 실주파수 정합으로[19], 안테나와 전원 임피던스에 대한 등가회로나 변환 전력이득을 구하는 이론적 과정이 필요없이 안테나 임피던스의 계산치나 측정치를 이용하여 직접 정합회로를 설계할 수 있다. 이 기법은 사전에 정합회로의 특성과

topology 선정을 할 필요가 없으며, gain-bandwidth product 이론에 필요한 Hilbert변환의 수치해석을 할 필요가 없어 계산시간이 단축된다. 또한 이 기법에 의해 합성된 정합회로는 이론적인 절차나 다른 기법에 의한 결과와 비교했을 때 구조가 더 간단하고 우수한 이득특성을 갖는다.

1. 대역폭 확장 인자

Bode는 리액티브 소자와 저항이 직,병렬로 되어 있는 부하에 광대역 임피던스 정합회로를 설계하는데는 이론적인 한계가 있다는 것을 밝혔다.
Fano는 전원을 복소부하에 정합시켜 전송이득과 대역폭을 개선할 수 있다는 것을 제시하였다.
대역폭 기준이 VSWR(f_1) = VSWR(f_2) = S이므로 대역폭 BW는

$$BW = \frac{f_2 - f_1}{f_0} \quad (4\text{-}11)$$

이고, 안테나 대역폭을 Q와 정재파비의 함수로 표시하면,

$$BW = \frac{1}{Q}\sqrt{\frac{(TS-1)(S-T)}{S}} \quad (4\text{-}12)$$

가 된다. 여기서, T는 직렬공진일 때 $\frac{Z_0}{R_0}$이고 병렬공진일 때 $\frac{R_0}{Z_0}$이다. 일반적으로 동축급전 probe를 적당하게 위치시키거나 $\lambda/4$변환기를 사용하여 완전정합시킬 때 T는 1이므로 식 (4-12)는

$$BW|_{T=1} = \frac{1}{Q}\frac{S-1}{\sqrt{S}} \quad (4\text{-}13)$$

이 된다. 그러나 대역폭을 최대로 하는 T의 최적값은 $\frac{dBW}{dT} = 0$의 관계로부터

$$T_{opt} = \frac{1}{2}\left(S + \frac{1}{S}\right) \quad (4\text{-}14)$$

이 된다. 식 (4-14)는 광대역 임피던스 정합의 기본적인 조건이다.

안테나의 복소임피던스를 전 주파수대에서 완전정합이 되게 하는 정합회로의 설계는 불가능하다. 그러나, 정해진 대역내에서 정합을 최상으로 하든지 또는 정재파비가 주어진 경우 최대의 대역폭을 가지는 정합회로를 설계할 수 있다.

주어진 정재파비 S에 대해 직,병렬 공진회로에서 얻을 수 있는 최대 대역폭은 Fano이론을 이용하여 다음과 같이 계산할 수 있다.

$$BW_m = \frac{1}{Q}\frac{\pi}{\ln\frac{S+1}{S-1}} = -\frac{1}{Q}\frac{\pi}{\ln\left(\frac{1}{\Gamma}\right)} \qquad (4\text{-}15)$$

식 (4-15)에서 보는 바와 같이 실현될 수 있는 최대 대역폭은 소자의 Q와 반사손실(dB)에 비례함을 알 수 있고, 이 값은 광대역 정합회로를 이용해서 이론적으로 얻을 수 있는 최적치를 의미하고 식 (4-13)은 일반적인 대역폭으로 최대 대역폭 확장인자 F는

$$F = \frac{\pi\sqrt{S}}{(S-1)\ln\frac{(S+1)}{(S-1)}} \qquad (4\text{-}16)$$

이 된다[20].

2. Aperture coupling구조에 따른 주파수당 임피던스변화량

대부분의 마이크로스트립 안테나의 주파수 변화에 따른 안테나 특성을 조사해보면 임피던스변화가 가장 많은 대역폭 제한 요소이고, 반면에 이득(directivity×radiation efficiency)과 방사패턴 변화는 대역폭의 10 20 %내에서는 거의 무시되어 질 수 있다. 이 같은 것은 마이크로스트립 안테나를 cavity 해석 모델을 적용해서 쉽게 설명되어 질 수 있다. 이 방법에 따르면 전체 입력임피던스는 모델의 임피던스 합으로 표시할 수 있다. 여기서 모델은 병렬 공진회로이고, 전체 방사 필드는 모델의 방사 필드의 합으로 쓰여질 수 있으며, 각

모델 필드는 주파수에 무관한 정규화된 패턴과 주파수 의존성이 있는 상수(scalar excitation coefficient)의 곱으로 표시될 수 있다. 그러므로 주파수가 변할 때 입력 임피던스는 병렬 공진 회로로 동작하고 방사패턴은 주파수에 따라 거의 변하지 않을 것이다.
안테나의 대역폭은 다음과 같다.

$$BW = \frac{1}{Q}\sqrt{\frac{(TS-1)(S-T)}{S}} \quad (4\text{-}17)$$

이 식이 완전하게 정합되면 T=1 이 되고,

$$BW|_{T=1} = \frac{1}{Q}\frac{S-1}{\sqrt{S}} \quad (4\text{-}18)$$

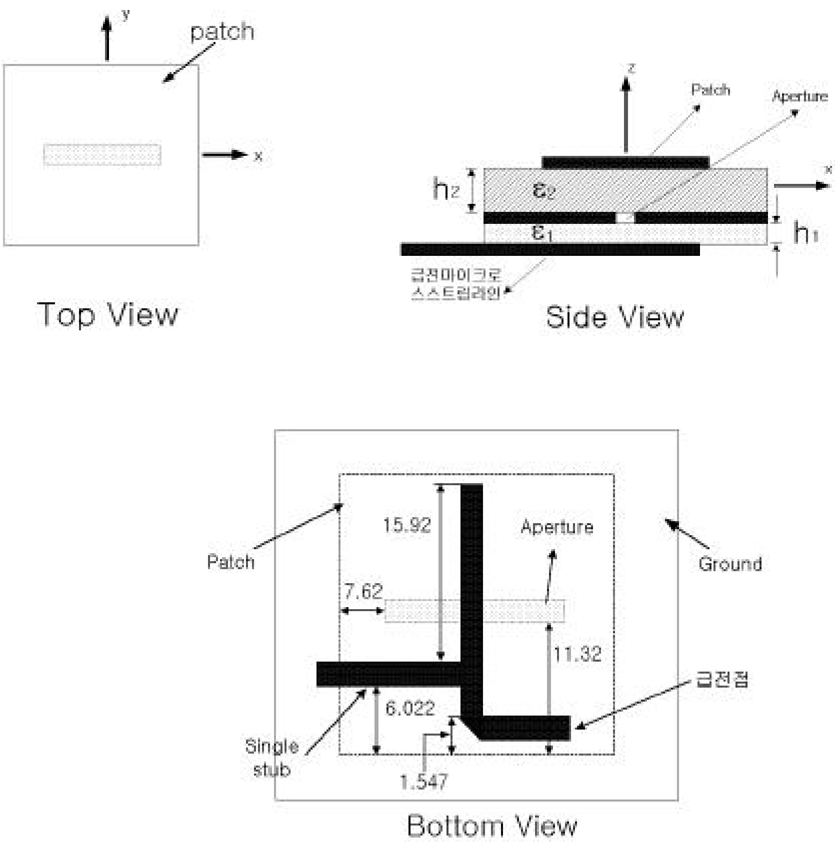
이 된다. 여기서 S=VSWR 이며, Q 값을 적절히 조절하여 대역폭을 넓힐 수 있다. 안테나의 Q값을 작게 했을 경우 좀더 넓은 대역폭이 나오는 것을 알수 있다. 안테나를 cavity라고 가정했을 때 P_c(conduct loss), P_d(dielectric loss), P_r(radiation loss)와 P_{ext}을 고려해 볼 수 있다. 여기서 P_{ext}는 cavity에 결합(coupling) 구조에 따른 결합손실(coupling loss)이다. 여기서 우리가 변화시킬 수 있는 파라미터는 $Q_{external}$로 안테나의 결합 구조인 슬롯 크기가 점점 커짐에 따라서 결합되는 양이 많아져서 under coupling, critical coupling, over coupling형태가 된다. 결합되는 양이 커질수록 주파수에 따른 임피던스 변화량이 커지는 특성을 보인다[21].

따라서 다른 매칭 기술을 사용하지 않고도 완전 매칭을 시킬수 있지만 협대역 특성을 가지기 때문에 본 과제에서는 IMT-2000 송신 대역폭을 만족시키기 위해서 슬롯크기를 작게해서 주파수에 따른 임피던스 변화량이 적은 under coupling구조로 만든 후에 단일 개방스터브(single open stub)[22]를 이용해서 매칭을 시켰다.

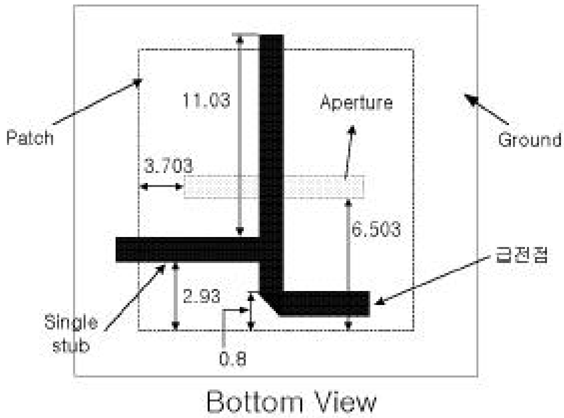
제 3 절 안테나 설계 및 시뮬레이션 결과

1. 설계 사양

당 해연도 목표는 IMT-2000의 송신주파수 1920 1980 MHz (60 MHz)의 대역폭을 만족하는 안테나를 제작하는 것이다. 급전방식은 RFIC와 일체화하기 위해서 개구결합 급전방식을 이용하였고, 단말기 내장형 안테나를 목적으로 하기 때문에 안테나의 사이즈를 최소화하기 위해서 급전부에 세라믹소재의 높은 유전물질을 사용하였다. 하지만 유전율이 높아질수록 대역폭이 줄어들기 때문에 요구대역폭을 만족하기 위해서 방사면의 유전체 두께를 높이고 단일 개방스터브 (single open stub)를 이용하였다. 설계모양은 그림6과 같고 자세한 파라미터를 <표 4-1>과 <표 4-2>에 나타내었다. <표 4-1>은 유전율이 9.3인 경우이고, <표 4-2>는 유전율이 22인 경우이다.
시뮬레이션 도구로 Ensemble 5.1을 이용하였다.



(a) 유전율 9.3 (<표 2-1>의 경우)



(b) 유전율 22 (<표 2-2>의 경우)

<그림 4-6> 설계된 안테나 모형 (단위:mm)

급 전 방 식	주파수 대역	Patch size	Ground size	Aperture size	Single stub	유 전 체	
						급전면	방사면
개구결합 급전방식	1920 1980 MHz	23.2×23.2 mm	40×40 mm	7.56×0.31 mm	11.715×0.6515 mm	ε_1=9.3 h_1=0.653mm	ε_2=9.3 h_2=4mm

<표 4-1> 안테나 설계 파라미터 (유전율 : 9.3)

급 전 방 식	주파수 대역	Patch size	Ground size	Aperture size	Single stub	유 전 체	
						급전면	방사면
개구결합 급전방식	1920 1980 MHz	13.7×13.7 mm	30×30 mm	5.8×0.45 mm	8.92×0.2442 mm	ε_1=22 h_1=0.653mm	ε_2=22 h_2=5mm

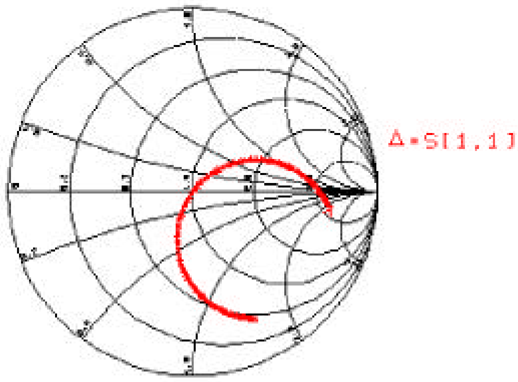
<표 4-2> 안테나 설계 파라미터 (유전율 : 22)

<표 4-1>의 안테나에 비해서 <표 4-2>의 안테나는 높은 유전물질을 사용함으로 안테나를 좀더 소형으로 구현할수 있다. 하지만 유전율이 높아지면 대역폭이 줄어들기 때문에 이를 보상하기 위해서 방사면의 유전체 두께를 높여주었기 때문에 표면파 여기가 증가해서 이득이 감소한 것으로 사료된다.

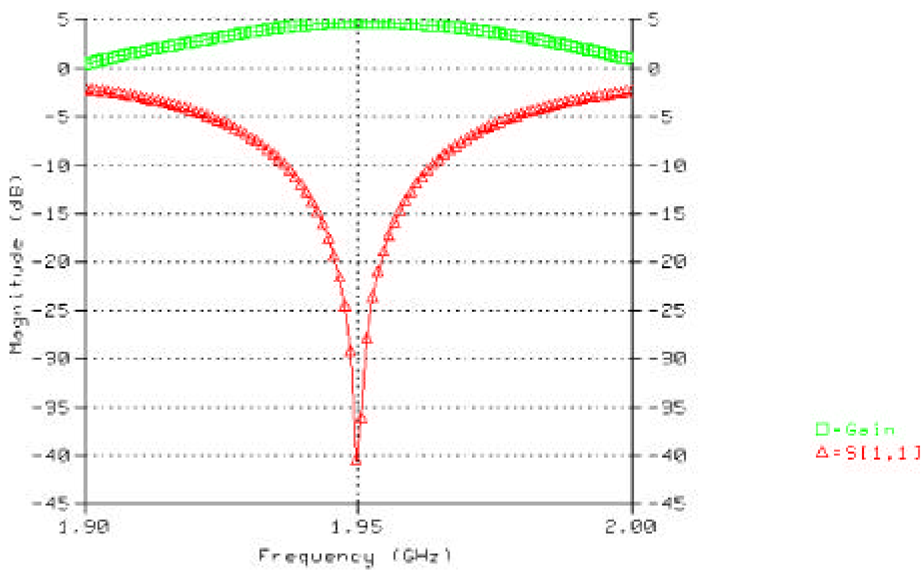
2. 시뮬레이션 결과

가. <표 4-1> 안테나의 시뮬레이션 결과 (유전율 : 9.3)

1). Critical coupling 된 경우 (single open stub를 사용하지 않음)



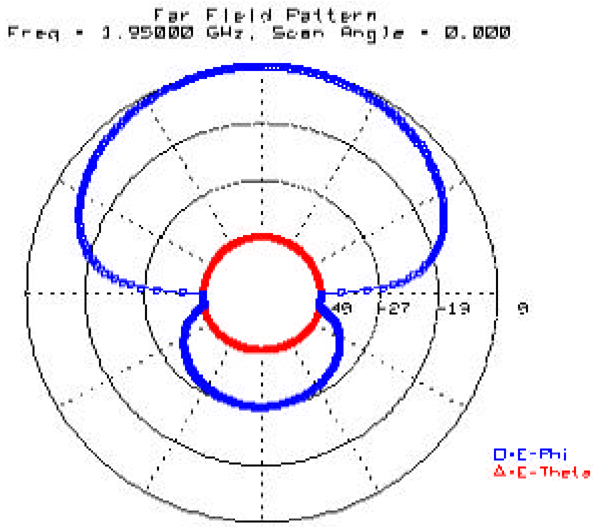
(a) S_{11}**의 스미스차트상 궤적**



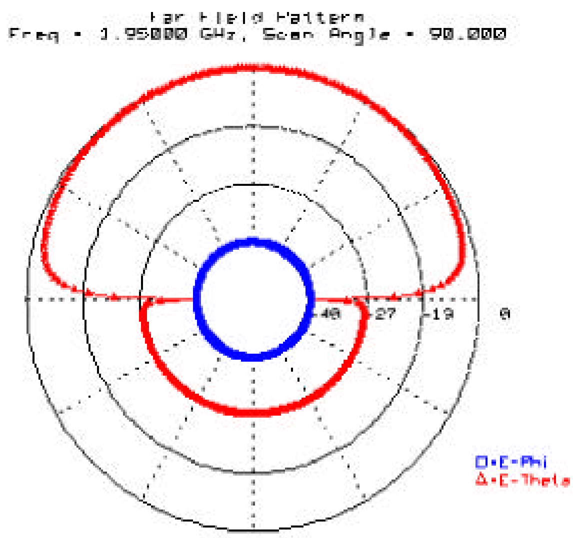
(b) **주파수에 따른** S_{11} magnitude(dB)**와** Gain

<**그림** 4-7> Critical coupling **된 경우 시뮬레이션 결과** (**유전율** 9.3)

<그림 4-7>은 stub를 이용하지 않았을 경우의 시뮬레이션 결과이다. 그림 7-(a)와 같이 주파수에 따른 임피던스의 변화량이 크기 때문에 10 dB 반사손실 대역폭이 1936.4 1963.6 MHz (27.2 MHz)로 약 1.4%의 협대역 특성을 보임을 알 수 있고, 이득은 약 4.7 dB정도의 특성을 가진다.



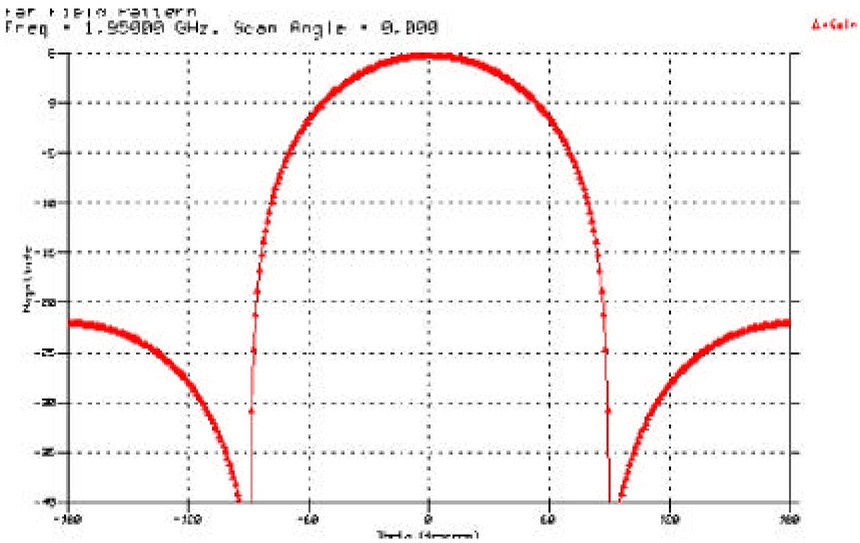
(a) y=0인 평면



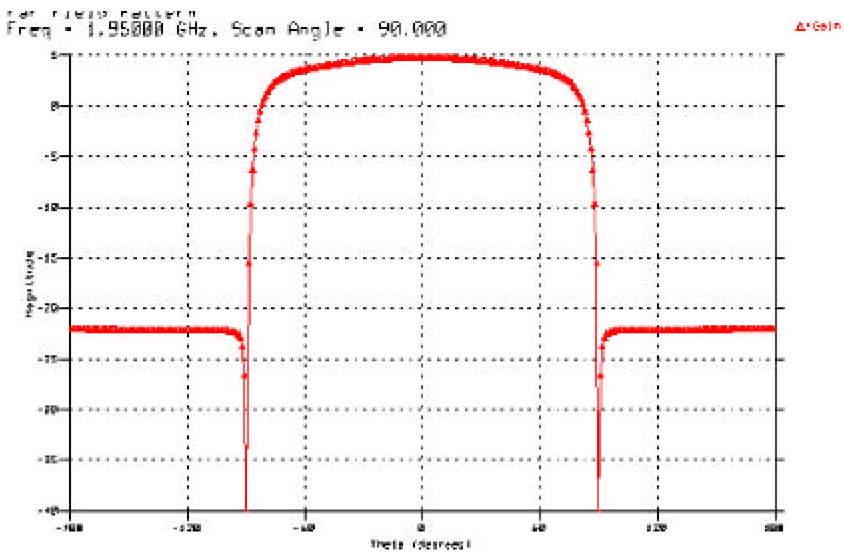
(b) x=0인 평면

<그림 4-8> 중심주파수(1950 MHz) 에서의 co-pol과 cross-pol

<그림 4-8>는 중심주파수(1950 MHz)에서의 co-pol과 cross-pol의 시뮬레이션 결과이다. cross-pol과 40 dB 이상 차이가 나고 후방방사도 27 dB 이상 차이가 남을 알 수 있다.



(a) y=0인 평면



(b) x=0 인 평면

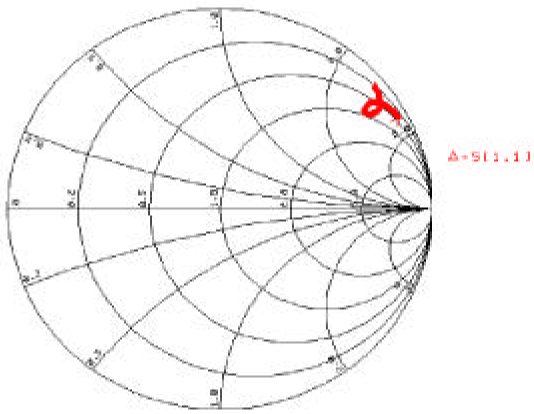
<그림 4-9> 중심주파수(1950 MHz)에서 각도에 따른 Gain

<그림 4-9>는 중심주파수에서 본 각도에 따른 이득이다. y=0인 평면에서는

최대 이득은 4.7 dB 이고 ±34° 범위에서 3 dB 이상의 이득을 가졌으며, x=0 인 평면에서는 최대 이득이 4.7 dB 이고 ±69 ° 범위에서 3 dB 이상의 이득을 가졌다. 그리고 후방방사가 약 - 22 dB 이하임을 알수 있다.

2). Under coupling된 후 single open stub를 이용하여 매칭시킨 경우

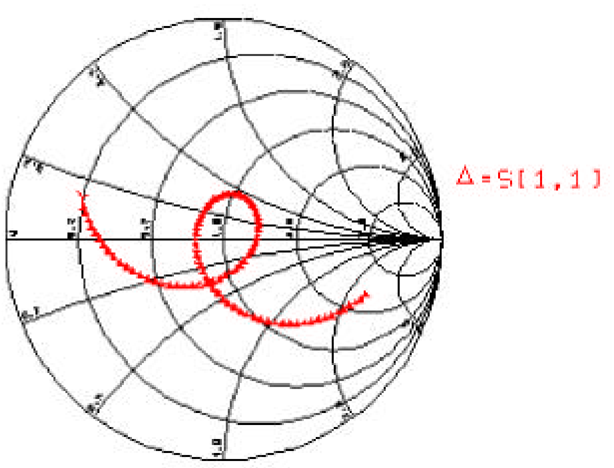
가). Under coupling된 경우



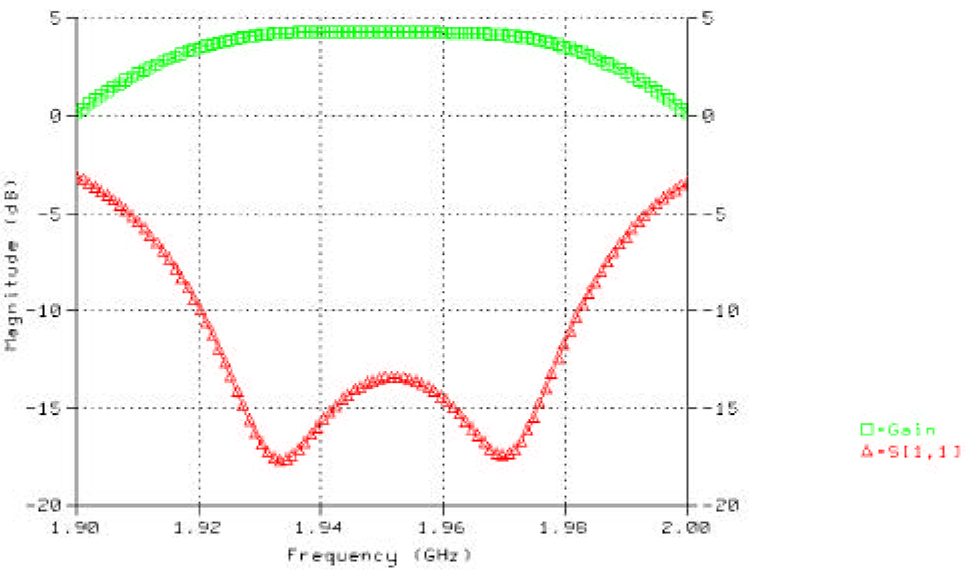
<그림 4- 10> Under coupling된 경우 S_{11}의 스미스차트상 궤적

부가적인 매칭기술을 사용하지 않고도 Critical coupling 시킬수 있지만 주파수에 따른 임피던스 변화폭이 커서 협대역(약 1.4%)특성을 가진다. 따라서 IMT- 2000 송신 주파수 대역(3%)을 만족시키기 위해서 <그림 4- 10>과 같이 주파수에 따른 임피던스 변화폭이 작게 슬롯 크기를 작게해서 Under coupling 시킨후 Single open stub를 이용해서 <그림 4- 11>와 같이 매칭을 시켰다.

<그림 4- 11>의 시뮬레이션 결과는 방사면과 급전면에 유전율이 9.3인 유전체를 사용했을 경우의 시뮬레이션 결과이다. 10 dB 반사손실 대역폭은 1920.2 1981.8 MHz (3.16%)로 IMT- 2000 송신주파수 대역을 만족함을 알수 있고, 최대 이득은 약 4.5 dB 이다.



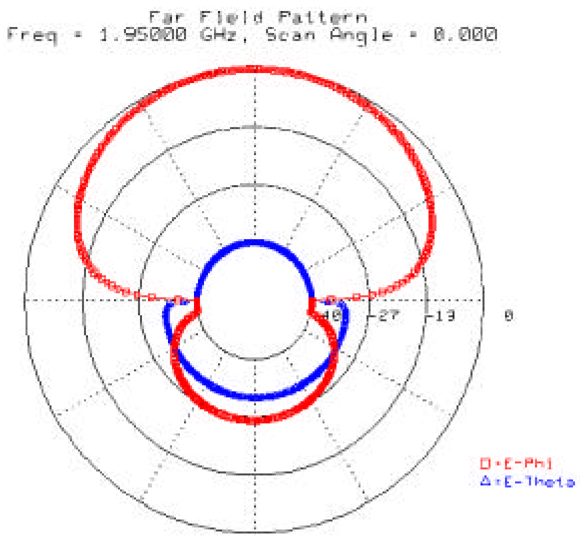
(a) S_{11}의 스미스차트상 궤적



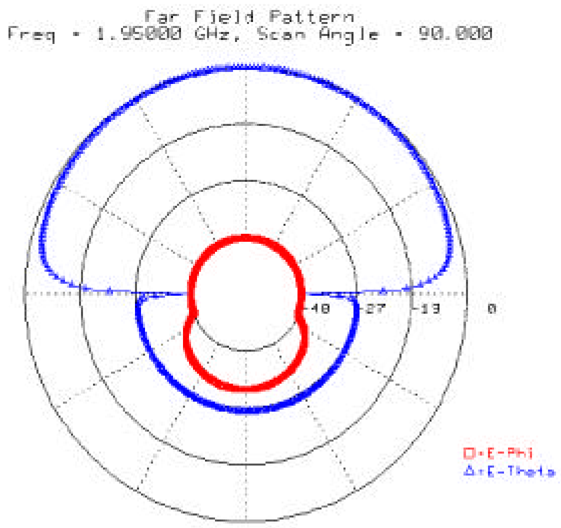
(b) 주파수에 따른 S_{11} magnitude(dB)와 이득

<그림 4-11> Single open stub를 이용하여 매칭시킨 경우 시뮬레이션 결과

<그림 4-12>는 중심주파수(1950 MHz)에서의 co-pol과 cross-pol의 시뮬레이션 결과이다. 후방방사와 cross-pol 모두 27 dB 이상 차이가 남을 알수 있다. Single open stub를 사용하지 않은 경우에 비해서 cross-pol과 후방방사가 약간 증가했다.



(a) y=0인 평면

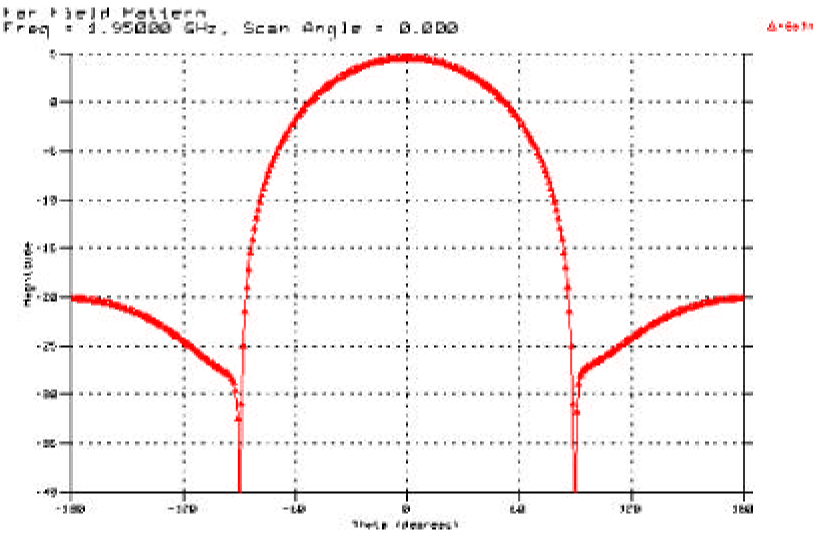


(b) x=0인 평면

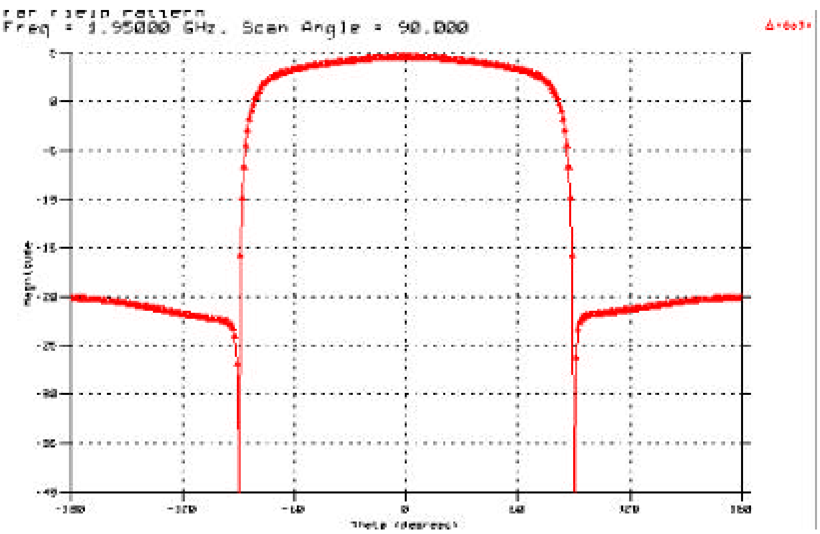
<그림 4-12> 중심주파수(1950 MHz) 에서의 co-pol과 cross-pol

<그림 4-13>은 중심주파수에서 본 각도에 따른 이득이다. y=0인 평면에서는 최대 이득은 4.5 dB 이고 ±31 ° 범위에서 3 dB 이상의 이득을 가졌으며, x=0인 평면에서는 최대 이득이 4.5 dB 이고 ±65 ° 범위에서 3 dB 이상의 이득을 가졌다. Single open stub를 이용하지 않았을 경우보다 최대 이득은 약 0.2

dB 감소하고, 3 dB 이상 되는 범위는 약 ±3 4° 정도 작아졌다. 그리고 후방 방사가 약 2 dB 정도 커졌지만 -20 dB 이하임을 알수 있다.



(a) y=0인 평면

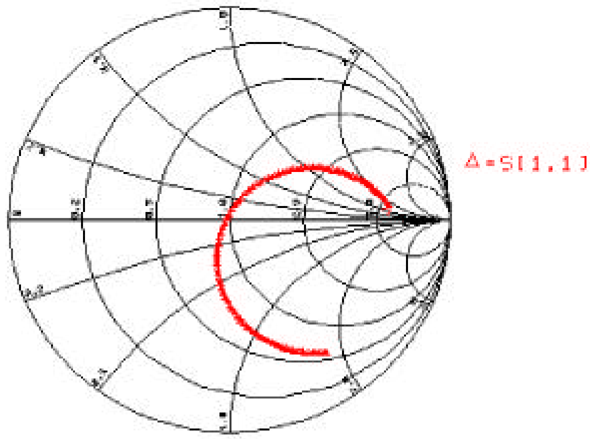


(b) x=0인 평면

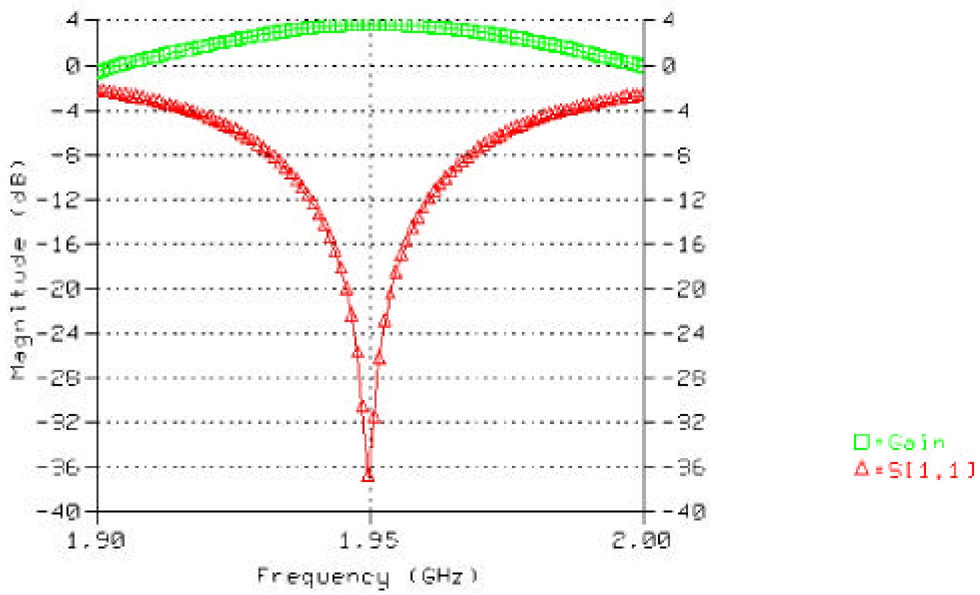
<그림 4-13> 중심주파수(1950 MHz)에서 각도에 따른 이득

나. 표 2 안테나의 시뮬레이션 결과

1). Critical coupling 된 경우 (single open stub를 사용하지 않음)



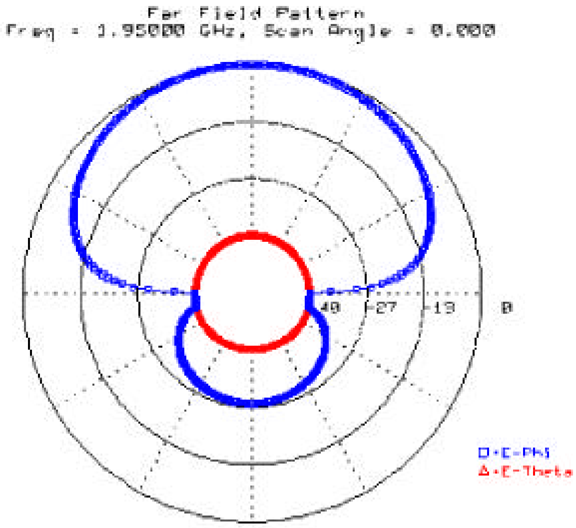
(a) S_{11}의 스미스차트상 궤적



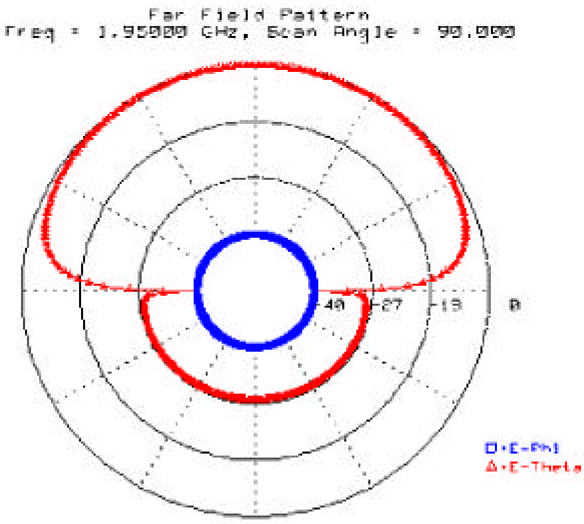
(b) 주파수에 따른 S_{11} magnitude(dB)와 이득

<그림 4-14> Critical coupling 된 경우 시뮬레이션 결과 (유전율 : 22)

<그림 4-14>는 single open stub를 이용하지 않았을 경우의 시뮬레이션 결과이다. <그림 4-14-(a)>와 같이 주파수에 따른 임피던스의 변화량이 크기 때문에 10 dB 반사손실 대역폭이 1936.4 1963.6 MHz (27.2 MHz)로 약 1.4%의 협대역 특성을 보임을 알 수 있고, 이득은 약 3.64 dB 정도의 특성을 가진다. 유전율 9.3인 안테나에 비해서 이득이 약 1 dB 정도 감소했는데 이는 패치 크기를 좀더 줄이기 위해서 유전율 22인 더 높은 유전체를 사용함으로써 IMT-2000 송신 주파수 대역을 만족시키기 위해서 방사면 유전체 높이를 1 mm 더 높였기 때문에 기생 모드 여기와 표면파 여기가 커졌기 때문으로 판단된다.



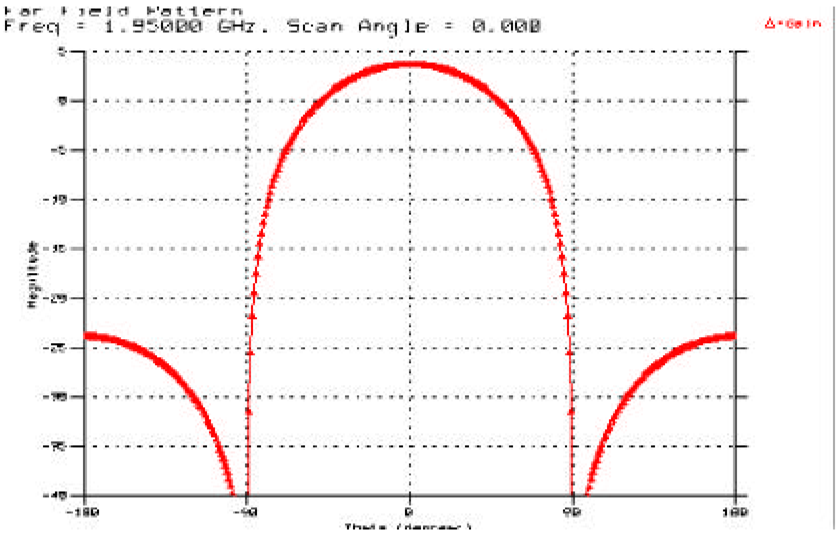
(a) y=0 인 평면



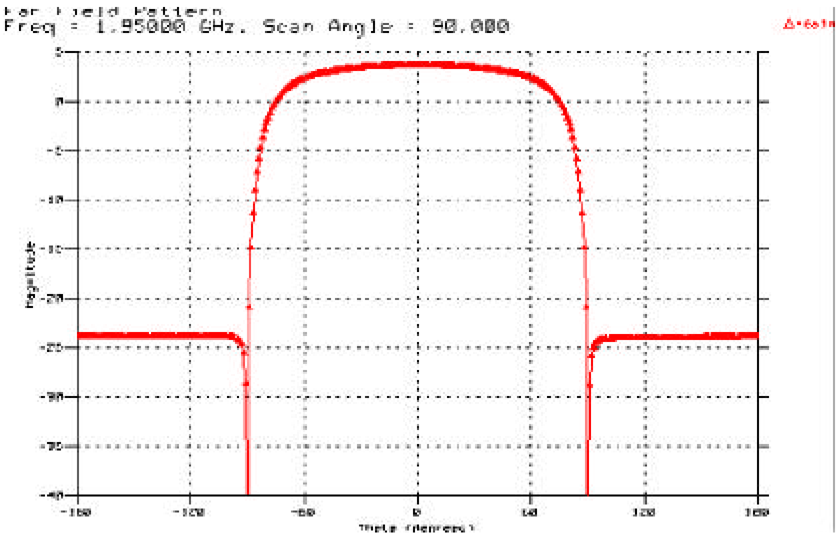
(b) x=0인 평면

<그림 4-15> 중심주파수(1950 MHz) 에서의 co-pol과 cross-pol

<그림 4-15>는 중심주파수(1950 MHz)에서의 co-pol과 cross-pol의시뮬레이션 결과이다. cross-pol과 40 dB 이상 차이가 나고 후방방사도 27 dB 이상 차이가 을 알 수 있다. 이러한 결과는 유전율 9.3인 경우와 유사하다.



(a) y=0인 평면



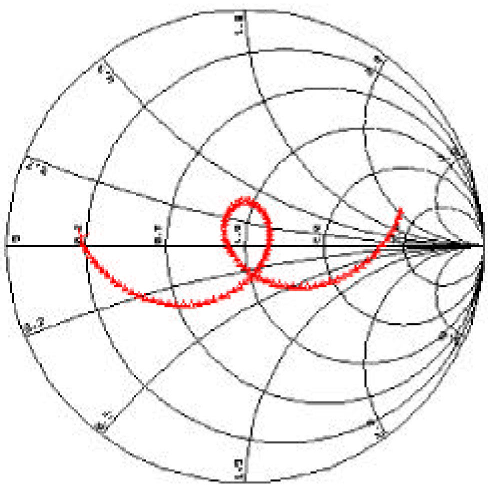
(b) x=0인 평면

<그림 4-16> 중심주파수(1950 MHz)에서 각도에 따른 이득

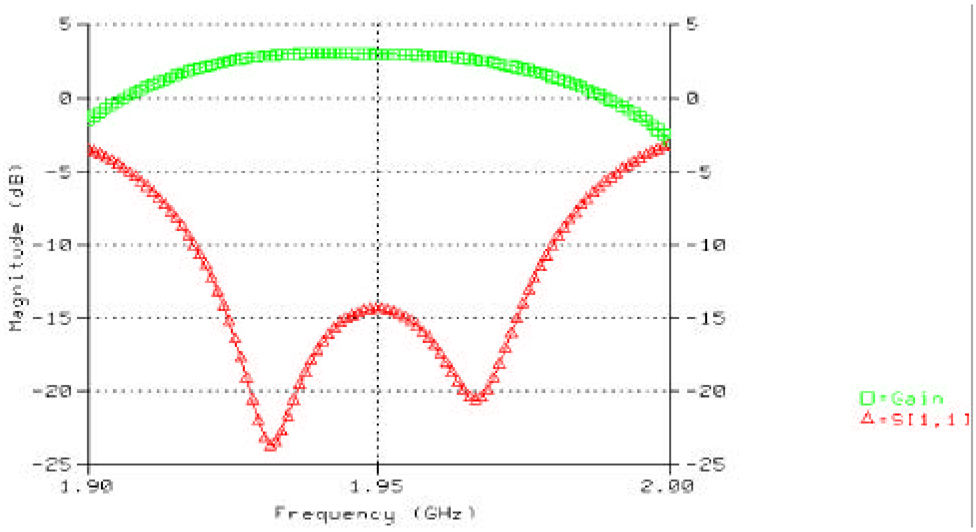
<그림 4-16>는 중심주파수에서 본 각도에 따른 이득이다. y=0인 평면에서는 최대 이득은 3.64 dB 이고 ±21° 범위에서 3 dB 이상의 이득을 가졌으며, x=0인 평면에서는 최대 이득 이 3.64 dB 이고 ±45 °범위에서 3 dB 이상의 이득을 가졌다. 그리고 부엽(side lobe)과 주빔이 약 22 dB 이상의 차이를 유지하고 있다. 유전율 9.3인 경우와 비교 했을 때 최대 이득이 약 1 dB 정도 감소했고 y=0인 평면에서는 3 dB 이상 되는 각도는 약 ±11° 도 감소하였으며 x=0인 평면에서는 ±24° 도 감소했다.. 후방방사는 9.3인 경우에 비해서 2 dB 정도 감소했다.

2). Under coupling된 후 single open stub를 이용하여 매칭시킨 경우

<그림 4-17>의 시뮬레이션 결과는 방사면과 급전면에 유전율이 22인 유전체를 사용했을 경우의 시뮬레이션 결과이다. 10 dB 반사손실 대역폭은 1918.2 1980.8 MHz (3.21%)로 IMT-2000 송신주파수 대역을 만족함을 알수 있고, 최대 이득은 약 3.21 dB 로 <표 4-1>의 유전율이 9.3인 경우보다 약 1 dB 정도 떨어짐을 알 수 있다. 이처럼 이득이 감소한 이유는 패치 크기를 줄이기 위해서 <표 4-1>의 유전율(9.3)보다 높은 유전율(22)을 사용함으로써 대역폭이 줄어들었는데, 이를 보상하기 위해서 방사면의 유전체 두께를 1 mm 높였기 때문에 기생모드 여기와 표면파 여기가 증가했기 때문으로 판단된다.



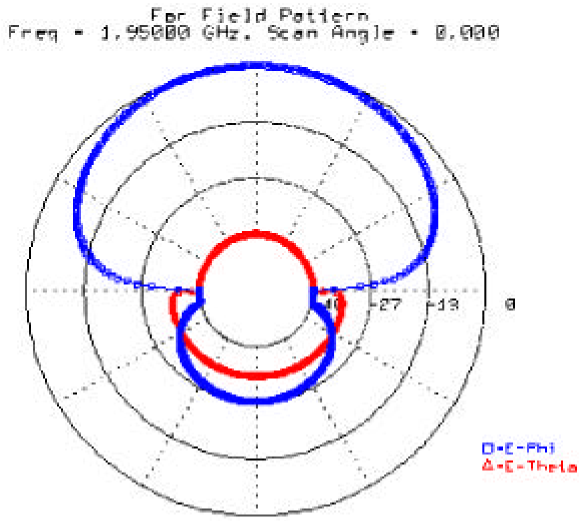
(a) S_{11}의 스미스차트상 궤적



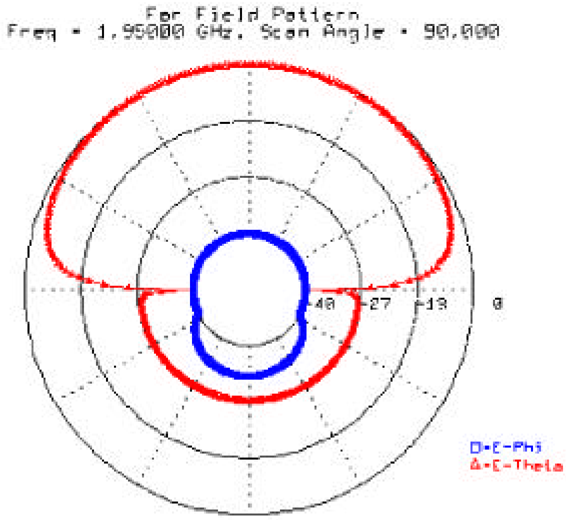
(b) **주파수에 따른** S_{11} magnitude(dB)**와 이득**

<**그림** 4-17> Single open stub**를 이용하여 매칭시킨 경우 시뮬레이션 결과**

<**그림** 4-18>**은 중심주파수**(1950 MHz)**에서의** co-pol**과** cross-pol**의 시뮬레이션 결과이다. 후방방사와** cross-pol **모두** 27 dB **이상 차이가 남을 알수 있고,** single open stub**를 사용하지 않은 경우에 비해서** cross-pol**과 후방방사가 약간 증가했다. 이러한 결과는** <**표** 4-1>**의 안테나와 유사한 특성을 보임을 알 수 있다.**



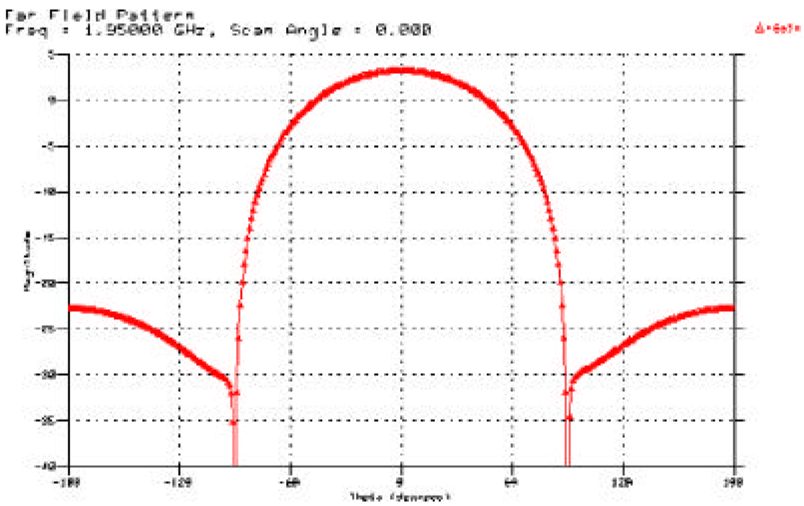
(a) y=0**인 평면**



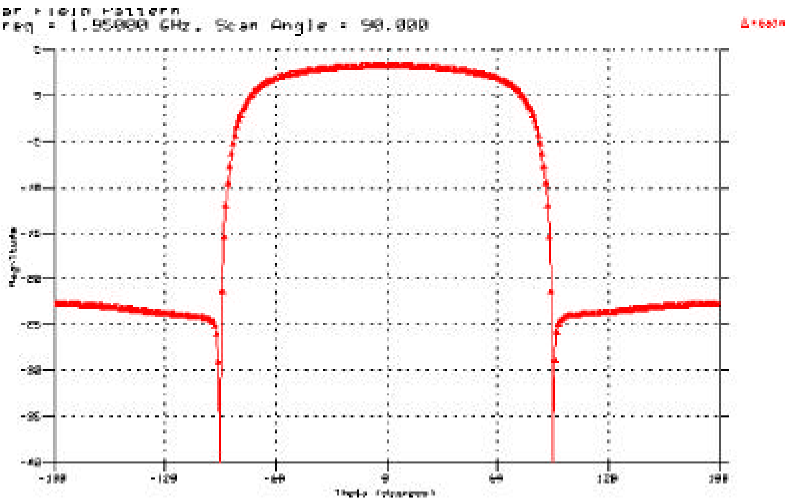
(b) x=0인 평면

<그림 4-18> 중심주파수(1950 MHz) 에서의 co-pol과 cross-pol

<그림 4-19>는 중심주파수에서 본 각도에 따른 이득이다. y=0인 평면에서는 최대 이득은 3.15 dB이고 ±11 °범위에서 3 dB 이상의 이득을 가졌으며, x=0인 평면에서는 최대 이득이 3.15 dB이고 ±22 °범위에서 3 dB이상의 이득을 가졌다.



(a) y=0인 평면



(b) x=0인 평면

<그림 4-19> 중심주파수(1950 MHz)에서 각도에 따른 이득

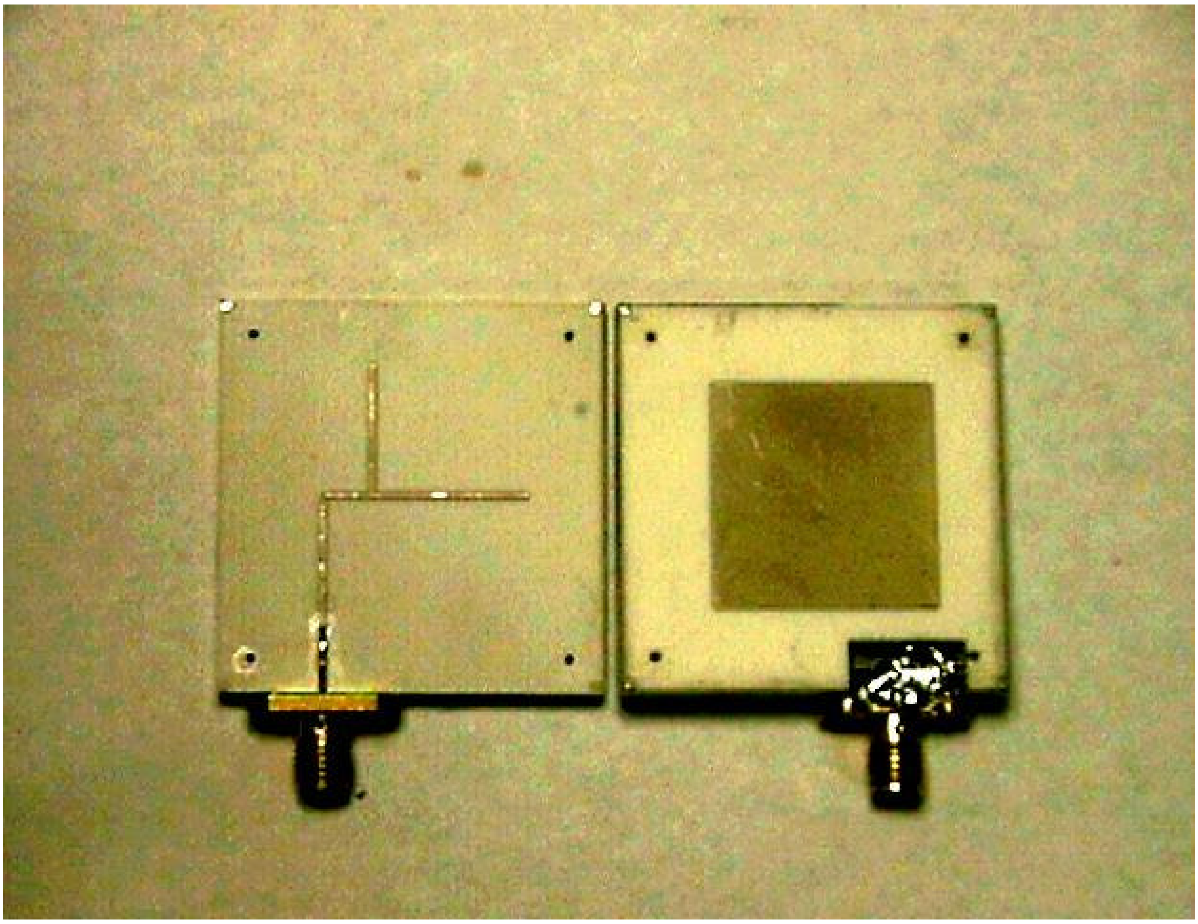
Single open stub를 이용하지 않았을 경우보다 최대 이득은 약 0.5 dB 감소하고, y=0인 평면에서는 3 dB이상 되는 각도는 약 ±10°도 감소하였으며 x=0인 평면에서는 ±23°도 감소했다.

<표 4-1>의 경우와 비교했을 때는 최대 이득이 약 1.45 dB 감소하였고, y=0인 평면에서는 3 dB이상 되는 각도는 약 ±20°도 감소하였으며 x=0인 평면에서는 ±43°도 감소했다.

4 절 제작 및 측정 결과

1. 안테나 제작

실제 제작한 안테나는 <표4-1>의 안테나로 모형을 <그림 4-20>에 나타내었다.

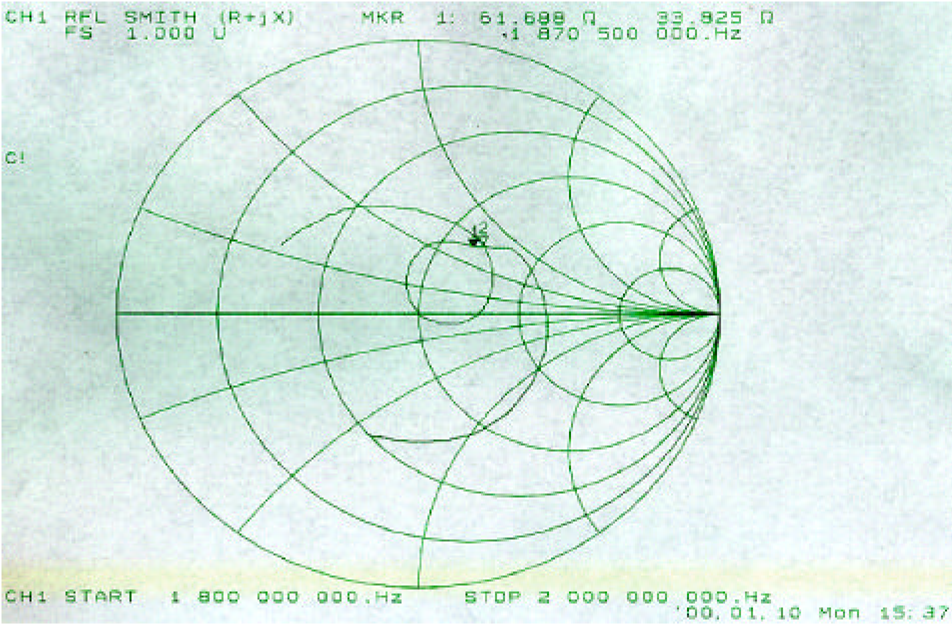


<그림 4-20> 실제 제작한 안테나 모형

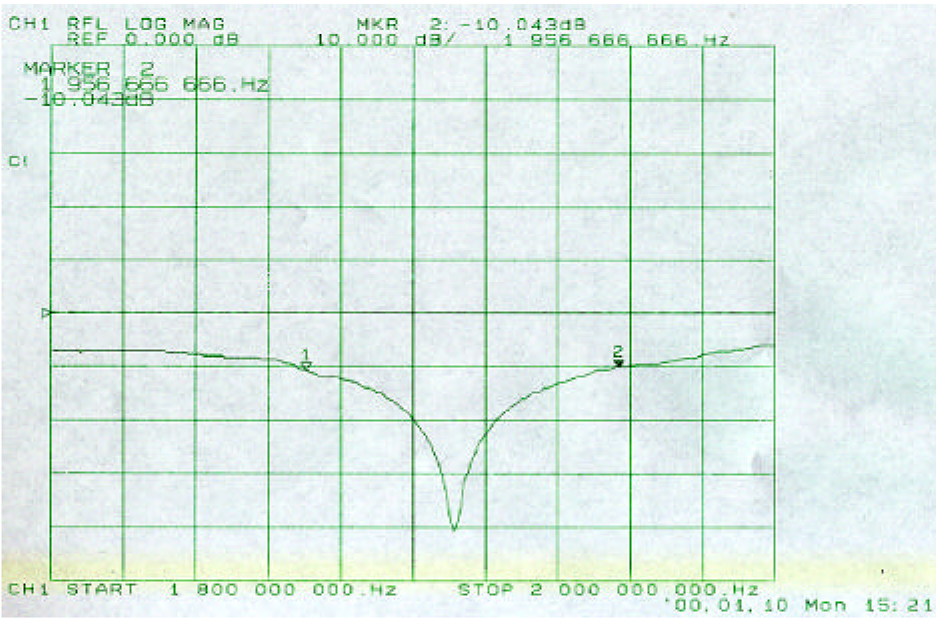
2. 측정 결과

<그림 4-21>는 <그림 4-20>의 실제 제작된 안테나의 측정결과이다. 10 dB 반사손실 대역폭은 1870.5 1956.7 MHz (4.4%)로 대역폭이 약 3%인 IMT-2000 송신 대역폭은 만족하지만 주파수 범위가 저주파쪽으로 편이된 결과

를 보이고 있다.



(a) S_{11}의 스미스차트상 궤적



(b) 주파수에 따른 S_{11} magnitude(dB)

<그림 4-21> 실제 제작된 안테나의 S_{11} 측정 결과

<표 4-3>은 시뮬레이션 결과와 측정결과의 반사손실 특성을 비교 분석한

결과이다. 시뮬레이션 결과는 IMT-2000 송신 주파수 대역인 1920 1980 MHz (약 3%)를 잘 만족하는 결과를 보인다. 실제 제작해서 측정한 결과는 시뮬레이션 결과에 비해서 1870.5 1956.7 MHz (4.4%) 로 대역폭은 24.6 MHz가 증가했지만 주파수 대역이 저주파 쪽으로 편이된 결과를 보이고 있다.

항 목 / 비교대상	10dB 반사손실 대역폭
시뮬레이션 결과	1920.2 1981.8MHz (3.16%)
측정 결과	1870.5 1956.7 MHz (4.4%)
비 고	약 24.6 MHz 증가

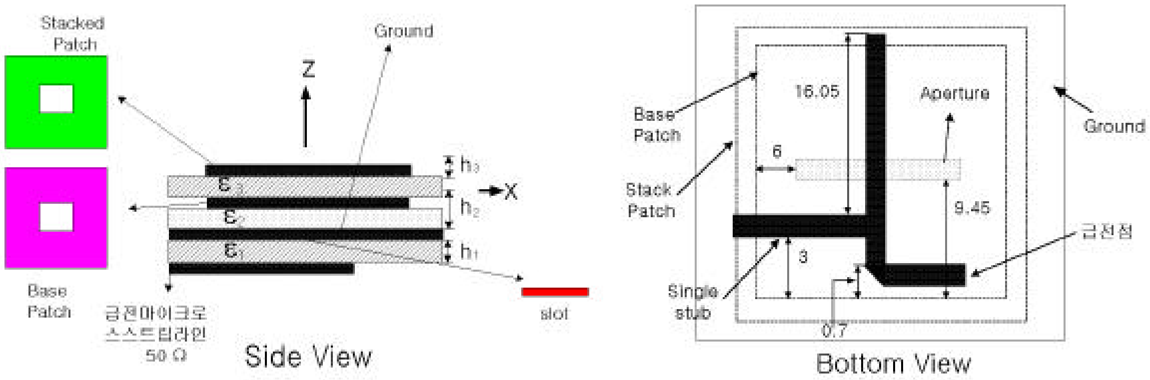
<표 4-3> 시뮬레이션 결과와 측정결과의 반사손실 특성 비교 분석

3. 문제 해결 방안

실제 제작한 안테나가 주파수 대역은 증가했지만 저주파 쪽으로 편이된 결과를 보이는데 이러한 문제는 제작상의 오차를 줄이고 튜닝을 통해서 해결 할 수 있다. 제작한 안테나는 세라믹 기판에 도금하는 방법을 사용했는데 이러한 제작 시설이 학교에 없어서 제작을 외부에 의뢰를 해야하므로 제작단계에서 시간 소모가 너무 많은 단점이 있고, 한번 제작되면 튜닝이 어려우며, 무거운 단점이 있다.

이러한 단점을 개선하기 위해 학교에서 직접 제작이 가능하도록 RT/duroid 6010LM(ε_r = 10) 기판을 사용해서 재 시뮬레이션 하였다.

가. 시뮬레이션 모형



<그림 4-22> **설계 모형 (방사면에** RT/duroid 6010LM(ε_r = 10) **기판 사용)**

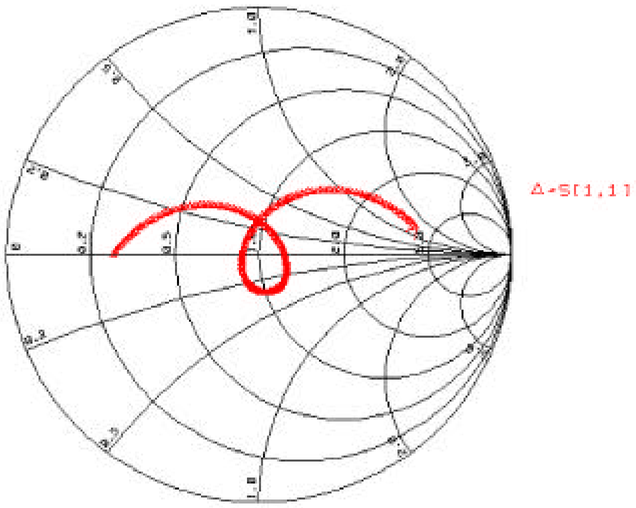
ε_1	ε_2	ε_3	h_1	h_2	h_3
9.3	10	10	0.635 mm	2.45 mm	2.45 mm

급 전 방 식	Base Patch & Slot size	Stack Patch & Slot size	Ground size	Aperture size	Single stub
개구결합급전방식	19.4×19.4 & 3×3 mm	21.54×21.54 & 3×3 mm	40×40 mm	7.4×0.5	12.75×0.65

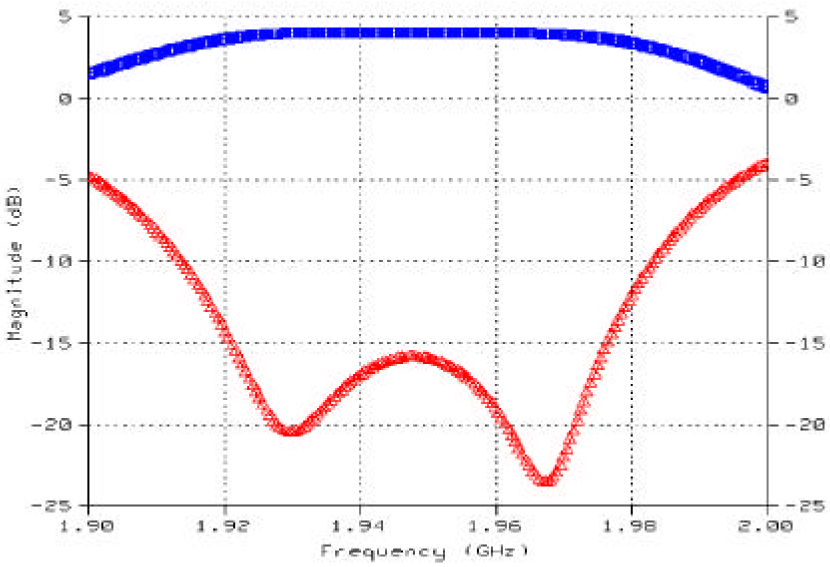
<표 4-4> **기판 사양및 안테나 설계** parameter

<그림 4-22>**와** <표 4-4>**에 재 설계한 안테나 모형과 설계 파라메터를 나타내었다. 임피턴스 대역폭을 좀 더 개선하기 위해서** under coupling**후** single stub**를 이용해서 매칭하는 방법 외에 적층 방식을 사용하였고, 패치크기를 좀 더 줄이기 위해서 패치면에** slot**을 삽입 하였다.**

나. 시뮬레이션 결과



(a) S_{11}의 스미스차트상 궤적

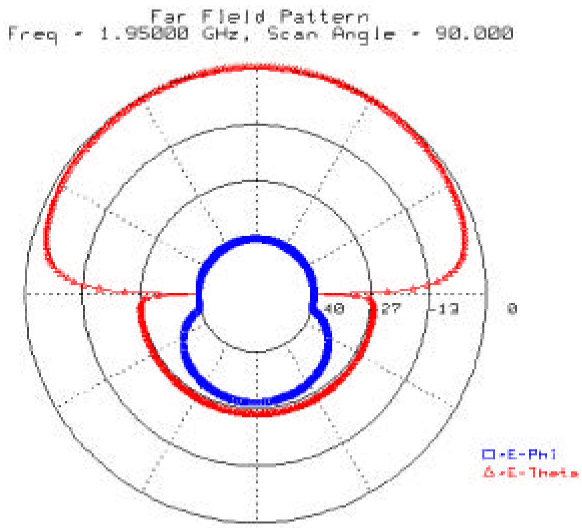


(b) 주파수에 따른 S_{11} magnitude(dB)와 Gain

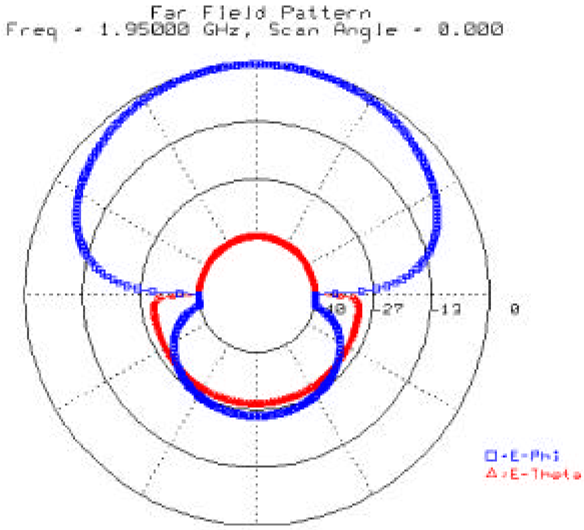
<그림 4-23> <그림 2-22>안테나의 S_{11} 시뮬레이션 결과

<그림 4-23>은 <그림 4-22>의 재 설계한 안테나의 시뮬레이션 결과이다. 10 dB 반사손실 대역폭은 1919 1954 MHz (약 3.54 %)로 IMT-2000 송신주파

수 대역을 만족함을 알수 있고, 최대 이득은 약 4.058 dB이다. <표 4-1>의 방사면의 유전율이 9.3인 경우보다 크기는 약 2mm작이지고, 반사손실대역폭은 7 MHz 증가하였으며 거의 모든 IMT-2000 송신주파수대역에서 반사손실이 15 dB이하의 값을 가짐을 알수 있다. 하지만 이득은 좀더 높은 유전율을 사용하고 패치면에 슬롯을 삽입함으로써 방사 면적이 줄어들어 약 0.5 dB정도 떨어짐을 알 수 있다.



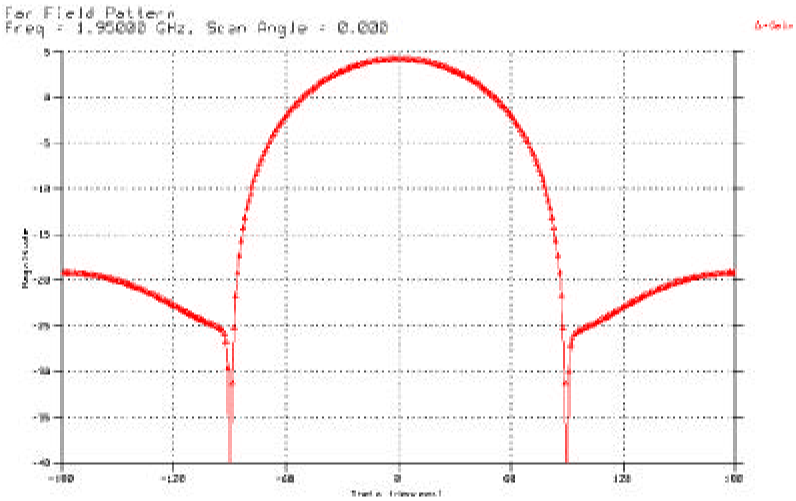
(a) y=0인 평면



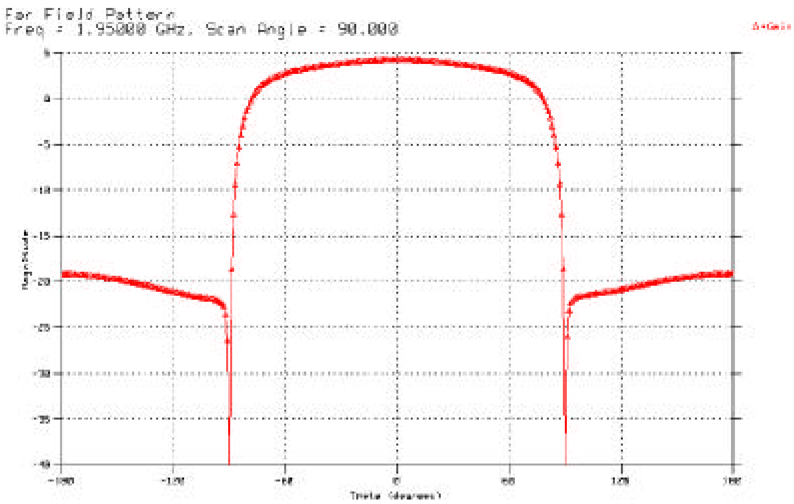
(b) x=0인 평면

<그림 4-24> 중심주파수(1950 MHz) 에서의 co-pol과 cross-pol

<그림 4-24>는 중심주파수(1950 MHz)에서의 co-pol과 cross-pol의 시뮬레이션 결과이다. 후방방사와 cross-pol 모두 27 dB이상 차이가 남을 알수 있고, <표 4-1> 의 경우보다 cross-pol이 약간 증가했음을 알수 있다. 이러한 결과는 패치에 Slot을 삽입함으로써 Cross-pol이 증가한 것으로 사료된다.



(a) y=0인 평면



(b) x=0인 평면

<그림 4-25> 중심주파수(1950 MHz)에서 각도에 따른 이득

<그림 4-25>는 중심주파수에서 본 각도에 따른 이득이다. y=0인 평면에서

는 최대 이득은 4.16 dB이고 ±28° 범위에서 3 dB 이상의 이득을 가졌으며, x=0인 평면에서는 최대 이득이 3.15 dB이고 ±54 ° 범위에서 3 dB이상의 이득을 가졌다. <표 4-1>의 경우와 비교했을 때는 최대 이득이 약 0.5 dB 감소하였고, y=0인 평면에서는 3 dB이상 되는 각도는 약 ±3° 도 감소하였으며 x=0인 평면에서는 ±9° 도 감소했다.

제 5 장 결 론

본 보고서에는 준마이크로파대 RFIC 일체형 패치 안테나 개발하기 위하여, 전력증폭기, 저잡음증폭기 및 패치 안테나를 일체화하기 쉽게, 회로 및 EM 시뮬레이터를 이용한 시뮬레이션을 통하여 설계하였고, 이를 기초로 각 부품을 세라믹 기판을 이용하여 제작하였다. 각 부품은 IMT-2000 주파수 대역을 목표로 설계 및 제작되었다. 제작된 부품들은 RF 측정계를 이용하여 특성 측정을 하였으며, 그 결과 분석을 앞절에서 논하였다. 이를 각 부품별로 정리하여 보면 다음과 같다.

전력증폭기는 Excellics社의 PHEMT를 이용하여 IMT-2000 상향주파수인 1.92-1.98 GHz 대역에서 설계 및 제작하였다. 30 dBm 이상의 출력전력을 얻는 정합회로를 설계하기 위해서 본 연구에서는 시뮬레이터에 의한 비선형 회로 해석방법을 이용하였다. 이 방법은 사용하고자 하는 능동소자의 정확한 비선형 모델을 요구하기 때문에, PHEMT의 소신호·대신호 등가회로 모델의 파라미터를 추출하였으며, 이를 이용하여 단단 전력증폭기와 2단 전력증폭기를 설계 및 제작하였다.

단단 전력증폭기의 측정 결과로 주파수 1.92 GHz에서 28.25 dBm의 최대 출력 전력, 15 dB의 전력이득, 49%의 전력부가효율을 얻었다. 이 결과는 목표 사양의 출력전력에 2 dBm 부족한 것으로 입·출력 정합회로를 구성하는 커패시터의 값과 마이크로스트립 라인의 길이를 미세조정하고, 대역특성을 개선시킨다면, 충분히 설계목표치를 달성할 수 있을 것이며 이는 2차년도 계획에 포함될 것이다. <표 5-1>에는 전력증폭기의 설계 목표, 시뮬레이션 및 측정 결과를 요약하였다.

제작된 2단 전력증폭기의 경우 기생발진으로 인해 측정을 할 수 없었다. 그러나 발진의 원인을 분석하고, 실제 제작시의 어려움과 출력전력 30 dBm 이상을 얻을 수 있는 정합회로 설계 등을 고려하여 각 증폭회로를 재 설계하였으며, 재제작을 위한 패턴 레이아웃을 하였다. 2차년도에는 재 레이아웃된 각 증폭기를 제작 및 측정할 예정이며, 1차년도의 연구를 바탕으로 증폭기의 대역특성(출력전력, 이득 평탄도, 전력부가효율)을 개선시킬 예정이다. 또한 선형성 특성 측정 및 선형특성 개선에 대한 연구를 진행할 예정이다.

항　목	목　표	시뮬레이션 결　과	측정결과 (@1.92GHz)	대역특성
동작 주파수	1.92 - 1.98 GHz			
P1-dB	30 dBm	31 dBm	28.25 dBm	25.5 dBm
전력부가효율	35%	40%	49%	30.5%
전력이득	15 dB	15 dB	15 dB	13 dB

<표 5-1> 전력증폭기의 설계 목표, 시뮬레이션 및 측정 결과 비교

저잡음증폭기는 HP社의 ATF-35143 PHEMT를 이용하여 IMT-2000의 하향 주파수인 2.11 2.17 GHz 주파수대역에서 설계/제작하였다. 저잡음 증폭기는 2단으로 설계/제작하였으며, 전단의 입력측은 최소잡음지수를 고려한 Γ_{OPT} 임피던스매칭회로로 설계/제작 하였다. 1단 저잡음 증폭기인 경우 시뮬레이션특성은 소신호이득 17 dB이상, 잡음지수 0.74 dB이하의 특성을 보였다. 소신호이득을 보완하기 위해 후단에 궤환회로를 사용한 증폭기를 연결하였다. 전단과 후단으로 설계된 2단 저잡음 증폭기는 소신호이득 32 dB이상, 잡음지수 0.83 dB이하인 시뮬레이션결과를 보였다. 이런 설계를 바탕으로 패턴 레이아웃을 하였고 2단 저잡음 증폭기를 제작하였다. 목표주파수 대역인 2.11 2.17 GHz에서 제작된 2단 저잡음 증폭기는 소신호이득 32 dB이상의 결과와 잡음지수 1.67 dB이하의 측정결과를 얻었다. <표 5-2>에 2단 저잡음 증폭기의 설계목표, 시뮬레이션 및 측정 결과를 요약하였다.

항　목	목　표	시뮬레이션 결과	측 정 결 과
동작 주파수	2.11 - 2.17 GHz		
잡 음 지 수	2.5 dB	0.8 dB	1.67 dB
이　득	20 dB	32 dB	32 dB

<표 5-2> 저잡음증폭기의 설계 목표, 시뮬레이션 및 측정 결과 비교

본 연구에서 설계/제작된 2단 저잡음 증폭기의 측정결과는 설계목표를 상회하고 있으며, IMT-2000 단말기 수신단의 저잡음 증폭기로써 응용가능성을 보이고 있다. 2차년도에는 저잡음 증폭기의 선형성에 대한 연구가 추가 될 것이다.

패치 안테나는 IMT-2000 송신주파수대역인 1920 1980 MHz(3%)의 대역폭을 만족하고 단말기 내장형 안테나이므로 크기가 작아야 하며, RFIC와 일체화시키기 위해서 개구 결합 급전구조로 설계하였다. 패치 크기를 소형으로 하기 위해서 고 유전물질인 세라믹을 이용하여 유전율이 9.3인 경우(<표 4-1>)와 유전율이 22인 경우(<표 4-2>)의 2가지 경우에 대해서 설계 및 시뮬레이션을 했다. 또한 유전율이 높아지면 대역폭이 줄어들기 때문에 대역폭을 넓히기 위해서 주파수에 따른 임피던스 변화량이 적은 under coupling 구조로 만든 후에 Single open stub를 사용해서 매칭시켜 IMT-2000 송신 주파수 대역을 만족하였다. <표 4-1>의 안테나를 실제 제작해서 측정한 결과 1870.5 1956.7 MHz (4.4%) 로 대역폭은 24.6 MHz가 증가했지만 주파수 대역이 저주파 쪽으로 편이된 결과를 보이는데, 이러한 문제는 제작상의 오차를 줄이고, 튜닝을 통해서 해결 할수 있다. 따라서 제작 단계에서 시간 소모가 너무 많고, 한번 제작되면 튜닝이 어려우며, 무거운 단점이 있는 세라믹 기판을 사용하는 대신에 제작이 용이하고, 경량 박형인 RT/duroid 6010LM($\varepsilon_r = 10$) 기판을 사용해서 재 설계 및 시뮬레이션 하였다.

향후 계획은 재 설계한 안테나를 실제 제작하여 1차년도의 요구 조건을 만족하는 안테나를 제작하고 2차년도에는 이중공진 안테나, 또는 공통 접지면을 사용하는 2개의 패치를 아주 소형으로 제작해서 송수신을 분리하는 방법으로 IMT-2000 송수신 대역을 모두 만족하는 RFIC 일체형 단말기 내장형 패치 안테나를 제작할 것이다.

이상과 같이 1차년도에는 RFIC 일체형 안테나를 제작하기 위해 각 부품별로 시험 제작을 하였으며, RF 특성을 측정하였다. 하이브리드 RF 부품은 실제 제작시 기생소자와 관련하여 시뮬레이션 결과와 오차가 생기므로 최적의 성능을 얻기 위해서는 여러번의 설계 및 제작이 요구된다. 따라서 1차년도의 연구를 바탕으로 2차년도에는 각 부품별 성능의 최적화에 대한 연구를 수행할 예정이며, 안테나와 RF부 일체화를 위한 최적 연결기법을 연구하여 RFIC 일체형 안테나를 제작할 예정이다.

참 고 문 헌

[1] J. M. Golio, Microwave MESFETs & HEMTs, Artech House, 1991

[2] E. Camargo, Design of FET Frequency Multipliers and Harmonic Oscillators, Artech House, 1998

[3] H. Statz et al.,"GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on ED, vol. 34, No. 2, pp. 160-168, Feb, 1987

[4] A. van der Ziel.,"Gate noise in field effect transistors at moderately high frequencies," Proc. IEEE, vol. 51, pp. 461-467, 1963

[5] T. Takada et al.,"A MESFET variable-capacitance model for GaAs integrated circuit simulation," IEEE Trans. Microwave Theory Tech., vol. MTT-30, pp. 719-724, 1982

[6] T. H. Chen et al,"A capacitance model for GaAs MESFET's,"" IEEE Trans. ED, vol. 32, po. 883-891, 1985

[7] H. C. Poon et al,"Modeling of emitter capacitance," Proc. IEEE, vol. 57, pp. 2181-2182, 1969

[8] HP-EEsof, Libra Manual - Circuit Network Items, HP-EEsof社

[9] C. Cripps, RF Power Amplifiers for Wireless Communications, Artech House, 1999

[10] G. Gonzalez, Microwave Transistor Amplifier, Prentice Hall, 1997

[11] S. A. Maas, Nonlinear Microwave Circuits, Artech House, 1988

[12] P. M. Smith, "Status of InP HEMT technology for microwave receiver application," in IEEE MTT-s Int. Microwave Symp. Dig., San Francisco, CA, June 1996, vol, pp.5-8.

[13] W. H. Hayward, *Introduction to radio frequency design*, Prentice-Hall, New Jersey

[14] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design," Prentice Hall International Editions, second edition, pp.294-322, 1997

[15] J. R. James & P. S. Hall, "Handbook of MICROSTRIP ANTENNAS"

[16] **김성근**, "**구형 마이크로스트립 안테나의 대역폭 개선에 관한 연구**", **경상대학교 전자공학과 석사학위 논문**, 8, 1996

[17] **유명완**, **이범선**, "**개구 결합 급전 방식** U **슬롯 패치 안테나의 임피던스 대역폭과 방사패턴의 관계분석**", 1999**년도 한국통신학회 하계종합학술발표회 논문집**(**하**), pp 1223-1226

[18] H. F. Pues and A. R. Van de Capelle, "An impedance-matching technique for increasing the bandwidth of microstrip antenna", IEEE Tran. Antennas Propagat., Vol. 37, No. 11, pp.1345-1354, Nov. 1989.

[19] B. S. Yaman, and H. J. Carlin, "A simplified real frequency technique applied to broad-band multistage microwave amplifiers", IEEE Trans. Microwave Theory Tech., Vol. 30, NO. 12, pp. 2216-2222, Dec. 1982.

[20] **전성근**, **이종룡**, **이우재**, **이문수**,"**마이크로스트립 안테나의 대역폭 개선을 위한 정합회로 설계**", **한국전자파학회논문집**, **제** 9**권**, **제** 3**호**, pp. 305-316 6. 1998

[21] **강기조**, **이병제**, "**개방 스터브를 이용한 마이트로스트립 안테나의 임피던스 대역폭 개선**" 1999**년도 춘계 마이크로파 및 전파 학술대회 논문집**, Vol.22 No.1, pp 229-231

[22] David M. Pozar, "Microwave Engineering", second edition