연구보고서 2000-

준마이크로파대 RFIC 일체형 패치 안테나 설계 및 제작에 관한 연구 (II)

2 0 0 0

전 파 연 구 소
경희대학교 정보통신대학원

2000년 준마이크로파대 RFIC 일체형 패치안테나 설계 및 제작에 관한 연구Ⅱ

전파연구소 · 경희대학교 정보통신대학원

제 출 문

본 보고서를 「준마이크로파대 RFIC 일체형 패치 안테나 설계 및 제작에 관한 연구 (II)」과제의 최종보고서로 제출합니다.

2000. 12. 31.

총괄책임자 : 신 용 섭(전파연구소 소장)

연구책임자 : 김 창 우(경희대 교수)

이 경 호 (전파연구소 전파자원연구과장)

연 구 원 : 이 범 선(경희대 교수)

한 규 환(경희대 석사 과정)

한 석 용(경희대 석사 과정)

최 원 규(경희대 석사 과정)

이 근 호(전파연구소)

박 재 수(전파연구소)

요　　약　　문

1. **과제명** : **준마이크로파대 RFIC 일체형 패치 안테나 설계 및 제작에 관한 연구 (II)**

2. **연구기간** : 2000년 3월 2일부터 2000년 12월 31까지

3. **연구책임자** : 김창우(경희대학교 전자정보학부 교수)

4. **계획 대 진도**

가. 월별 추진 내용

세 부 내 용	연구자	월별 추진 계획										비고
		3	4	5	6	7	8	9	10	11	12	
< RFIC 개발 >												
• 마이크로파 소자의 선형성 해석	김창우 한규환 한석용	—	—									
• ADS를 이용한 회로설계 및 시뮬레이션 검증				—	—							
• 증폭기 제작 및 특성 측정						—	—	—	—			
• 증폭기회로 최적화								—	—	—		
• 안테나와 RF회로부 일체화 최적 연결 기법 연구										—	—	

세 부 내 용	연구자	월별 추진 계획										비고
		3	4	5	6	7	8	9	10	11	12	
< 칩 안테나 개발 >	김창우 이범선 최원규											
• 칩구조 및 급전라인 구조 결정		―	―	―								
• 안테나 설계 및 시뮬레이션					―	―	―					
• 제작 및 특성 측정								―	―	―		
< RFIC 일체형 칩 안테나 개발 >												
• 일체형 칩 안테나 제작 및 측정										―	―	
• 커플링손실 최소화											―	
• 보고서 작성											―	
분기별 수행진도 (%)		10	40			70			100			

나. 세부 과제별 추진사항

추진계획	추진내용	달성도 (%)	비고
<RFIC 개발>			
가. 마이크로파 소자의 선형성 해석	• PHEMT의 비선형 등가회로 모델링 완료	100	
나. ADS를 이용한 회로 설계 및 시뮬레이션 검증	• 저잡음증폭기 및 전력증폭기 회로 설계 및 시뮬레이션 완료	100	
다. 증폭기제작 및 특성측정	• 시험 제작 및 특성 측정	100	
라. 증폭기회로 최적화	• 시험 제작후 회로 수정 보완	100	

추진계획	추진내용	달성도 (%)	비고
<칩 안테나 개발>			
가. 칩 구조 및 급전 라인 구조 결정	• Meander line의 파라미터 변화에 따른 특성 변화 연구 • 실제 단말기 Mock-up 구조에서 안테나 특성에 영향을 주는 요소 연구	100	
나. 안테나 설계 및 시뮬레이션	• 정교한 수동부품 및 매칭구조물(3차원)의 정확한 해석을 위한 EM 시뮬레이션 기법을 이용한 고주파 특성 해석	100	
다. 제작 및 특성 측정	• 세라믹을 이용한 meander line 칩 안테나 제작 및 측정	100	
<RFIC 일체형 칩 안테나 개발>			
가. 일체형 칩 안테나 제작 및 측정	• 듀플렉서와 적층구조를 이용한 칩 안테나 제작 및 무향실에서 안테나 방사패턴 측정	100	
나. 커플링 손실 최소화	• 안테나와 RFIC의 정합 조정에 의한 손실 최소화 • 일체화 했을 때, 급전 구조별 장·단점 분석	100	

5. 연구 결과

가. 준마이크로파대역 RFIC 및 칩 안테나 시제품 제작 및 특성 측정 결과

1) 전력 PHEMT를 이용한 2단 하이브리드 전력증폭기 특성

주 파 수 대 역	1920 - 1980 MHz
출 력 전 력(P_{1-dB})	≥25.4 dBm
선 형 이 득	≥21 dB
전 력 부 가 효 율	≥22%
OIP_3	36 dBm

2) 저잡음 PHEMT를 이용한 2단 저잡음증폭기 특성

주 파 수 대 역	2110 - 2170 MHz
잡 음 지 수	≤1.5 dB
선 형 이 득	≥28.5 dB
이득 평탄도	±1 dB
출 력 전 력(P_{1-dB})	≥ 10 dBm
OIP_3	20 dBm

3) RFIC **일체형 칩 안테나 시제품 제작 및 특성 측정 결과**

주 파 수 대 역 (10 dB 반사손실)	1910 - 2050 MHz (송신) 2030 - 2250 MHz (수신)
이 득	약 1.5 dBi

나. 연구성과

연구성과	일 자	내 용
지적재산권 취득		
논 문 발 표	‘99. 9	최원규, 이범선, “육면체 DRA의 공진주파수 및 임피던스 대역폭 분석”, 마이크로파 및 전파 학술대회 논문집, pp. 285 288, 1999년 9월.
	“99. 9. 18	박주상,김창우 “IMT-2000 단말기용 PHEMT 전력증폭기 설계” ,1999년도 추계 마이크로파 및 전파 학술대회 논문집, 제 22 권, 제 2 호, pp. 65 68.
	‘99. 11	최원규, 이범선, “고유전율을 갖는 육면체 공진기 안테나의 제작 및 측정결과 분석”, 한국전자파학회 종합학술발표회 논문집, pp. 116 119, 1999년 11월.
	‘99. 11	최원규, 이범선, “유전체 공진기 안테나 공진주파수 및 대역폭의 이론과 시뮬레이션 비교 분석”, 한국통신학회 추계 종합학술대회 논문집, vol. 20. No.1 pp. 805 808, 1999년 11월.

연구성과	일 자	내 용
논 문 발 표	'99. 11. 6	한규환,김창우"IMT-2000 단말기용 PHEMT 저잡음증폭기 설계" ,1999년도 한국전자파학회 종합학술발표회 논문집, 제 9 권, 제 1 호, pp. 357 360.
	'99. 12	박주상,김창우"PHEMT 비선형 모델을 이용한 IMT-2000 단말기용 전력증폭기 설계" 1999년도 경희대학교 레이저 공학 연구소 논문집, 제 10 권, pp. 55 63.
	'2000. 7.	Bomson Lee, Wonkyu Choi, " Analysis of resonant frequency and impedance bandwidth for rectangular dielectric resonator antenna", IEEE Antennas and Propagation Society International Symposium, vol. 4, pp. 2084-2087, July 2000.
	'2000. 7	최원규, 이범선, "Meander line을 이용한 내장형 칩 안테나 설계", 한국통신학회 하계 종합학술대회 논문집, vol. 21. No.1 pp.145 148, 2000년 7월.
	'2000. 8	최원규,이범선, "유전체 도파관 모델을 이용한 육면체 공진기 안테나 분석", 한국전자파학회 논문지, 8월호 (Vol.11 No.5), pp. 755 762, 2000
	'2000. 9.23	한규환,김창우"IMT-2000 단말기용 PHEMT 저잡음증폭기 설계" ,2000년도 마이크로파 및 전파학술대회 논문집 제 23 권, 제 2 호, pp. 61 64.
	'2000. 12	한규환,김창우"IMT-2000 단말기용 PHEMT 저잡음증폭기 설계" , 경희_다반 ASIC 센터 논문집 제 1 집, pp. 22 30
연구결과 활용실적		

6. 기대효과

1) 차세대 이동통신 단말기의 소형화, 경량화, 저가격화에 기여
2) RF front-end와 일체화된 안테나 제작기술의 기반 확보
3) IMT-2000 단말기 분야의 국가 경쟁력 확보

7. 기자재 사용 내역

시설장비명	사용내용	보유현황	비고
ADS	RF회로 설계	1set	
HFSS	안테나 설계	1set	
Work Station	RFIC회로 시뮬레이션 및 설계	3대	
PC	안테나 시뮬레이션 및 설계	3대	
신호발생기	RFIC 특성 측정용	3대	
잡음지수미터	LNA 특성 측정용	1대	
네트워크분석기	S파라미터 측정용	1대	
스펙트럼분석기	스펙트럼 측정용	3대	
전 력 계	Power Amp전력 특성 측정용	2대	
전계강도측정기	안테나 특성 측정용	1대	

SUMMARY

1. Objective and Importance of Research

The International Mobile Telecommunication (IMT-2000) is representative of the 3rd generation of digital mobile communication systems currently being developed. Enabling technologies for these systems include high performance Radio Frequency(RF) components, such as antenna and integrated circuit (RFIC) chip sets. Handset terminals (cellular phones) are the highest-volume applications existing today. Universal demands on handsets exist for small size, light weight, and higher levels of integration, independent of the types of commercial applications and operating frequencies. The use of multi-layer substrate in a hybrid microwave IC from or built as part of a monolithic microwave IC structure seems most adequate to achieve the small size and high integration. In a compact RF component, integration of the antenna with RFIC's (power amplifiers and low-noise amplifier) is a very attractive possibility to reduce size and weight of the handsets for IMT-2000 systems.

In this research, the internal chip antenna, power amplifiers, and low noise amplifiers have been developed for the integration chip antenna with RFIC's.

2. Contents and Scope of Research

A. Design and fabrication of RFIC's (power amplifier and low noise amplifier)

- Parameter extraction for equivalent circuit elements of microwave transistors
- Linear and non-linear analysis of microwave transistors
- Circuit design of power amplifiers and low-noise amplifiers

using a nonlinear RF circuit simulator (Libra of HP-EEsof)

► Fabrication of hybrid power amplifiers and low noise amplifiers

► RF characterization for the fabricated power amplifiers and low noise amplifiers

► Design goals

<Power Amplifier>

Frequency Band	1920 - 1980 MHz
Output Power(P_{1-dB})	27 dBm
Liniear Gain	25 dB
Powe Added Efficiency	40%
Intercept Point of IM_3 (OIP_3)	40 dBm

<Low Noise Amplifier>

Frequency Band	2110 - 2170 MHz
Liniear Gain	30 dB
Noise Figure	1.5 dB
Intercept Point of IM_3 (OIP_3)	10 dBm

B. Design and fabrication of a compact dielectric chip antenna with microstrip feeding and coplanar feeding

► Parameter study of meander lines

► Three-dimensional analysis of high frequency characteristics using EM simulation for the understanding of elaborate passive devices and matched structures

► Research of antenna property in real mock-up structures

► Research of the merits and demerits of feeding structure such as coplanar and microstrip feedings

► Design goal

Frequency Band	1920 - 1980 MHz(Tx) 2110 - 2170 MHz(Rx)
Bandwidth Rate	3% for both of Tx and Rx

C. Fabrication and characterization of an integration chip antenna with RFIC's

► Research of impedance matching between an antenna and RFIC's using multi-layer feeding line and a duplexer

► Research of minimizing techniques in coupling loss of a integration chip antenna

3. Research Results

A. Performance of a prototype PHEMT hybrid power amplifier for handsets of IMT-2000

Frequency Band	1920-1980 MHz
Output Power	≥25.4 dBm
Linear Gain	≥21 dB
Power Added Efficiency	≥22%
OIP_3	36 dBm

B. Performance of a prototype PHEMT hybrid low noise amplifier for handsets of IMT-2000

Frequency Band	2110-2170 MHz
Noise Figure	≤1.5 dB
Linear Gain	≥29 dB
OIP_3	20 dBm

C. Performance of a prototype coplanar excited internal chip antenna for IMT-2000

Frequency Band	Tx : 1910 - 2050 MHz (7%) Rx : 2030 - 2250 MHz (10.3%)
Gain	about 1.5 dBi

► Radiation pattern of the only chip antenna is different from that of integrated antenna. This result seems to be due to the different current distribution on ground plane

4. Applications and Expected Contribution

► Automotive radar, ITS system, military system applications.

► Low-cost packaging technology

► Basic technology for active antennas for microwave and millimeterwave bands

목 차

표 목 차

그 림 목 차

제 1 장 서 론

21세기의 정보통신서비스의 목표는 언제, 어디서나, 누구와도, 어떠한 서비스든 통신이 가능하게 하는 것이다. 따라서 기존의 다양한 유선망과 무선망, 전화망과 데이터망으로 혼재된 통신망은 제한 없는 서비스의 연속성과 무제한의 정보전달 능력을 갖는 단말기의 이동성을 함께 제공하는 단일망 개념으로 통합될 것이다.

유선망이 일반전화망(PSNT)과 종합정보통신망(ISDN)을 거쳐 비동기전송방식(ATM)의 광대역 종합정보통신망(B-ISDN)으로 발전함에 따라 무선이동망도 음성급 서비스 위주의 디지털 휴대폰과 개인휴대통신(PDS)을 거쳐 고속데이터, 패킷, 영상 등의 멀티미디어 서비스를 지원할 수 있는 차세대 이동 통신망 (International Mobile Telecommunication)으로 진화할 것이다. 이러한 IMT-2000망은 사용자 정보 대역폭의 가변성과 핸드오버 등 효율적인 이동성 처리를 위해 무선부분의 각종 소요기술 개발과 더불어 ATM 전달모드의 도입이 필요하며 유선과 동등한 API(Application Program Interface)를 사용하면서 단말기의 이동성을 제공할 것이다.

IMT-2000망 구조는 고정망에서 제공하는 수준의 서비스를 이동망에서도 제공함을 목표로 하고있으므로 이용자 요구에 따라 서비스를 신속하고 경제적으로 제공하기 위한 목적으로 하부망의 종류에 무관하게 서비스가 가능하도록 설계된 차세대지능망(AIN: Advanced Intelligent Network)을 기반으로 설계되고 있으며, 서비스 목표는 단일 단말기로 가능한 국제로밍 서비스와 육상, 해상, 항공 등 전방위 이동통신 서비스외에 멀티미디어 서비스등을 제공하는 것으로 정의되고 있다. 향후 정보통신은 유무선 통합 및 멀티미디어화의 진전에 따른 이용자 단말기의 다기능 복합화로 정보, 통신, 방송 서비스간의 경쟁이 본격화해 경제적인 IMT-2000망의 구축을 통한 국가 경쟁력 확보 및 국민의 편익 제고가 중요한 이슈가 될 것이다.

IMT-2000용 주파수 대역이 포함된 준마이크로파대역(1 3 GHz)은 PCS, GPS, WLL, MMDS, GMPCS, WLAN등 가장 많이 사용되는 무선통신대역으로 이 대역에서의 RF 모듈의 일체화 기술은 무선통신시스템의 핵심요소 기술이라는 점이 우리에게 시사하는 바는 크다고 할 수 있다. 이미 선진 각국의 이동통신 업체들의 국내 시장에 대한 공격적인 마케팅을 통한 적극적인 진출이 가

시화되고 있으며, 최근에 전개되고 있는 일련의 이동 통신 시장의 급격한 발달과 더불어 고품질 서비스를 만족시키기 위한 초고주파 소자의 고속화, 고집적화, 경량화 및 저가격화에 대한 관심 및 연구가 증대되고 있기에, 국내 무선통신시장에서의 기술 우위를 통한 경쟁력 확보는 국가적 차원에서 시급한 현안으로 대두되고 있다. 이러한 의미에서 준 마이크로파 대역에서의 송수신 RFIC 일체형 칩 안테나 제작의 설계 및 제작 능력의 확보는 매우 의미 있는 일이라 할 수 있다.

즉, 칩 안테나의 성능향상 연구를 통한 고성능 소형 안테나 개발과 RFIC 기술을 이용한 준미이크로파대 전력증폭기, 저잡음증폭기의 설계/제작 연구를 통한 기존 기술 보완과 신기술 개발 및 일체화 기술 확보를 통한 RFIC 일체형 칩 안테나 개발은 국가 경쟁력 향상과 더불어 산업체로의 기술 이전을 통하여 국내 업계의 차세대 이동 통신의 연구 개발 수준을 한 단계 높임으로써 국내 산업 발전에 기여할 수 있다.

본 보고서에서는 차세대 이동통신(IMT-2000) 단말기용 RFIC 일체형 칩 안테나 개발에 대한 내용을 기술하고 있다. 이를 부분적으로 보면 제 2 장에서는 meander line을 이용한 칩 안테나의 설계/제작/측정에 대하여, 제 3 장에서는 송신단의 전력증폭기 설계/제작/측정에 대하여 설명하고 있다. 제 4 장에서는 수신단의 저잡음증폭기의 설계/제작/측정에 대한 내용을 설명하고 있으며, 제 5 장에서는 일체형 패턴 관련 내용을 설명하고 있다. 마지막으로 제 6 장에서는 제작된 각 부분과 일체형 안테나의 측정결과에 대해 설명하고 있다.

제 2 장 Meander line을 이용한 칩 안테나

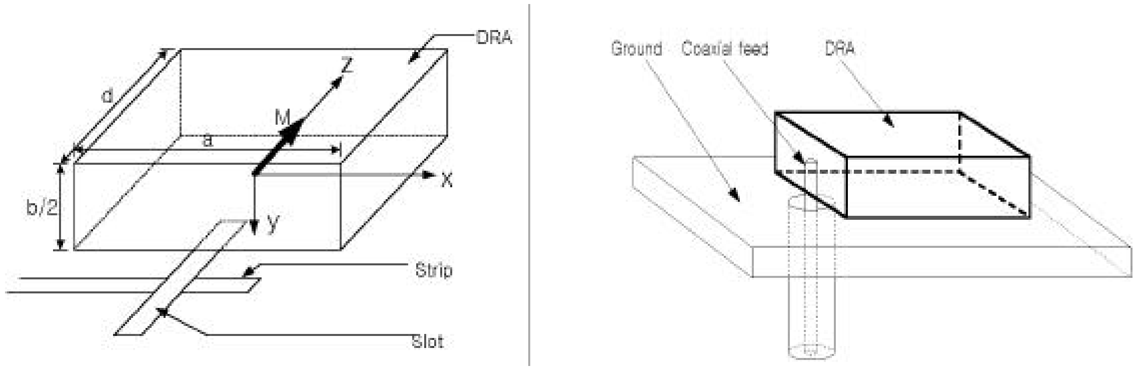
본 장에서는 준마이크로파대를 이용하는 IMT-2000의 단말기에 사용될 내장형 RFIC 일체형 칩 안테나의 설계에 관해 서술하였다. IMT-2000 송수신 주파수 대역인 1920 1980 MHz(3%), 2110 2170 MHz(3%)를 만족하는 단말기 내장형 칩 안테나 설계가 주요 목표이다.

먼저 제 1 절에서 칩 안테나의 기본 이론인 유전체 공진기 안테나를 설명하였고, 제 2 절에서는 Meander line을 이용한 내장형 칩 안테나 설계에 관해 설명하였으며, 그리고, 제 3 절에서는 첨소화 및 광대역화 방안에 대해서 설명하였다.

제 1 절 칩 안테나의 기본 이론

1. 유전체 공진기 안테나 (Dielectric Resonator Antenna) 연구

- 유전체 공진기는 유용한 안테나로 사용 가능하다[1]. 유전체 공진기를 사용한 안테나는 크기가 작고, 구조가 간단하며, 높은 방사효율을 갖는다[2]. 또, MIC와의 호환성 우수 및 거의 모든 전송선로에 대해서 급전이 용이한 점 외에 다른 공진 모드를 사용하여 방사패턴을 제어할 수 있다는 장점이 있다. 이러한 장점으로 인해 구, 실린더, 육면체 등의 모양을 갖는 유전체 공진기 안테나에 관한 많은 연구가 진행되고 있다. 구 모양의 공진기 안테나에는 항상 모드 degeneracy가 존재하고[3], 실린더 모양의 공진기 안테나는 하이브리드 모드가 존재하지만[4], 육면체 공진기 안테나는 세 면의 크기와 급전 위치를 적절히 선택함으로서 모드 degeneracy를 피할 수 있다. 공진기 안테나의 크기는 $(\varepsilon_r)^{-1/2}$에 비례하는 관계에 있으며, ε_r이 커지면, 대역폭이 작아지는 특성을 갖는다. 육면체 공진기 안테나의 대역폭은 종횡비에 의해서도 변하므로 대역폭 제어에도 유리하다.



<그림 2-1> 유전체 공진기 안테나 급전방법
(개구결합 급전방식 및 동축선로 급전방식)

2. 유전체 공진기 안테나의 방사패턴 및 공진체 내부의 필드분포

■ 소스가 없는 영역에서 전기 포텐셜 $\overline{\pi}$와 자기 포텐셜 $\overline{\pi_m}$에 의한 일반적인 전자기파의 표현식은 식 (2-1a), (2-1b)와 같다[9].

$$\overline{E} = \nabla(\nabla \cdot \overline{\pi}) + k^2\overline{\pi} - j\omega\mu\nabla\times\overline{\pi_m} \quad --- \quad (2\text{-}1a)$$

$$\overline{H} = j\omega\mu\nabla\times\overline{\pi} + \nabla(\nabla\cdot\overline{\pi_m}) + k^2\overline{\pi_m} \quad --- \quad (2\text{-}1b)$$

<그림 1-1>과 같은 급전구조로부터 식 (2-2)과 같은 z방향으로의 자기 포텐셜을 갖는 TE^z_{111}모드를 여기 시킬 수 있다.

$$\pi_{mz} = A\cos(k_x x)\cos(k_y y)\cos(k_z z) \quad ------- \quad (2\text{-}2)$$

자기 포텐셜 π_{mz}와 식(2-1)를 이용하여 각 방향으로의 필드를 다음과 같이 구할 수 있다.

$$H_z = (k_x^2 + k_y^2)A\cos(k_x x)\cos(k_y y)\cos(k_z z) \quad --- \quad (2\text{-}3a)$$

$$H_x = (k_x k_z)A\sin(k_x x)\cos(k_y y)\sin(k_z z) \quad -- \quad (2\text{-}3b)$$

$$H_y = (k_y k_z)A\cos(k_x x)\sin(k_y y)\sin(k_z z) \quad -- \quad (2\text{-}3c)$$

$$E_x = (jw\mu k_y)A\cos(k_x x)\sin(k_y y)\cos(k_z z) \quad -- \quad (2\text{-}3d)$$

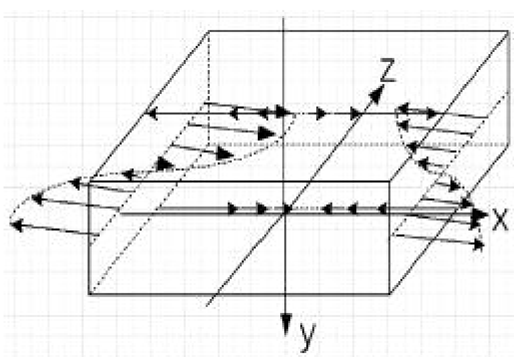
$$E_y = -(jw\mu k_x)A\sin(k_x x)\cos(k_y y)\cos(k_z z) \quad -- \quad (2\text{-}3e)$$

$$E_z = 0 \quad ----------- \quad (2\text{-}3f)$$

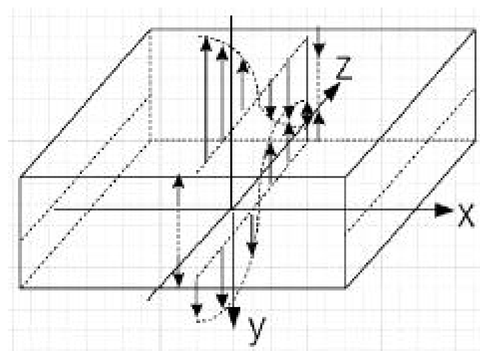
식 (2-3)에서 A는 임의의 상수이고, k_x, k_y, k_z는 각각 x, y, z 방향으로의

전파상수이고, **공진체 내부에는 식**(2-3)**와 같은 필드들이 존재하지만**, **식**(2-3b) (2-3e)**와 같은 필드들은 공진체 내에서 서로 상쇄되는 방향으로 필드를 형성하기 때문에**, TE^{z}_{111}**모드에서서는** H_z(2-3a)**만이 방사에 주로 기여함을 알 수 있다**.

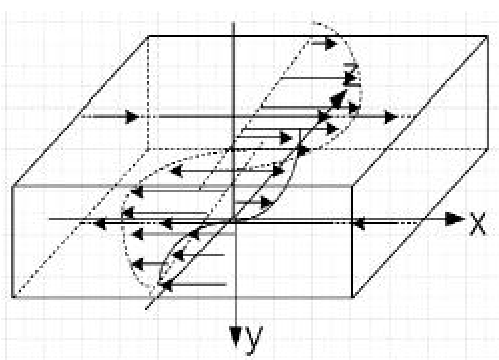
$H_x = (k_x k_z)A \sin(k_x x)\cos(k_y y)\sin(k_z z)$



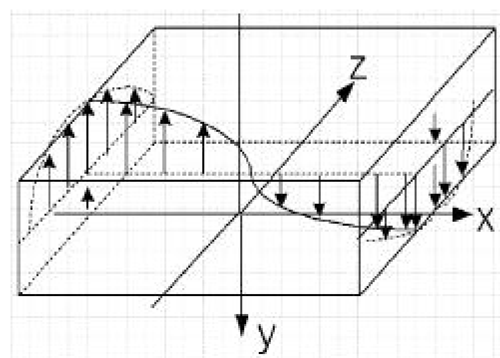
$H_y = (k_y k_z)A\, cos(k_x x)\sin(k_y y)\sin(k_z z)$



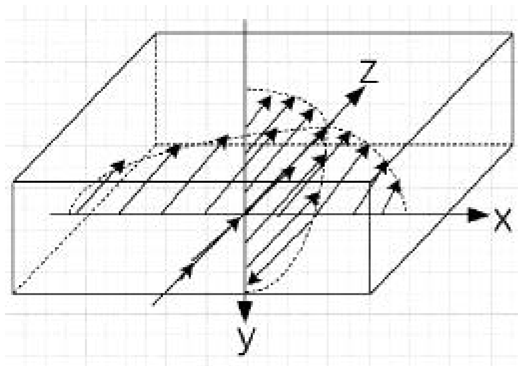
$E_x = (jw\mu k_y)A \cos(k_x x)\sin(k_y y)\cos(k_z z)$



$E_y = -(jw\mu k_x)A \sin(k_x x)\cos(k_y y)\cos(k_z z)$

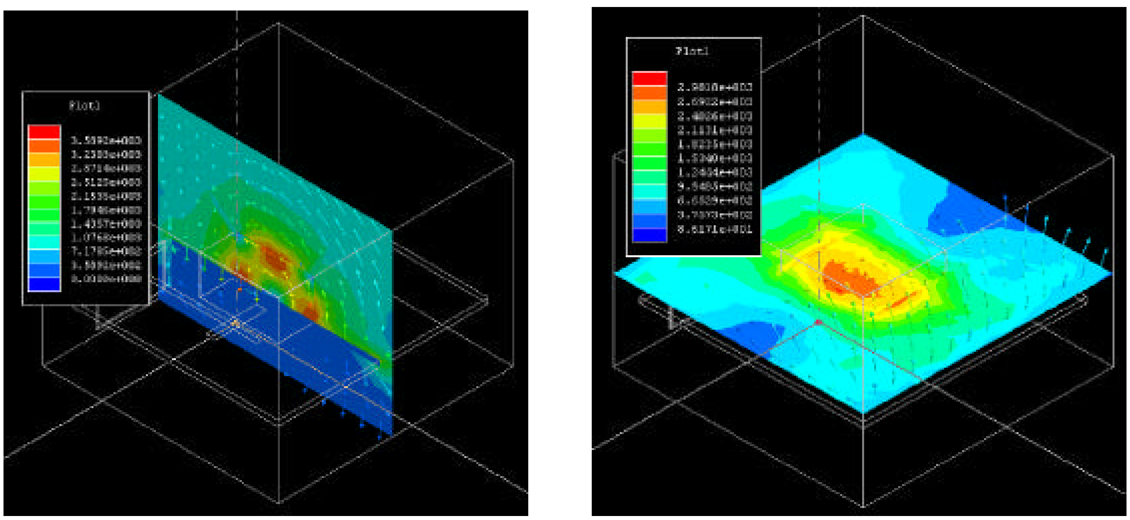


$H_z = (k_x^2 + k_y^2)A \cos(k_x x)\cos(k_y y)\cos(k_z z)$

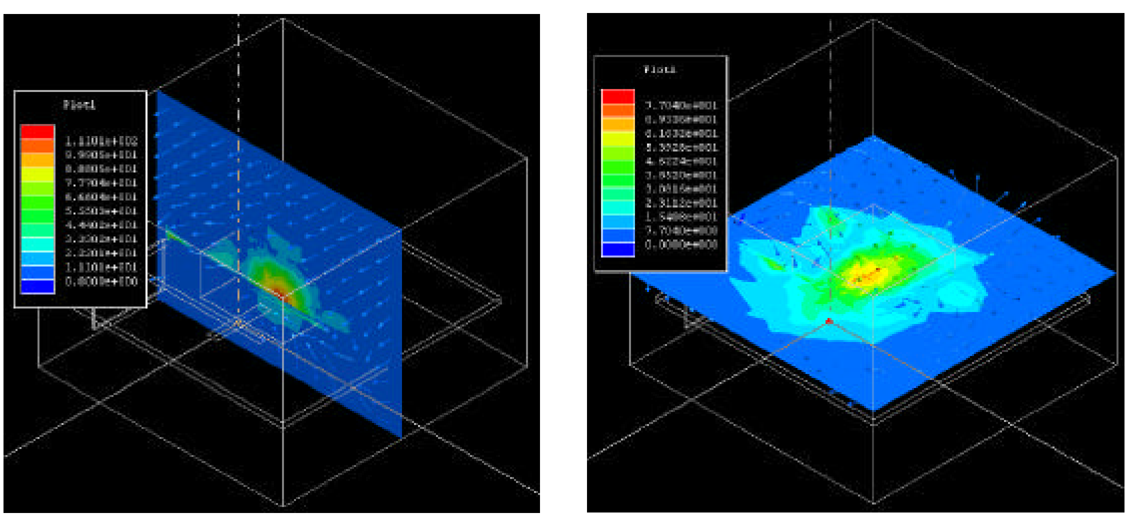


← **공진체 안테나 방사에 기여**

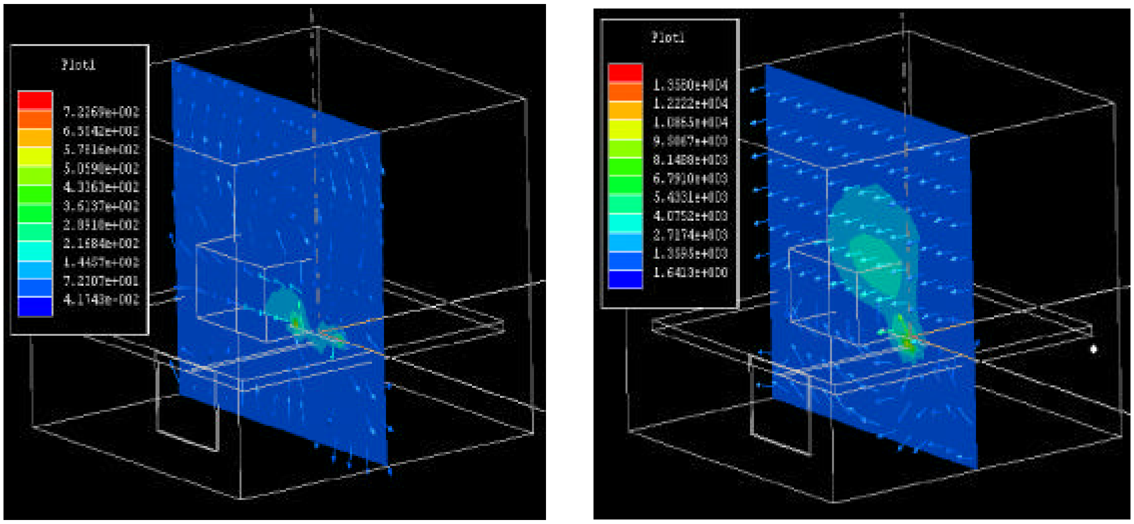
<**그림** 2-2> **이론에 의한 공진체 내부의 필드 구조**



YZ , XY **평면에서의** E **필드 구조**



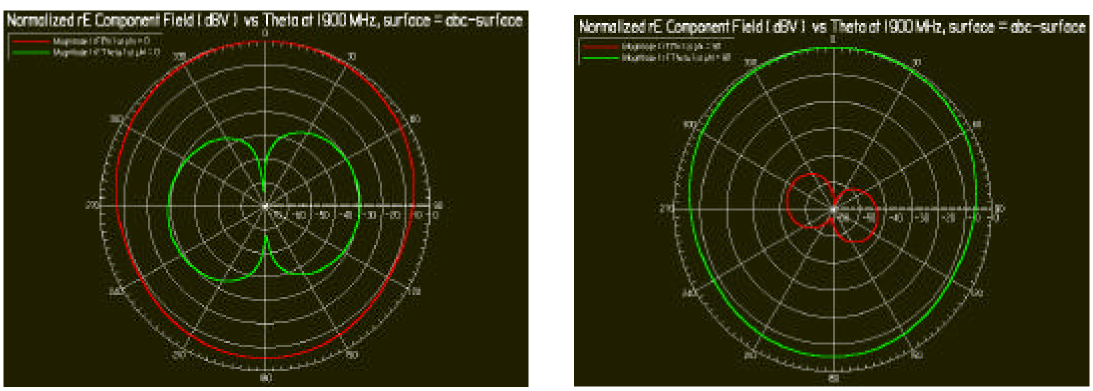
YZ , XY **평면에서의** H **필드 구조**



XZ 평면에서의 H필드(좌) E필드(우) 구조

<그림 2-3> 시뮬레이터에 의한 공진체 내부의 필드 구조

<그림 2-4>는 직육면체 공진체 안테나의 far field 방사 패턴을 보인 것인데, 식 (2-2)와 같은 자기 포텐셜에 의해 주로 방사패턴이 결정됨을 알 수 있다.



<그림 2-4> H평면에서 E_{ϕ}(co-pol)와 E_{θ} (cross-pol) (좌) ,

E평면에서 E_{θ} (co-pol)와 E_{ϕ} (cross-pol) (우)

3. 유전체 공진기 안테나의 공진주파수 및 대역폭 추정 (Dielectric Waveguide Model)

■ 공진주파수와 임피던스 대역폭을 추정하기 위해서 Dielectric Waveguide

Model을 사용하였다. Dielectric Waveguide Model은 유전율 $\varepsilon_r > 38$인 유전체에서 6% 8%의 오차가 있을 수 있다[5,6,7].

- 공진체의 표면 $|x| = a/2$와 $|y| = b/2$에서 자기벽 경계조건이 만족하므로 전파상수 k_x,와 k_y는 식 (2-4)와 같이 얻을 수 있다.

$$k_x = \frac{\pi}{a} \;;\quad k_y = \frac{\pi}{b} \qquad \text{(2-4)}$$

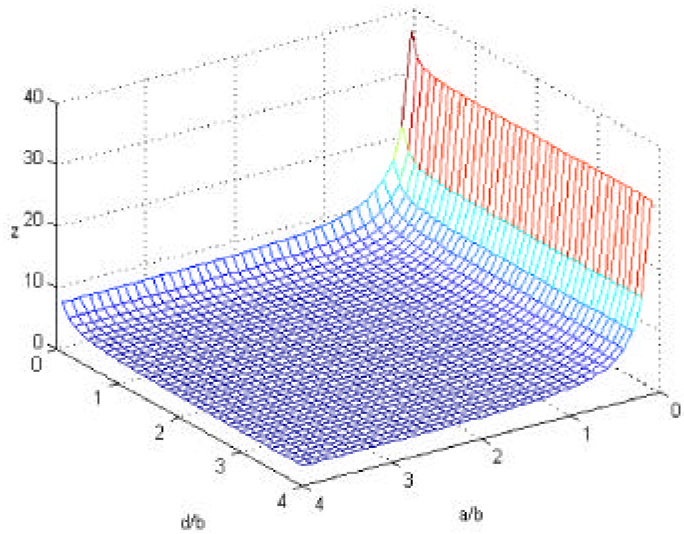
Dielectric waveguide model을 사용하여 전파상수 k_z를 얻기 위해 식 (2-5)과 같은 초월방정식을 사용할 수 있다.

$$k_z \tan\left(k_z \frac{d}{2}\right) = \sqrt{(\varepsilon_r - 1)k_0^2 - k_z^2} \qquad \text{(2-5)}$$

x, y, z 각 방향으로의 전파상수 k_x, k_y, k_z는 식(2-5)와 (2-6)을 동시에 만족해야 한 다.

$$k_x^2 + k_y^2 + k_z^2 = \varepsilon_r k_0^2 \qquad \text{(2-6)}$$

식 (2-6)에서 k_0는 공진 주파수에 의한 공기 중에서의 전파상수이다. <그림 2-3>은 식 (2-4), (2-5), (2-6)을 이용하여 TE^z_{111} 모드에서 공진기의 종횡비 변화에 따른 $\sqrt{\varepsilon_r}\, bk_0$ 변화를 나타낸 그림이다. 그림 1에서 y축상의 유전체 높이를 b/2 = 5 mm로 고정시키고, x, z축상의 유전체 길이를 a와 d로 하였다. <그림 2-5>에서는 x, y축을 각각 a/b, d/b로, z축을 $\sqrt{\varepsilon_r}\, bk_0$로 하였다. <그림 2-5>를 통하여 여러 가지의 유전체 종횡비에 따른 공진 주파수를 구할 수 있고, 역으로 특정 공진 주파수를 얻기 위한 공진체 크기를 결정할 수 있다. 또, 특정 공진 주파수를 얻을 수 있는 공진체 크기는 여러 개가 있음을 알 수 있다[8,10,11].



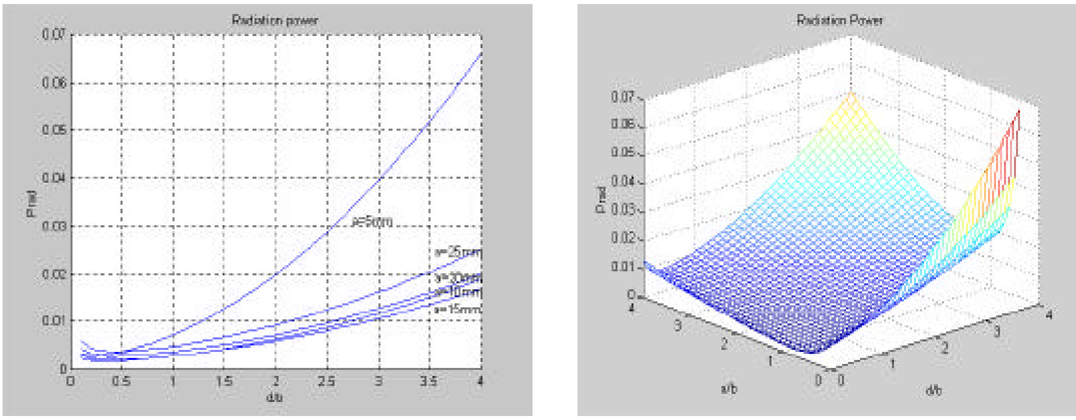
<그림 2-5> 공진체 종횡비에 따른 TE^{z}_{111}모드의 $\sqrt{\varepsilon_r}bk_0$ (z축은 $\sqrt{\varepsilon_r}bk_0$)

<그림 2-1>과 같은 구조의 DRA는 TE^{z}_{111}에서 식(2-7)과 같은 자기 모멘트 다이폴 p_m과 같이 방사한다.

$$\overline{p_m} = -\frac{j8A\,w\varepsilon_0(\varepsilon_r - 1)}{k_x k_y k_z}\sin\left(\frac{k_z d}{2}\right)\overline{a_z} \quad ---- \quad (2\text{-}7)$$

$\overline{p_m}$에 의한 방사전력은 식(2-8)과 같다.

$$P_{rad} = 10k_0^4\left|\overline{p_m}\right|^2 \quad ------ ----- \quad (2\text{-}8)$$



<그림 2-6> 종횡비 변화에 따른 방사전력의 변화

<그림 2-6>는 공진체의 상대유전율이 37.84이고, 높이가 b/2 = 5 mm로 일정할 때 다른 종횡비 변화에 따른 방사전력의 변화를 보이고 있다. <그림 2-6>에서 크기 a가 일정할 때, d값의 증가할수록 방사전력이 증가함을 알 수 있고, 크기 a가 증가할 때, 방사전력이 작아졌다가 커짐을 볼 수 있다.

공진체에 저장된 평균 전기 에너지는 식(2-9)와 같다.

$$W_e = \frac{\varepsilon_0 \varepsilon_r abdA^2}{32}\left(1 + \frac{\sin k_z d}{k_z d}\right)(k_x^2 + k_y^2) \quad - - - \quad (2\text{-}9)$$

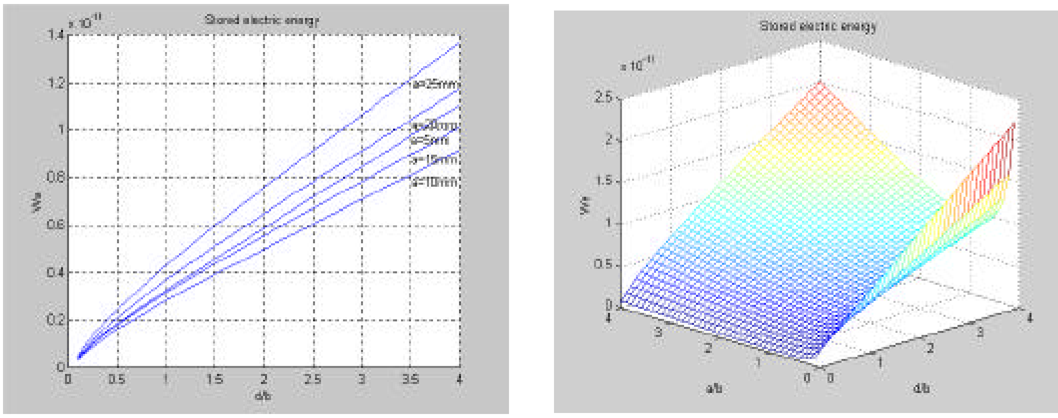
<그림 2-7>는 공진체의 상대유전율이 37.84이고, 높이가 b/2 = 5 mm로 일정할 때 다른 종횡비 변화에 따른 공진체내에 저장된 평균 전기에너지 변화를 보이고 있다. <그림 2-7>에서 크기 a가 일정할 때, d값의 증가할수록 저장된 평균 전기에너지가 증가함을 알 수 있고, 크기 a가 증가할 때, 저장된 평균 전기에너지가 작아졌다가 커짐을 볼 수 있다.

식(2-4) (2-6)에서, 공진기의 크기와 모드가 결정되었을 때, ε_r이 증가하면 DRA의 공진주파수는 일정한 값에 수렴하게 됨을 알 수 있다. ε_r이 매우 크다고 가정하면, DRA의 공진 주파수는 $(\varepsilon_r)^{-1/2}$에 비례하게 된다[식(6)]. DRA의 Q_{rad}는 식(10)과 같이 나타낼 수 있다.

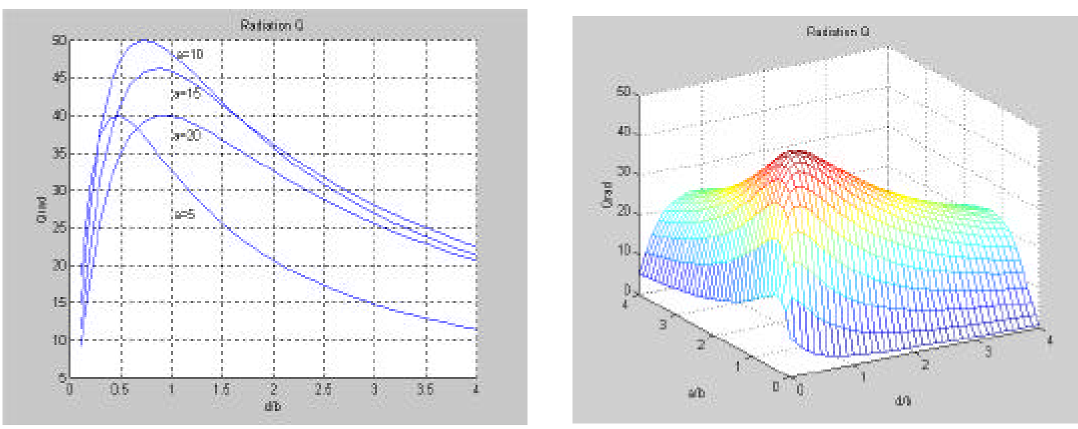
$$Q_{rad} = 2w_0 W_e / P_{rad} \propto (e_r)^{3/2} \quad - - - - - - \quad (2\text{-}10)$$

또, 대역폭은 식(11)과 같이 나타낼 수 있다.

$$BW = \frac{VSWR - 1}{Q\sqrt{VSWR}} \quad \text{- - - - - - -- - - - - -} \quad (2\text{-}11)$$



<그림 2-7> 종횡비 변화에 따른 축적된 평균 전기에너지의 변화

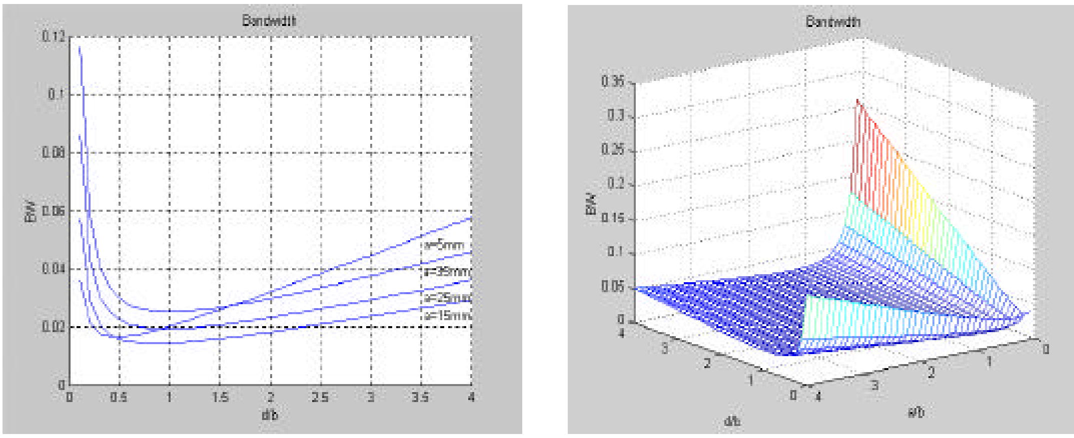


<그림 2-8> 종횡비 변화에 따른 방사 Q의 변화

<그림 2-8>은 공진체의 상대유전율이 37.84이고, 높이가 b/2 = 5 mm로 일정할 때 다른 종횡비의 변화에 따른 Q_{rad}의 변화를 보이고 있다. <그림 2-8>에서 크기 a와 d값이 증가할수록 Q_{rad}이 증가하다가 감소함을 알 수 있다.

<그림 2-9>은 공진체의 상대유전율이 37.48이고, 높이가 b/2 = 5 mm로 일정할 때 다른 종횡비의 변화에 따른 공진기 안테나의 임피던스 대역폭 변화를 보이고 있다. <그림 2-7>은 공진체 내에 축적된 평균 전기에너지와 공진체의 Q_{rad} 및 방사전력을 이용하여 얻은 임피던스 대역폭이다. <그림 2-9>에서 크기 a가 일정할 때, d값의 증가할수록 임피던스 대역폭이 감소하다가 증가함을

알 수 있다.



<그림 2-9> 종횡비 변화에 따른 대역폭 변화

4. 이론값, 시뮬레이션값 및 측정값 비교

공진기 안테나의 공진 주파수와 임피던스 대역폭을 추정하는데 사용한 Dielectric waveguide model의 정확도를 검증하기 위해서 이론에 의한 근사값, HFSS를 이용한 시뮬레이션값 및 측정값을 서로 비교하였다. <표 2-1>은 유전율 37.84일 때, 3.78 GHz에서 공진하는 3개의 공진체 크기를 선택하여, 근사값과 시뮬레이션값을 비교한 표이다.

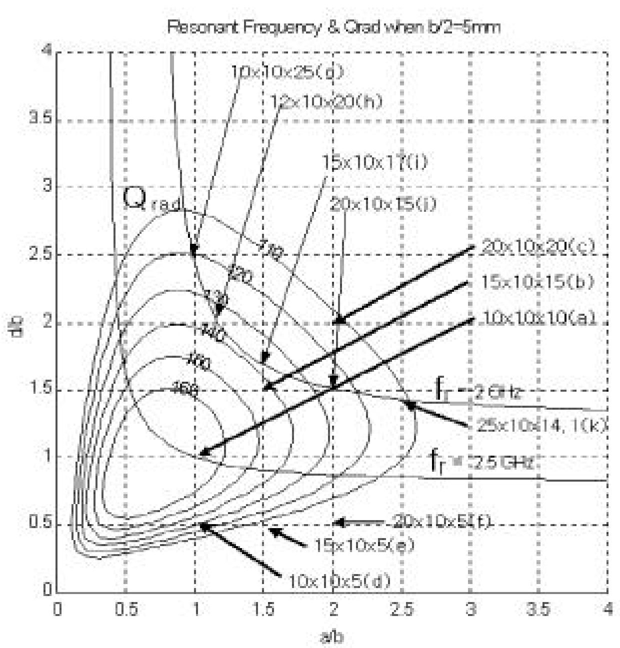
a	b/2	d	Resonant frequency		Impedance bandwidth	
			DWM	Simulation	DWM	Simulation
18 mm	5 mm	5 mm	3.78 GHz	3.66 GHz	1.8%	2.7%
11 mm	5 mm	9 mm	3.78 GHz	3.68 GHz	1.4%	3.3%
9 mm	5 mm	20 mm	3.78 GHz	3.7 GHz	1.9%	2.7%

<표 2-1> 공진 주파수와 임피던스 대역폭의 근사값과 시뮬레이션값 비교

(ε_r =37.84)

공진 주파수는 이론과 시뮬레이션 결과가 거의 일치하나 임피던스 대역폭은 이론값이 대체로 적은 결과를 보였다. 이론 대역폭은 순수 공진체에 의한 대역폭이지만 실험값은 급전 구조와 관련된 대역폭이기 때문에 다소 차이가 있다.

<그림 2-10>는 유전체의 상대 유전율이 90일 때, 특정 공진주파수와 Q_{rad}에 대한 등고선을 나타내고 있다. 공진주파수 2 GHz와 2.5 GHz에 대한 등고선을 나타내고, Q_{rad}는 110 160까지의 등고선을 공진체의 종횡비 평면상에 그린 것이다. <그림 2-14>와 같은 방법을 이용하면, 공진체의 공진주파수와 대역폭을 쉽게 확인할 수 있고, 역으로 설계하고자 하는 공진주파수와 대역폭을 갖는 공진체의 종횡비를 쉽게 얻을 수 있다. <표 2-3 5>는 <그림 2-10>에서 구분 (a) (c)의 종횡비를 갖는 공진체가 개구결합 급전되었을 때, 공진주파수와 임피던스 대역폭의 근사값, 시뮬레이션값 및 측정값을 서로 비교한 표이다. 구분 (a) (c)는 크기 a와 d가 같은 공진체이다.



<그림 2-10> 종횡비 평면에 있어서의 특정 공진주파수와 Q_{rad}에 대한 등고선

(ε_r =90)

	a	b/2	d	Resonant frequency			Impedance bandwidth		
				DWM	Simulation	measure	DWM	Simulation	measure
(a)	10mm	5mm	10mm	2.5GHz (6.2% error)	2.354GHz	2.73GHz	0.39%	2.35-2.358 (0.33%)	2.72-2.74 (0.7%)
(b)	15mm	5mm	15mm	2.06GHz (7.4% error)	1.918GHz	2.13GHz	0.45%	1.913-1.924 (0.6%)	2.12-2.136 (0.7%)
(c)	20mm	5mm	20mm	1.87GHz (10.6%error)	1.69GHz	1.555GHz	0.58%	1.682-1.695 (0.8%)	1.55-1.56 (0.6%)

<표 2-2> 샘플 (a)-(c)에 대한 근사값, 시뮬레이션값 및 측정값 비교 (개구결합급전)

<표 2-2>에서 볼 수 있듯이 공진주파수값은 시뮬레이션값에 대해 약 8%이내의 오차를 보이고 있다. 실험 대역폭은 급전구조와 관련될 수 있기 때문에 이론값과 다를 수 있다.

	a	b/2	d	Resonant frequency		Impedance bandwidth	
				DWM	Simulation	DWM	Simulation
(d)	10 mm	5 mm	5 mm	2.9 GHz (4.6% error)	3.04 GHz	0.4%.	0.65% (3.03-3.05 GHz)
(e)	15 mm	5 mm	5 mm	2.54 GHz (5.9% error)	2.7 GHz	0.46%	1% (2.68-2.71 GHz)
(f)	20 mm	5 mm	5 mm	2.4 GHz (7.6% error)	2.6 GHz	0.54%	0.7% (2.51-2.69 GHz)

<표 2-3> 샘플 (d)-(f)에 대한 근사값, 시뮬레이션값 및 측정값 비교 (동축선로급전)

<표 2-3>은 그림 10에서 구분 (d) (f)의 종횡비를 갖는 공진체가 동축선로 급전되었을 때, 공진 주파수와 임피던스 대역폭의 근사값과 시뮬레이션값을 서로 비교한 표이다. 구분 (d) (f)는 크기 d가 일정할 때, 크기 a가 변하는 공진체들이다. <표 2-3>은 공진주파수 근사값이 약 5% 이내의 오차를 보이고 있음을 알 수 있다.

	a	b/2	d	Resonant frequency		Impedance bandwidth	
				DWM	Simulation	DWM	Simulation
(g)	10 mm	5 mm	25 mm	2 GHz (3% error)	1.94 GHz	0.61%	0.5% (1.935-1.945 GHz)
(h)	12 mm	5 mm	20 mm	2 GHz (2.3% error)	1.954 GHz	0.51%	0.6% (1.948-1.96 GHz)
(i)	15 mm	5 mm	17 mm	2 GHz (7% error)	1.868 GHz	0.48%	0.7% (1.862-1.875 GHz)
(j)	20 mm	5 mm	15 mm	2 GHz (8% error)	1.85 GHz	0.51%	1.1% (1.84-1.86 GHz)
(k)	25 mm	5 mm	14.1 mm	2 GHz (10% error)	1.818 GHz	0.6%	0.7% (1.81-1.827 GHz)

<표 2-4> 2 GHz 등고선상의 종횡비 (ε_r =90)

<표 2-4>는 <그림 2-10>에서 종횡비에 따라 2 GHz를 얻을 수 있는 등고선상에서 5개의 종횡비를 선택하여 시뮬레이션값과 비교한 결과이다. 공진주파수 근사값과 시뮬레이션값은 약 6% 이내의 오차를 보이고 있다.

제 2 절 Meander line을 이용한 내장형 칩 안테나 설계

1. Meander line 연구

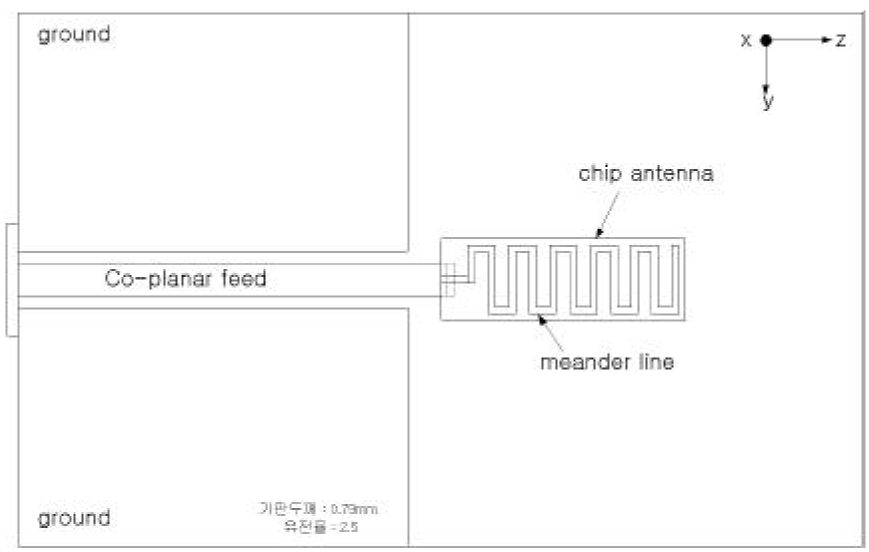
- co-planar 급전방식을 이용한 meander line 칩 안테나를 제안하였다. 여러 가지 파라미터를 변화시키면서, 그에 대한 영향을 분석하였다. 이러한 분석은 meander line을 이용한 칩 안테나를 설계하는데 있어서 유용한 정보가 될 것이다. 또한, 보다 첨소화될 수 있는 방안을 제시하여, 제안된 칩 안테나를 단말기 내장형으로 사용하는데 유리하게 하였다. 칩 안테나의 방사패턴은 다이폴 안테나와 유사하고 이득은 1 2 dBi 사이이며, 대역폭은 반사손실 10 dB를 기준으로 7% 이상의 광대역이다. 제안된 칩 안테나의 구조해석은 HFSS 상용 프로그램을 사용하였다.

- 전 세계적으로 Cellular 및 PCS 이동 통신 가입자가 폭발적인 증가 추세에

있고, 현재 표준화가 막바지에 이른 차세대 무선통신 시스템 IMT-2000 서비스 시장도 급격히 성장될 것으로 예상된다. 현재 이러한 단말기에 부착된 안테나는 거의 Whip/Helical 조합형으로 돌출부를 형성하고 있다. 이러한 돌출부는 단말기 전체 부피 증가의 원인이 되고, 미관상 좋지 않으며, 파손 우려가 있다. 따라서, 본 논문에서는 meander line을 이용한 내장형 칩 안테나를 제안하여 이러한 문제점들을 해결하였다. 종래의 패치안테나 소형화 방안에는 패치의 모양을 적절히하여 전기적 길이를 증가시키거나, 고유전율의 유전체를 사용하는 등 여러 가지 방법이 있으나, meader line에 의한 첨소화 방안을 제안한다. meander line을 이용한 칩 안테나의 여러 파라미터를 변화시키면서, 그에 대한 영향을 분석하였으며, IMT-2000 송수신 대역에서 사용가능한 단말기 내장형 칩 안테나를 설계하였다.

2. Meander line 칩 안테나의 기본 구조

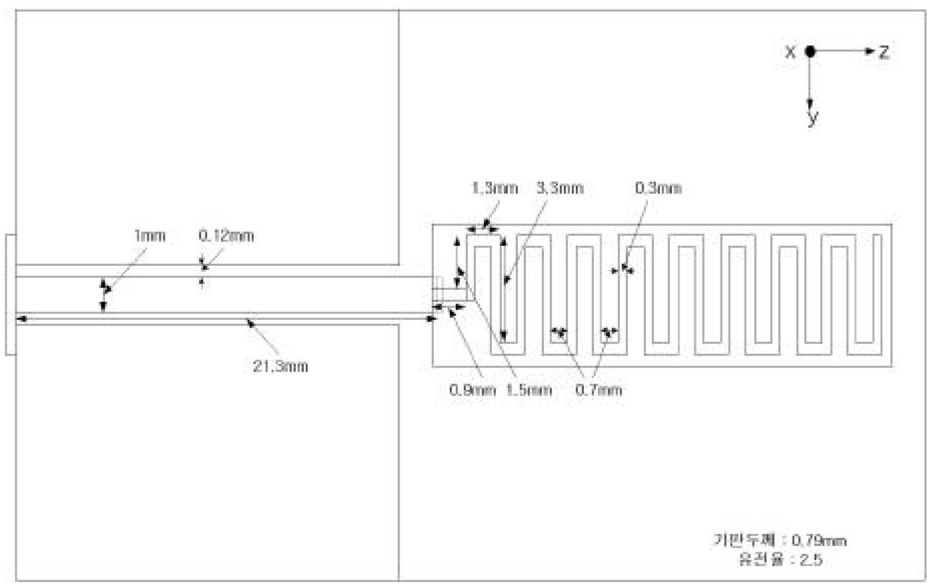
■ meander line 칩 안테나의 기본 구조는 <그림 2-11>과 같다.



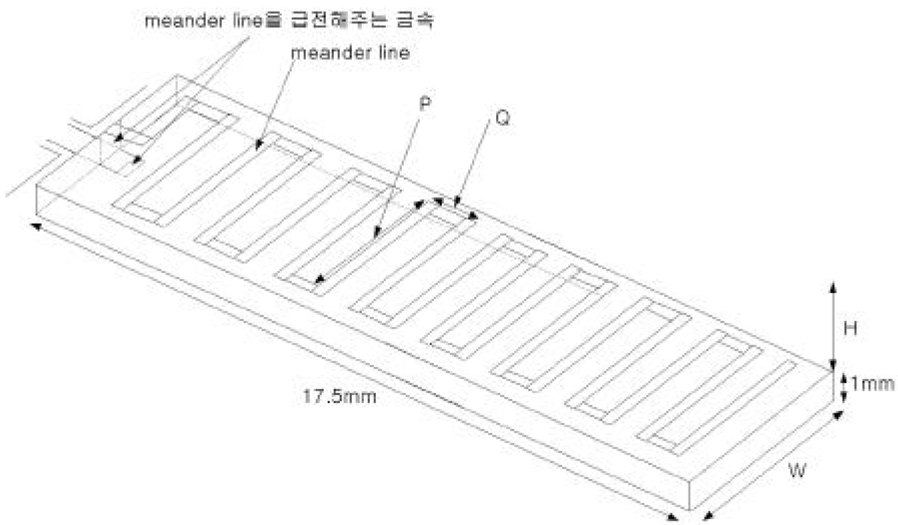
<그림 2-11> 급전선과 meander 칩 안테나 구조(정면도)

■ co-planar 급전구조는 유전율 10.2 , 두께 0.79 mm인 기판이 사용되었으며, 급전선 특성 임피던스는 약 50 Ω이다. meander line이 있는 칩 안테나의 유전율은 9.8 이다. 정합은 주로 meander line의 길이, 급전선과 meander line의 접합부등을 조작하여 얻었다. meander line 칩 안테나의 방사패턴은

meander line상의 전류분포에 의해 결정된다. meander line 상에서 z 방향으로 흐르는 전류는 모두 같은 방향으로 흐르기 때문에, E-plane의 동일 편파 방사에 기여한다. 그래서, z 방향을 향하고 있는 다이폴과 같은 방사패턴을 갖는다. 반면에 y 방향으로 흐르는 전류는 인접해 있는 전류 방향과 반대 방향으로 흐르기 때문에 칩 안테나의 방사패턴에는 크게 기여하지 못 한다. <그림 2-12>는 급전부와 칩 안테나 부분의 세부크기를 나타내고, <그림 2-13>은 meander line의 파라미터 연구를 위한 변수를 보이고 있다. 중심주파수 1.95 GHz를 기준으로 하면, $\lambda \approx \lambda_0/\sqrt{\varepsilon_e}$ = 66 mm 이며, meander line의 총 길이는 66.4 mm (1λ)이고, 방사패턴에 기여하는 z 방향 성분의 길이는 17.2 mm (0.26λ) 이다[12,13,14].



<그림 2-12> 급전부와 칩 안테나의 세부 크기



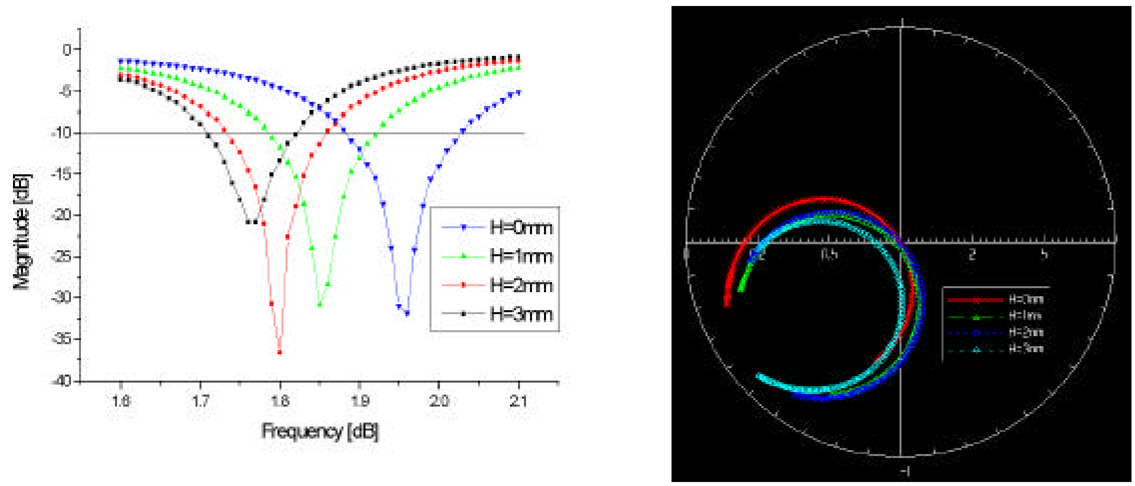
<그림 2-13> meander line 파라미터 연구를 위한 변수

- <그림 2-14>(좌)는 그림 3에서 W = 4 mm, P = 3.3 mm, Q = 1 mm 일 때, meander line 상단에 덮어지는 유전체 두께 “H" 변화에 따른 반사계수이다. <그림 2-14>(우)는 유전체 두께 “H" 변화에 따른 스미스챠트 궤적이다. <표 2-5>에서는 "H" 변화에 따른 공진 주파수와 대역폭을 보이고 있다.

구분	공진주파수	대 역 폭
H=0 mm	1.95 GHz	1.88 2.02 GHz (7.2%)
H=1 mm	1.85 GHz	1.78 1.92 GHz (7.6%)
H=2 mm	1.79 GHz	1.73 1.86 GHz (7.3%)
H=3 mm	1.76 GHz	1.70 1.82 GHz (6.8%)

<표 2-5>. 유전체 높이 “H" 변화에 따른 공진 주파수

유전체의 높이가 높아지면, meander line 주위의 유효 유전율이 증가하고, 따라서 공진 주파수는 낮아진다.

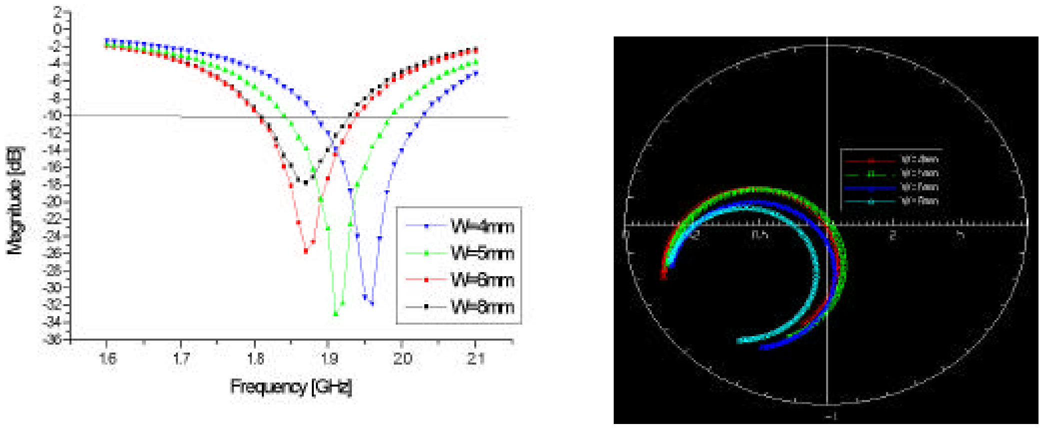


<그림 2-14> **유전체 두께** "H"**의 변화에 따른 반사계수**(**좌**) , **스미스챠트 궤적**(**우**)

■ <**그림** 2-15>(**좌**)**는** <**그림** 1-13>**에서** H = 0 mm, P = 3.3 mm, Q = 1 mm **일 때**, **유전체 폭** "W" **변화에 따른 반사계수이다**. <**그림** 2-15>(**우**)**는 유전체 폭** "W" **변화에 따른 스미스챠트 궤적이다**. <**표** 2-6>**에서는** "W" **변화에 따른 공진주파수와 대역폭을 나타내고 있다**.

구분	공진주파수	대 역 폭
W=4 mm	1.95 GHz	1.88 2.02 GHz (7.2 %)
W=5 mm	1.91 GHz	1.84 1.98 GHz (7.3 %)
W=6 mm	1.87 GHz	1.80 1.94 GHz (7.5 %)
W=8 mm	1.86 GHz	1.81 1.93 GHz (6.6 %)

<**표** 2-6> **유전체 폭** "W" **변화에 따른 공진 주파수**



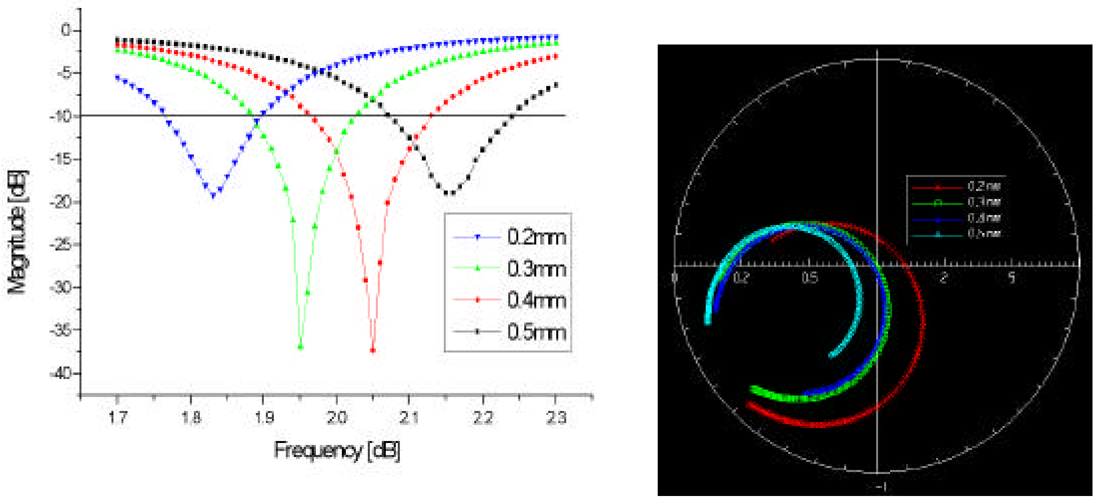
<그림 2-15> 유전체 폭 “W"의 변화에 따른 반사계수(좌) ,
스미스챠트 궤적(우)

유전체 폭 W=0.6 mm까지는 유효 유전율을 크게 하여 공진 주파수는 낮아지지만, W=0.6 mm 이상에서는 공진 주파수가 크게 변하지 않는다.

- <그림 2-16>(좌)는 그림 13에서 W=4 mm, H=0 mm, P=3.3 mm, Q=1 mm로 고정시키고, meander line의 폭이 0.2 mm에서 0.5 mm까지 변할 때, 반사계수이다. <그림 2-16>(우)는 meander line 폭 변화에 따른 스미스챠트 궤적이다. <표 2-7>은 이 때의 공진 주파수와 대역폭이다.

구분	공진주파수	대 역 폭
0.2 mm	1.83 GHz	1.76 1.89 GHz (7.1%)
0.3 mm	1.95 GHz	1.88 2.02 GHz (7.2%)
0.4 mm	2.05 GHz	1.96 2.13 GHz (8.3%)
0.5 mm	2.15 GHz	2.07 2.24 GHz (7.9%)

<표 2-7>. Meander line 폭 변화에 따른 공진 주파수



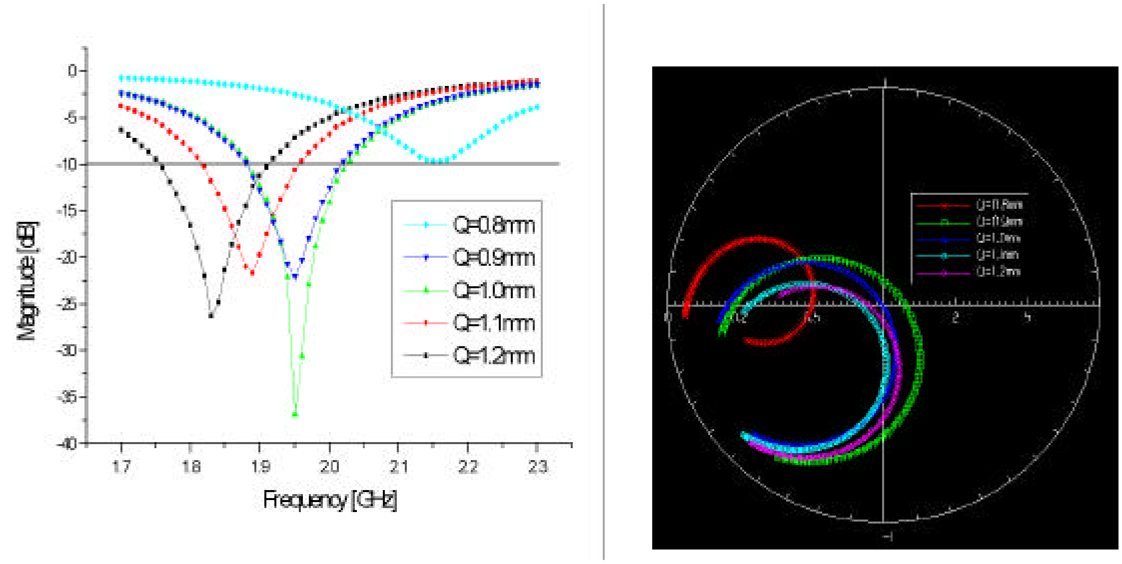
<그림 2-16> meander line 폭 변화에 따른 반사계수(좌) , 스미스챠트 궤적(우)

칩 안테나의 크기가 일정할 때, meander line의 폭이 두꺼워지면 공진 주파수는 높은 쪽으로 이동한다.

- <그림 2-17>(좌)는 <그림 2-13>에서 meander line 간격 “Q"가 0.8 mm에서 1.2 mm까지 변할 때, 반사계수의 변화이다. 이 때, meander line의 전체 길이는 고정시켰다. <그림 2-17>(우)는 meander line 간격 “Q" 변화에 따른 스미스챠트 궤적이고, <표 2-4>는 이 때의 공진 주파수와 대역폭이다.

구분	공진주파수	대 역 폭
Q=0.8 mm	2.15 GHz	
Q=0.9 mm	1.95 GHz	1.88 2.01 GHz (6.6%)
Q=1 mm	1.96 GHz	1.88 2.02 GHz (7.2%)
Q=1.1 mm	1.89 GHz	1.81 1.95 GHz (7.4%)
Q=1.2 mm	1.83 GHz	1.75 1.91 GHz (8.7%)

<표 2-8> Meander line 간격 “Q" 변화에 따른 공진 주파수



<**그림** 2-17> meander line **간격** “Q" **변화에 따른 반사계수**(**좌**) ,
스미스챠트 궤적(**우**)

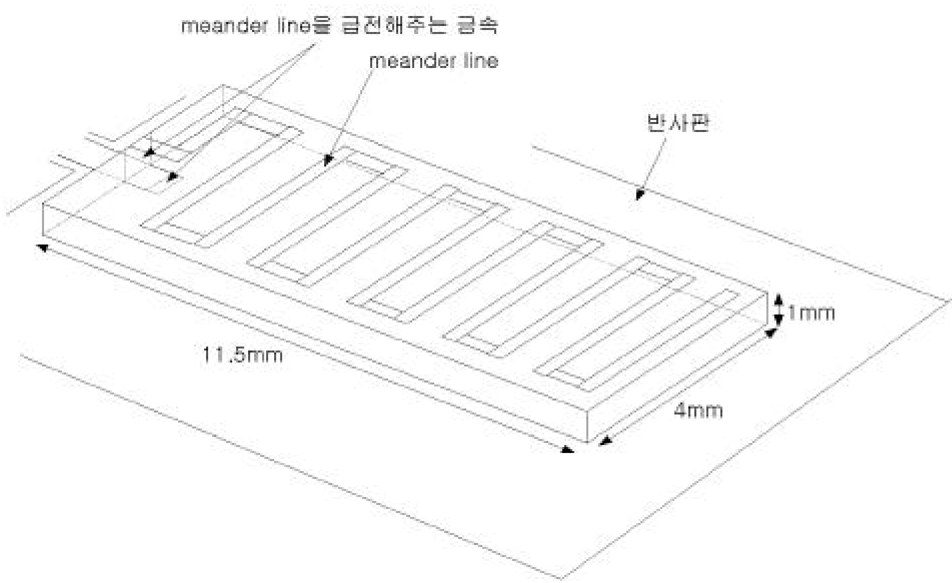
<**표** 2-4>**와** <**그림** 2-17>**은** meander line **간격이 넓어질수록 주파수는 낮아지면서**, **대역폭이 넓어지고**, **간격이 좁으면 방사저항이 작아지는 효과가 있음을 보이고 있다**.

제 3 절 첨소화와 광대역화

- **전 장에서는** 17.5 × 4 ×1 mm^3 **크기의 칩 안테나가 중심 주파수** 1.95 GHz, **대역폭** 7.2%(1.88 2.02 GHz)**을 갖도록 설계되었다**. **본 장에서는 칩 안테나 후면에 반사판을 사용하여 크기를** 34% **줄였고** (11.5 × 4 × 1 mm^3), **적층의** meander line**을 사용하여 대역폭이** 1.93 2.16 GHz (230 MHz:11.2%) **인 칩 안테나를 설계하였다**.

1. 반사판을 이용한 meander line 칩 안테나

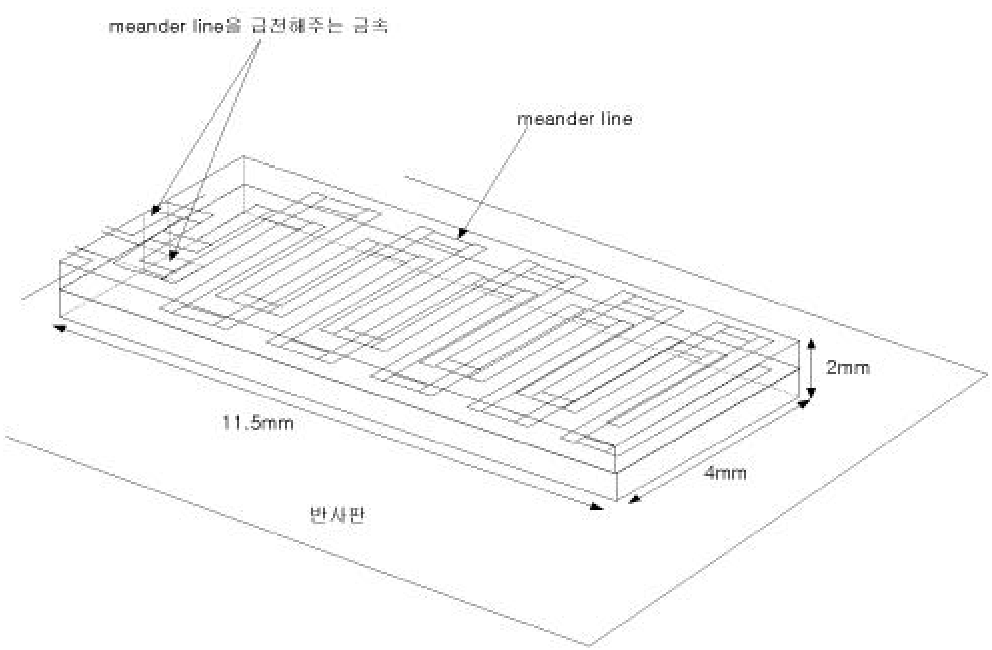
- **설계된 칩 안테나는 그림** 18**와 같다**. <**그림** 2-11>**의 칩 안테나는 전체** meander line **길이가** 42.4 mm (0.64λ) **이고**, z **방향만의 길이는** 14.2 mm (0.21λ) **이다**. **또**, 1.91 2.05 GHz (140 MHz:7%)**의 대역폭을 갖는다**.



<그림 2-18> **반사판을 이용한** meander line **칩 안테나**

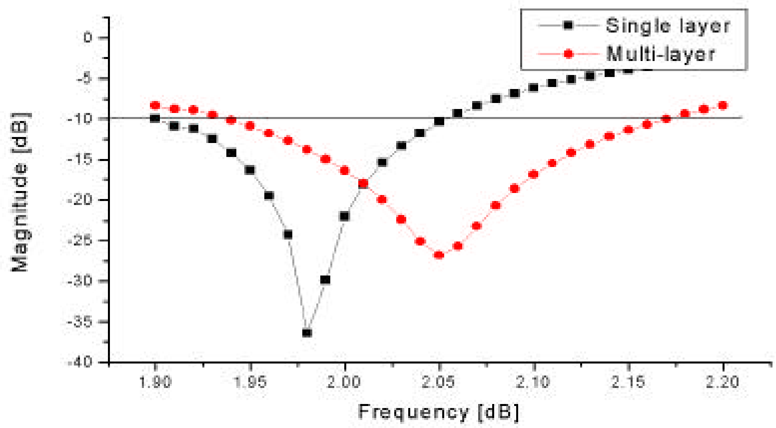
2. 적층의 meander line을 이용한 칩 안테나

- **설계된 칩 안테나는** <그림 2-19>**과 같다**. <그림 2-18>**에서 설계된** meander line**을 적층으로 사용한 것인데**, 1.93 2.16 GHz (230 MHz:11.2%)**의 대역폭을 갖는다**.



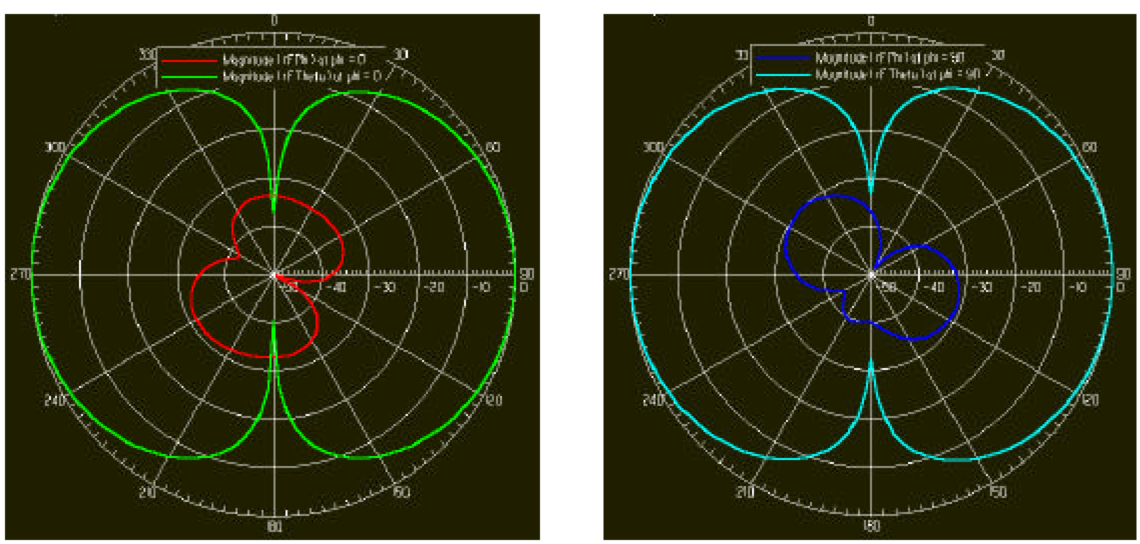
<그림 2-19> **적층의** meander line**을 이용한 칩 안테나**

■ <그림 2-20>은 **단층과 적층구조의 대역폭 비교한 것이다**.



<그림 2-20> **단층과 적층구조의 대역폭 비교**

■ <그림 2-21>은 Meander line **칩 안테나의** far field **방사 패턴을 보인 것인데**, **다이폴 안테나와 방사패턴이 유사함을 볼 수 있다**.



<그림 2-21> $\Phi=0°$ **에서** E_{θ}(co-pol)**와** E_{ϕ} (cross-pol) (**좌**) ,

$\Phi=90°$ **에서** E_{θ} (co-pol)**와** E_{ϕ} (cross-pol) (**우**)

3. 설계 결과

<표 2-9>는 설계 목표와 최종 설계 결과를 보이고 있다.

평가항목 (주요성능 Spec[1])	단위	전체항목에서 차지하는 비중[2](%)	세계최고 수준, 보유국/보유기업 (/)	개발목표치	중간 개발 결과		
			성능수준	최종	단층		적층
					송신	수신	
1.반사손실 대역폭	MHz	25 %	55 MHz (일본/무라타)	50-100 MHz	1.91 2.05 GHz (140MHz:7%)	2.03 2.25 GHz (220MHz:10.3%)	1.93 2.16 GHz (230 MHz: 11.2%)
2. 이 득	dB	20 %	-1	1	1.5	1.5	1.5
3.방사패턴		15 %	무지향성	하트형태	무지향성	무지향성	무지향성
4. 크 기	mm	25 %	8 x 5 x 2.5	12 x 8 x 4	11.5 x 4 x 1	10.3 x 4 x 1	11.5 x 4 x 2
5. 중 량	g	15 %	0.3	0.5			

<표 2-9> 설계 목표와 최종 설계 결과

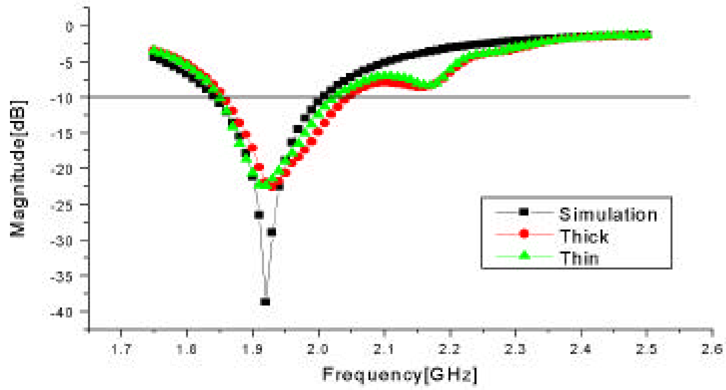
제 4 절 안테나 측정 결과

본 절에서는 제 3 절에서 설계한 IMT-2000 단말기용 내장형 칩 안테나를 제작하였으며, Ansoft HFSS 모의실험 결과와 비교하였다.
각각의 칩 안테나는 IMT-2000 단말기 송신용, 수신용 및 송수신 전대역에서 사용 가능하도록 설계되었다. 각각의 안테나는 재연성을 확인하기 위해 meander line과 급전부의 soldering의 양을 다르게 하여, 두 개씩 제작을 하였다. 측정 자료표에서는 soldering이 두꺼운 것을 "Thick"로, soldering이 가는 것을 "Thin"으로 표시하였다.

1. 제작된 칩 안테나의 임피던스 대역폭

<그림 2-22>과 <표 2-10>은 제작된 칩 안테나의 임피던스 대역폭에 대한 모의 실험값과 측정값을 비교하였다. <그림 2-22>의 안테나는 반사판을 사용하

지 않고, IMT-2000 송신대역에서 사용 가능하도록 설계된 안테나이다.

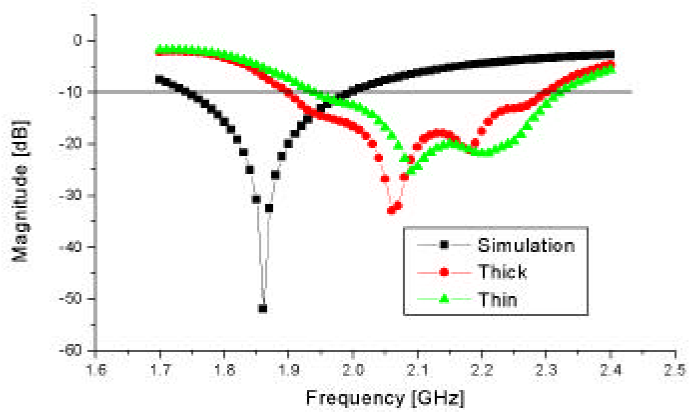


<그림 2-22> IMT-2000 송신대역에 설계된 안테나 (No reflector)

	Simulation	Measurement	
		Thick	Thin
BW	1.84 - 2.01 GHz (170 MHz: 8.8 %)	1.85 - 2.04 GHz (190 MHz: 9.8 %)	1.84 - 2.02 GHz (180 MHz: 9.3 %)

<표 2-10> IMT-2000 송신대역에 설계된 안테나의 임피던스 대역폭 비교표 (No reflector)

<그림 2-23>와 <표 2-11>의 안테나는 반사판을 사용하고, IMT-2000 송신대역에서 사용 가능하도록 설계된 안테나이다.

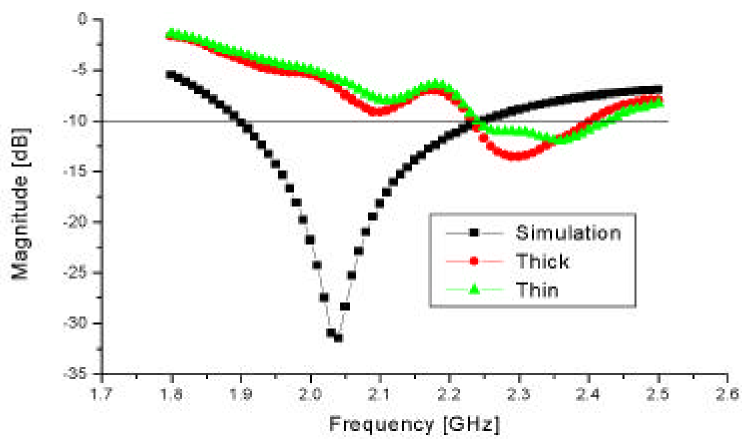


<그림 2-23> IMT-2000 송신대역에 설계된 안테나 (Using reflector)

	Simulation	Measurement	
		Thick	Thin
BW	1.74 - 2 GHz (260 MHz:13.9%)	1.89 - 2.29 GHz (400 MHz:19.1%)	1.93 - 2.31 GHz (380 MHz:17.9%)

<표 2-11> IMT-2000 송신대역에 설계된 안테나의 임피던스 대역폭 비교표 (Using reflector)

<그림 2-24>와 <표 2-12>의 안테나는 반사판을 사용하고, IMT-2000 송신 대역에서 사용 가능하도록 설계된 안테나이다.

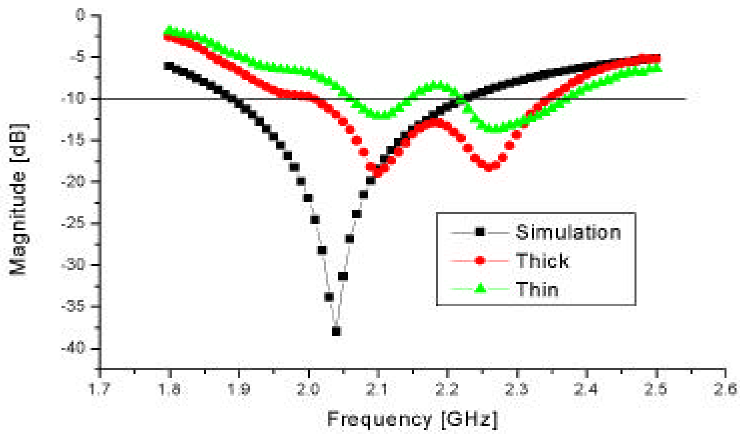


<그림 2-24> IMT-2000 수신대역에 설계된 안테나 (Using reflector)

	Simulation	Measurement	
		Thick	Thin
BW	1.9 - 2.25 GHz (350 MHz:16.9%)	2.22 - 2.39 GHz (170 MHz:7.4%)	2.23 - 2.42 GHz (190 MHz:8.2%)

<표 2-12> IMT-2000 수신대역에 설계된 안테나의 임피던스 대역폭 비교표 (Using reflector)

<그림 2-25>와 <표 2-13>의 안테나는 반사판을 사용하고, IMT-2000 송수신 전대역에서 사용 가능하도록 설계된 안테나이다.



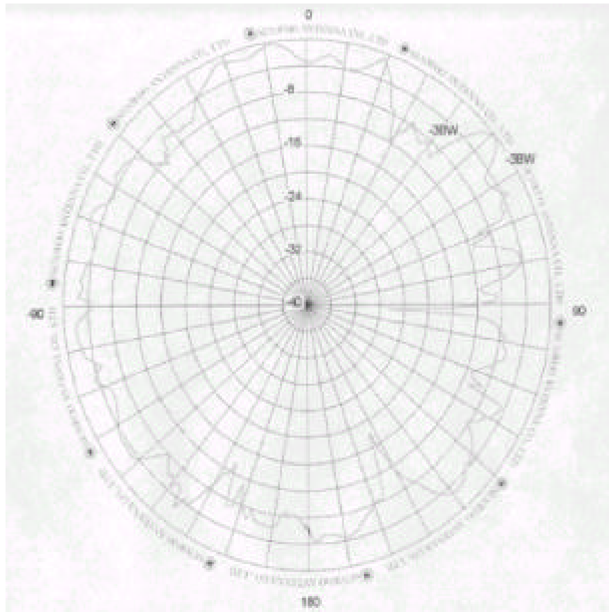
<**그림** 2-25> IMT-2000 **송수신 전대역에 설계된 안테나** (Using reflector)

	Simulation	Measurement	
		Thick	Thin
BW	1.89 - 2.23 GHz (340 MHz:16.5%)	2 - 2.34 GHz (340 MHz:15.7%)	2.05 - 2.14 GHz(90 MHz) 2.21 - 2.37 GHz(160 MHz)

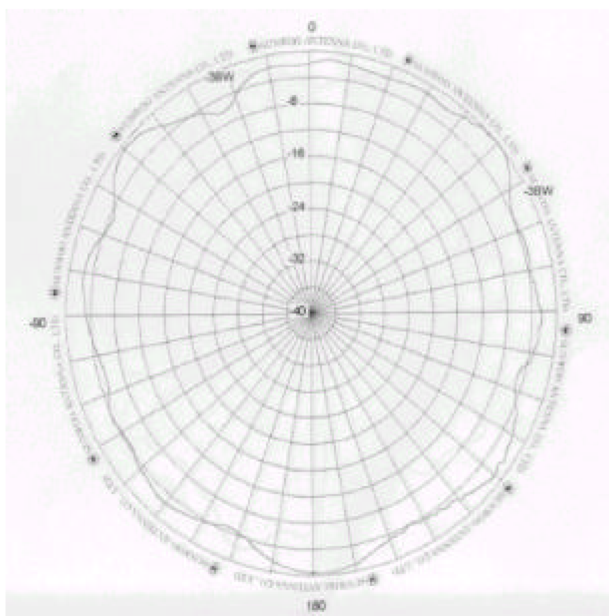
<**표** 2-13> IMT-2000 **송수신 전대역에 설계된 안테나의 임피던스 대역폭 비교표**
(Using reflector)

2. 제작된 칩 안테나의 방사패턴

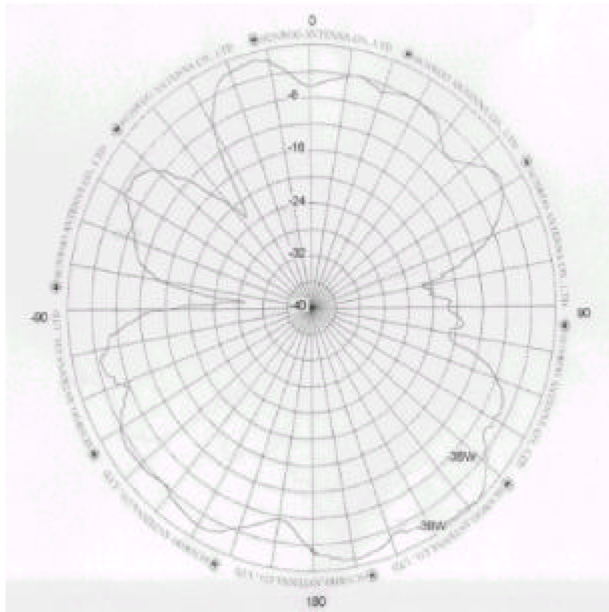
<그림 2-26>은 칩 안테나를 Microstrip line으로 급전했을 때, H-plane에서의 Co-pol 방사패턴이다. <그림 2-27>은 Co-planar로 급전했을 때, H-plane과 E-plane에서의 방사패턴을 보이고 있다. H-plane에서는 등방성 방사패턴을, E-plane에서는 다이폴과 같은 방사패턴을 보여야 하지만, 접지면의 전류분포 영향으로 다소 일그러짐이 존재한다.



<**그림** 2-26> Microstrip line**으로 급전했을 때**, H-plane **방사패턴** (Co-pol)



(a)



(b)

<**그림** 2-27> Co-planar**로 급전했을 때**, H-plane(a)**과** E-plane(b)**에서의 방사패턴**

(Co-pol)

제 3 장 RFIC 일체형 안테나용 2단 전력증폭기 설계 및 제작

차세대 이동통신(IMT-2000) 단말기용 RFIC 일체형 안테나에 사용할 전력증폭기를 Excellics Semiconductor社에서 제작된 HEMT(모델명 : EPA480C-100F)를 이용하여 설계하였다. 전력증폭기의 설계 목표치는 <표 3-1>과 같다.

항 목	목 표 사 양
동 작 주 파 수	1.92 - 1.98 GHz
P_{1-dB}	27 dBm
전력부가효율(PAE)	40 %
선형전력이득	25 dB
IP_3	40 dBm

<표 3-1> RFIC 일체형 안테나용 전력증폭기의 설계목표치

<표 3-1>의 설계 목표치에서 요구하는 선형성과 효율을 만족하는 전력증폭기를 설계하기 위해서 본 연구에서는 증폭기가 AB급으로 동작하도록 트랜지스터의 동작점을 설정하였고, 충분한 전력이득 위하여 다단(multi-stage) 증폭회로 구성을 채택하였다. 다단으로 구성된 전력증폭기는 전력이득을 최대화한 이득증폭기를 전단에 두고 고효율과 고출력전력을 위한 전력증폭기를 후단에 둔 2단 전력증폭기로 설계하였다.

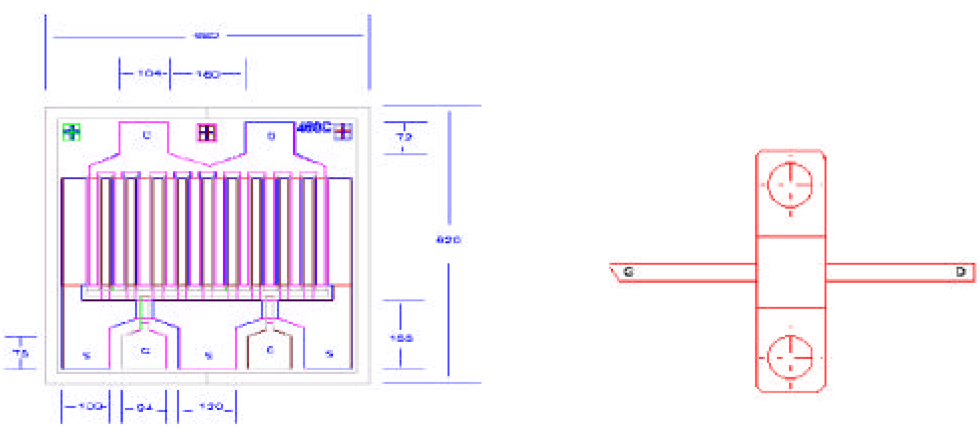
능동회로를 설계할 때 가장 신중히 결정해야하는 것은 적절한 능동소자의 선택이다. 능동회로의 성능은 사용하고자 하는 소자에 의해 결정되기 때문에 설계 목표치를 고려한 능동소자의 선택은 매우 중요하다. 소자를 선택한 후에는 시뮬레이션을 위한 등가회로 모델의 파라미터를 추출하여야 한다. 일반적으로 소자 제작사로부터 소신호 등가회로 모델은 제공받을 수 있지만, 대신호 등가회로 모델은 그렇지 않은 경우가 많다. 전력증폭기와 같이 대신호 동작을 요구하는 회로를 설계할 경우에는 트랜지스터의 대신호 특성이 중요하기 때문에 대신호 등가회로 모델이 필요하다. 그러나 본 연구에서는 트랜지스터의 제작사로부터 대신호 등가회로 모델을 제공받지 못하였기 때문에 소신호 등가회로 모델과[15]

DC 특성, 여러 바이어스 조건에서의 S 파라미터를 바탕으로 대신호 등가회로 모델의 파라미터를 추출하였다. HP-EEsof 社의 비선형 RF회로 시뮬레이터인 Libra를 이용하여, 실측정 S 파라미터를 기초로 한 fitting 법으로 정확하게 모델링 하였고 이 대신호 등가회로 모델을 이용하여 이득증폭기와 전력증폭기를 설계하였다.

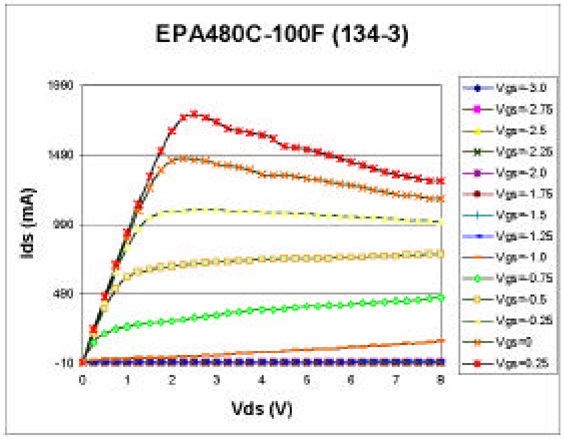
제 1 절 Power HEMT의 등가회로 모델링

1. HEMT 소자의 특징

본 연구에서 사용한 능동소자는 Excellics社에서 제작된 HEMT(모델명 : EPA480C-100F)를 사용하였다. EPA480C-100F은 세라믹으로 패키징 되어있으며, 0.5 × 240 μm^2인 게이트가 20개의 finger (전체 게이트 사이즈 = 0.5 × 4800 μm^2)로 구성되어 있다. <그림 3-1>에는 HEMT의 칩 모양과 패키지 모양을 보이고 있으며 <그림 3-1> (c)에서는 이 HEMT의 전류-전압 특성을 보이고 있다.



(a) HEMT 칩의 평면도 (b) 패키지화 된 HEMT



(c) Power HEMT(EPA 480C-100F)의 전류-전압특성

<그림 3-1> Power HEMT 칩과 패키지, 전류-전압특성

2. HEMT의 대신호 등가회로 모델

전력증폭기에 사용되는 전력 트랜지스터(power transistor)는 고출력전력과 고효율 특성을 얻기 위해 비선형 동작을 하게 된다. 그러므로 트랜지스터의 비선형 동작을 나타낼 수 있는 대신호 등가회로 모델 즉, 비선형 등가회로 모델이 있어야 전력증폭기의 설계가 가능하다. 소신호 등가회로 모델이 오옴의 법칙을 만족하는 선형회로 모델인데 반해서 대신호 등가회로 모델은 전류가 전압의 이차이상인 고차함수가 되는 비선형 특성을 나타내는 모델이라고 할 수 있다. 일반적으로 대신호 등가회로 모델은 여러 개의 다이오드와 수동소자, 전류원 등으로 구성되어 있고, 소신호 등가회로 모델과는 달리 비선형 특성들을 고려하기 때문에 파라미터 추출과정은 더욱 복잡하고 어렵다.

GaAs FET, HEMT의 경우, HBT(Heterojunction Bipolar Transistor)보다는 대신호 등가회로 모델이 잘 정립되어 있어서 기존에 제시되어 있는 것을 사용하기로 하였다. GaAs FET 계열의 비선형 모델에는 Curtice-cubic 모델, Curtice-quadratic 모델, Statz-Pucel 모델, Triquint-own 모델, Materka-Kacprzak 모델 등의 해석적 모델과 HP Root 모델 등의 Table-based 모델 등이 있는데[16], 본 연구에서는 매우 간단하면서도 정확한 DC 특성과 게이트-소오스, 게이트-드레인 전하를 단일의 게이트 전하로 고려하여 분석한 여타 모델과는 달리 게이트-소오스, 게이트-드레인 전하를 각각 분류하여 분석을 하여 더욱 정확한 AC 특성을 갖는 Statz-Pucel 모델을 이용하여 본 연구에서 사용한

HEMT를 모델링하였다.

Statz-Pucel 모델은 일반적으로 DC 특성을 나타내는 방정식과 전하축적소자와 관련된 AC 방정식으로 구성되어 있는데 이것에 대해서 참고문헌[17]의 내용을 참조하여 알아보면 다음과 같다.

가. DC 방정식

최근 대략적으로 근사화시킨 드레인 전류에 관한 방정식은 다음과 같다.

$$I_d = \beta(V_{gs} - V_T)^2(1 + \lambda V_{ds})\tanh(\alpha V_{ds}) \quad ------ \quad (3\text{-}1)$$

β : 상호컨덕턴스 (transconductance)와 관련된 파라미터

λ : 드레인 컨덕턴스(drain conductance)와 관련된 파라미터

α : 드레인 전류가 포화가 되는 전압을 결정하는 변수

유의할 점은 각각의 동일한 드레인-소오스 전압에서 드레인 전류가 포화가 된다는 것이다. 이것은 기존의 JFET와 MOSFET 모델과 다른 점이며, 채널에서 각각의 게이트-소오스 전압에 대해 동일한 전압($V_{DS} = E_{SAT} \times L$, L은 채널길이)에서 기준 전계($E_{SAT}$)에 도달하기 때문이다. 일정하게 도핑된 채널에서의 포화전류는 근사적으로 다음과 같이 나타낼 수 있다.

$$I_{ds} = Z\ V_{sat}\sqrt{2\varepsilon q N_d}\ \left(\sqrt{(-V_T + V_B)} - \sqrt{(-V_{gs} + V_B)}\right) \quad --- \quad (3\text{-}2)$$

Z : 채널폭

V_B : 게이트 접합의 접촉전위 (built-in potential)

식(3-2)의 첫 번째 항은 드레인 포화전류가 V_T에서 공간전하영역의 높이에 비례함을 나타내며, 그렇기 때문에 게이트 밑 도핑된 영역의 두께에 비례함을 나타낸다. 두 번째 항은 V_{GS}가 인가되었을 때, 드레인 포화전류가 공간전하영역의 높이에 비례함을 나타낸다. 결과적으로 식(3-2)는 드레인 포화전류가 공핍되지 않은 채널의 높이에 비례한다. 단, 식(3-2)는 모든 캐리어가 포화속도로 이동한다는 가정하에 유도된 것이다.

게이트 전압이 핀치오프가 되는 지점에서의 전류 방정식은 이차함수의 성격을 갖는 방정식으로 나타낼 수 있다.

$$I_{ds} \approx \beta(V_{gs} - V_T)^2 \quad --- \quad (3\text{-}3)$$

이 방정식은 기존의 JFET(Junction Field Effect Transistor) 모델에서 제시된 것이다. 이 전류식은 단지 $V_{GS} - V_T = 0$ 일 경우에만 타당하다. 즉, 이 영역외에서 동작할 경우에는 식(3-2)를 통해서 나타내는 것이 더욱 정확하다. 식(3-2)를 좀 더 실제적으로 나타내기 위해서 다음의 경험식을 유도하였다.

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \quad - - - - - - - \quad (3\text{-}4)$$

실제적인 소자의 경우, 불순물의 확산 또는 이온 주입 과정에서 발생하는 도핑된 꼬리부분(tail) 때문에 채널과 버퍼의 인터페이스에서 경사형 천이를 갖는 상태가 된다. 이럴 경우에는 매우 복잡하게 되는데, 실제적인 도핑상태는 더욱 경사적인 I_{DS}-V_{GS} 관계를 나타내므로 경험적인 표현식(3-4)의 β와 b 값을 상황에 맞게 조절하여 실제의 트랜지스터의 특성과 동일한 특성을 나타낼 수 있다. b의 값은 기생 소오스/드레인 저항이 없는 순수한 트랜지스터 베어칩에 대한 것이다. 측정치로부터 실제 베어칩의 것을 추출하고자 할 때에는 기생성분들의 값이 불확실하므로 b의 값은 이런 불확실성을 반영하게 된다. 그러나 식(3-4)에서는 이것을 무시할 수 있고, 그렇기 때문에 기생저항 성분을 추출하지 못하는 경우에 더욱 정확하게 추출할 수가 있다.

식(3-1)에서 tanh 함수를 볼 수가 있는데 이것을 계산하기 위해서는 상당한 계산시간을 소비한다. Statz-Pucel 모델에서는 간단한 다항식 P의 형태로 포화 이전의 tanh 함수를 근사화시켰다.

$$P = 1 - \left(1 - \frac{\alpha V_{DS}}{n}\right)^n, \ n = 2 \text{ 또는 } 3 \quad - - - \quad (3\text{-}5)$$

포화영역($V_{DS}>n/\alpha$)에서는 tanh 함수가 1이 된다. 다항식에서 $V_{DS} = 0$일 때의 기울기는 α이고 이것은 $\tanh(\alpha V_{DS})$의 기울기와 같다. 위의 내용을 토대로 정리한 GaAs 모델에 대한 DC 방정식은 다음과 같다.

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \left\{1 - \left(1 - \frac{\alpha V_{DS}}{3}\right)^3\right\}(1 + \lambda V_{DS}) \quad - - - \quad (3\text{-}6a)$$

for $0 < V_{DS} < 3/\alpha$

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)}(1 + \lambda V_{DS}) \quad \text{for } V_{DS} > 3/\alpha \quad - - - \quad (3\text{-}6b)$$

나. 소오스와 드레인 커패시턴스

소오스와 드레인 커패시턴스 모델은 기존의 여러 논문[18]-[21]에 게재되어 있다. GaAs 디바이스의 모델링시에 게이트-소오스 캐패시턴스는 대게 다이오드 모델로 나타낸다. 이 커패시턴스는 게이트-소오스간 전압에 의해서 결정되며, 게이트-소오스 커패시턴스보다 더 작은 게이트-드레인 커패시턴스를 나타낼 때에도 다이오드를 이용하여 나타낸다.

실리콘과는 달리 GaAs에서는 캐리어 속도의 포화가 더 빨리 발생하므로 좀 더 복잡하다. Van der Ziel이라는 학자는 캐리어 속도의 포화에 대한 영향을 고려하지 않고 FET의 커패시턴스를 모델링하였다. 이 경우 C_{GS}는 V_{DS}의 함수로서 일정하며, V_{GS}의 함수로써 다이오드 커패시턴스 모델을 근사화시켜 나타내었다. $V_{DS}=0$인 경우 C_{GD}는 C_{GS}와 같은 값을 갖으며, V_{DS}가 증가함에 따라 C_{GD}는 작아지고 채널의 드레인 쪽에 핀치오프가 발생할 때에는 0이 된다. 또한 Van der Ziel는 게이트와 트랜지스터의 나머지 부분사이의 전체 접합 커패시턴스를 구하였다. 이 결과를 이용하여 게이트-소오스, 게이트-드레인 전위에 대한 전체 게이트 전하의 부분 미분값에 의해서 각각의 C_{GS}와 C_{GD}를 계산할 수 있다. 결과적으로 포화 속도를 고려하였을 경우, 표현식은 포화가 발생함에 따라 Van der Ziel 모델보다 더욱 계단형으로 증가하며, V_{DS}의 함수로써 거의 일정한 값을 갖게 된다. 이와 유사하게 게이트-드레인 커패시턴스는 작은 값으로 급격하게 작아진 후 일정한 값을 취한다.

실제적인 디바이스의 커패시턴스를 계산하고자 할 때에는 우선적으로 게이트-소오스, 게이트-드레인 전하를 각각 구분하여 계산하면 좀 더 정확하게 된다. 그러나 대게 V_{GS}와 V_{DS}의 함수인 단일의 게이트 전하로 놓고 분석하기 때문에, 각각의 전하를 구분하여 계산하기 위해서는 게이트 전하의 초기값을 결정하고 그 초기값을 바탕으로 각각의 전하를 계산할 수 있다. Statz-Pucel 모델에서는 전체 전하 Q_{GS}의 1/2이 되는 값을 초기값으로 결정하였다.

게이트-소오스 전하 Q_{GS}의 경우, 다음과 같이 표현할 수 있다.

$$\Delta Q_{gs} = Q_g(V_{gs} + \Delta V_{gs}, V_{gd}) - Q_g(V_{gs}, V_{gd}) \quad --- \quad (3\text{-}7a)$$

이 수식에서 만약 동시에 V_{GS}와 V_{DS}가 $\triangle V_{GS}$, $\triangle V_{DS}$ 만큼 변한다면, 두개의 V_{DS} 값에 대한 평균을 취해 나타낼 수 있다. 즉,

$$\Delta Q_{gs} = \frac{1}{2}(Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd} + \Delta V_{gd})$$

$$+ Q_g(V_{gs} + \Delta V_{gs}, V_{gd}) - Q_g(V_{gs}, V_{gd})) \quad ------ \quad (3\text{-}7b)$$

이와 유사하게 Q_{GD}에 대한 방정식은 다음과 같이 나타낼 수 있다.

$$\Delta Q_{gd} = \frac{1}{2}(Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd} + \Delta V_{gd})$$

$$+ Q_g(V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd})) \quad ------- \quad (3\text{-}7c)$$

식(3-7b)와 (3-7c)는 비교적 정확하지만 근사화된 것이다. 그렇지만 전체 게이트 전하 변화량은 정확하게 계산할 수 있다. 일반적인 경우, 동시에 전압 V_{GS}와 V_{GD}가 변하기 때문에 식(3-7b)와 (3-7c)을 이용하여 계산한 게이트 전하의 전체 변화량 $\triangle Q_g$는 다음과 같다.

$$\Delta Q_g = \Delta Q_{gs} + \Delta Q_{gd}$$

$$= Q_g(V_{gs} + \Delta V_{gs}, V_{gd} + \Delta V_{gd}) - Q_g(V_{gs}, V_{gd}) \quad - \quad (3\text{-}8)$$

위의 수식보다 좀 더 간단하게 나타내면, 정규 동작모드일 경우 게이트 아래에 일정하게 도핑이 되어있는 트랜지스터의 게이트 전하량은 다음과 같이 나타낼 수 있다.

$$Q_g = 2C_{gs0}V_B\left(1 - \sqrt{1 - \frac{V_{gs}}{V_B}}\right) + C_{gd0}V_{gd} \quad ---- \quad (3\text{-}9a)$$

위의 식은 $V_{ds}>>0$ 또는 $-V_{gd}>>-V_{gs}$ 의 경우이다. 식(3-9a)에서, C_{gs0}는 제로 바이어스일 경우의 게이트-소오스 커패시턴스이며, V_B는 내부 접촉전위이며, C_{gd0}는 제로 바이어스에서의 게이트-드레인 커패시턴스이다. 전하는 $V_{GS}=0$, $V_{GD}=0$일 때에 0으로 정규화되어 있고 정규동작모드일 경우 V_{gs}의 부호는 음수이다.

반전모드($V_{ds}<<0$)인 경우에 대해서는 다른 방정식이 필요하다. 이것은 소오스와 드레인의 역할이 서로 바뀌어 동작을 하기 때문이다. 식(3-9a)와 유사하게 나타내면 다음과 같다.

$$Q_g = 2C_{gs0}V_B\left(1 - \sqrt{1 - \frac{V_{gd}}{V_B}}\right) + C_{gd0}V_{gs} \quad ---- \quad (3\text{-}9b)$$

위의 식은 $V_{ds}<<0$ 또는 $-V_{gd}<<-V_{gs}$ 의 경우이다.

식(3-9a)와 (3-9b)간의 천이(transition)는 $V_{DS}=0$ 또는 $V_{Gd}=V_{GS}$일 때 발생한다. 전압에 대해 Q_g를 미분하면 게이트-소오스, 게이트-드레인 커패시턴스를 다

음과 같이 계산할 수 있는데, 정규동작모드의 경우는 다음과 같다.

$$C_{gs} = \frac{dQ_g}{dV_{gs}} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_B}}}$$

$$C_{gd} = \frac{dQ_g}{dV_{gd}} = C_{gd0} \quad ------- \quad (3\text{-}10)$$

반전모드인 경우에는 다음과 같이 나타낼 수 있다.

$$C_{gs} = \frac{dQ_g}{dV_{gs}} = C_{gd0}$$

$$C_{gd} = \frac{dQ_g}{dV_{gd}} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gd}}{V_B}}}$$

식(3-10)은 실제적인 트랜지스터와 동일하게 동작하도록 근사화되었으나, V_{ds}=0 일때의 C_{gs}와 C_{gd}의 값을 볼 때 계단형 천이가 비물리적으로 나타내어질 경우 조금은 부정확하게 되며, 대수적으로 분석할 경우에 수렴하는데 어려움이 있다.

V_{ds}=0 근처에서 커패시턴스 값이 경사형 천이일 경우는 다음과 같이 분석할 수 있다.

우선 식(3-9a)와 (3-9b)는 다음과 같이 나타낼 수 있다.

$$Q^{\diamond} = 2C_{gs0}V_B\left(1 - \sqrt{1 - \frac{V_{eff1}}{V_B}}\right) + C_{gd0}V_{eff2} \quad --- \quad (3\text{-}11)$$

여기서 $(-V_{eff1})$는 $(-V_{gs})$ 또는 $(-V_{gd})$의 값중에서 작은 값을 나타내며, $(-V_{eff2})$는 두 값중 더 큰 값을 나타낸다. 수학적으로 다음의 함수를 이용하여 두 변수값을 나타낼 수 있다.

$$V_{eff1} = \frac{1}{2}\left\{V_{gs} + V_{gd} + \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}\right\} \quad -- \quad (3\text{-}12a)$$

$$V_{eff2} = \frac{1}{2}\left\{V_{gs} + V_{gd} - \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}\right\} \quad -- \quad (3\text{-}12b)$$

이때 △=0이다. 만약 △이 zero가 아닌 경우엔 좀 더 부드러운 천이가 이루어진다. 식(3-11)을 미분하면 게이트-소오스, 게이트-드레인 커패시턴스를 계산할 수 있다.

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{eff1}}{V_B}}}\frac{1}{2}\left\{1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}}\right\}$$

$$+ \quad C_{gd0}\frac{1}{2}\left\{1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}}\right\} \quad --- \quad (3\text{-}13a)$$

$$C_{gd} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{eff1}}{V_B}}}\frac{1}{2}\left\{1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}}\right\}$$

$$+ \quad C_{gd0}\frac{1}{2}\left\{1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}}\right\} \quad --- \quad (3\text{-}13b)$$

위에서도 언급했지만, 만약 V_{gs}와 V_{gd}의 값이 서로 바뀐다해도 트랜지스터의 대칭성을 만족하기 위해서 Q_g의 값은 변하지 않는다. 식(3-11)과 (3-12)는 이 조건을 만족한다.

천이폭 △의 치수는 전압이며, 수정 가능한 변수이다. 천이폭의 크기는 속도가 포화에 도달하는 전압과 관련이 있다. 식(3-2)와 (3-6)에서 "$V_{DS}=1/α$"는 드레인 전류의 포화 시점을 나타낸다. 지금까지의 이론에 맞추어서 $△=1/α$ 라는 경험식을 이용한다. 식(3-13a)를 이용한 C_{gs}를 보면, 정규 동작모드에서는 게이트-소오스 커패시턴스가 V_{GS}에 의존하는 다이오드와 같은 커패시턴스 특성을 볼 수 있다. 반전모드에서는 게이트-소오스 커패시턴스가 C_{gs0}로 접근함을 알 수 있다. 큰 커패시턴스에서 낮은 커패시턴스로의 천이영역 폭은 약 $1/α$의 값을 갖는 것을 알 수 있다.

현재까지 나타낸 근사식에 큰 값의 정의 접합 전압을 공급하게 되면 비물리적으로 무한대의 커패시턴스가 되거나 복소 커패시턴스가 된다. 식(3-7)-(3-13)에서 볼 때, V_{eff1}가 양수가 되거나 V_B와 같게 되어서 0 에 의해서 나누어지거나 복소수가 되는것을 피하기 위해서 V_{eff1}의 값을 V_{max}로 제한한다. 이 값은 접합 커패시턴스의 값을 제한한다. V_{max} 이상의 전압에 대해서는 커패시턴스가 일정하게 된다. 이것은 Gummel-Poon 모델에 의해 제시된 것과 유사하다. V_{max}이상이나 V_B 근처의 전압에 대한 커패시턴스를 정의하기에 적합한 모델은 없다. 이 영역에서 좀더 정확하게 모델링하고자 한다면, 쇼트키장벽으로 된 게이트와 PN 접합으로 된 게이트 사이에 구별을 해줄 필요가 있다. 쇼트키장벽 접합의 경우에는 소수 캐리어 주입과 관련된 비교적 큰 확산 커패시턴스가 나타나지 않는다.

위에서 언급했듯이, V_{eff1}의 부호가 양수가 되거나 V_B와 같게 되면 게이트-소오스 커패시턴스는 무한대가 된다. $V_{eff1}>V_{max}$일 때 Q_g에 대한 다음의 함수를 이용하여 커패시턴스를 일정하게 유지시킬 수 있다.

$$Q_g = C_{gs0} \left\{ V_B \left(1 - \sqrt{1 - \frac{V_{max}}{V_B}}\right) + \frac{V_{eff1} - V_{max}}{\sqrt{1 - \frac{V_{max}}{V_B}}} \right\} + C_{gd0} V_{eff2}$$

$$\text{for} \quad V_{eff1} \geq V_{max} \quad ------- \quad (3\text{-}14)$$

다. 채널 핀치오프 상태후의 커패시턴스

FET가 핀치오프가 되면, 게이트-소오스 접합 커패시턴스는 작은 값으로 떨어지며, 대게 공간전하영역 측면부의 커패시턴스에 의해 결정된다. 유사하게 C_{gs}를 0 으로 설정하게 되면 불연속이 발생하며, 시뮬레이션을 할 때에 수렴하는데 어려움이 생긴다. 그렇기 때문에 우리는 식(3-12), (3-13)에서 이용한 부드러운 내삽(법)을 이용한다. 따라서 Statz-Pucel 모델에서는 V_{new}를 이용하였는데, 이 값은 핀치오프 이전에는 V_{eff1}와 같고, 핀치오프 이상에서는 V_T와 같다. 즉, V_{new}는 $(-V_{eff1})$와 $(-V_T)$의 두 값중 더 작은 값을 선택하면 된다. 식(3-12)를 적용하여 다음과 같이 V_{new}를 표현할 수 있다.

$$Vnew = \frac{1}{2}\left\{ V_{eff1} + V_T + \sqrt{(V_{eff1} - V_T)^2 + \delta^2} \right\} \quad -- \quad (3\text{-}15)$$

δ는 두 값들 사이에서 천이가 이루어지는 전압의 범위를 나타낸다. 식(3-15)를 식(3-11)의 V_{eff1}에 대입하여 계산한 후 부분 미분을 통해서 게이트-소오스, 게이트-드레인 커패시턴스를 나타낼 수 있다.

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{Vnew}{V_B}}} \frac{1}{2}\left\{ 1 + \frac{V_{eff1} - V_T}{\sqrt{(V_{eff1} - V_T)^2 + \delta^2}} \right\}$$

$$* \frac{1}{2}\left\{ 1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}} \right\}$$

$$+ C_{gd0} \frac{1}{2}\left\{ 1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}} \right\} \quad -- \quad (3\text{-}16)$$

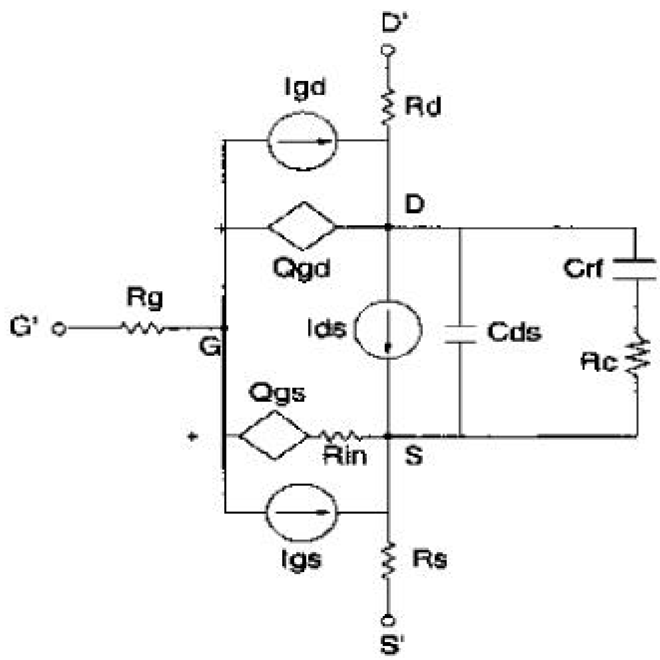
$$C_{gd} = \frac{C_{gs0}}{\sqrt{1 - \frac{Vnew}{V_B}}} \frac{1}{2}\left\{ 1 + \frac{V_{eff1} - V_T}{\sqrt{(V_{eff1} - V_T)^2 + \delta^2}} \right\}$$

$$* \frac{1}{2}\left\{ 1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}} \right\}$$

$$+ \quad C_{gd0} \frac{1}{2} \left\{ 1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + (1/\alpha)^2}} \right\} \quad -- \quad (3\text{-}17)$$

유사하게 식(3-14)에서 V_{eff1}에 식(3-15)의 V_{new}를 대입하면 $V_{eff1}>V_{max}$일 때 Q_g에 대한 일정하게 유지하는 커패시턴스를 나타낼 수 있다.

V_{GS}의 함수로써, 다양한 V_{DS}의 값에 대해 식(3-16)의 C_{gs}를 나타내면, 정규 동작모드에서는 C_{gs}는 V_{GS}의 함수로써 다이오드와 같은 커패시턴스 모델을 따르고 있고, V_{GS}가 핀치오프 전압 V_T에 접근함에 따라 C_{gs}는 전압범위(δ)내에서 급격하게 zero로 떨어지게 된다. 반전모드에서 C_{gs}는 소오스와 드레인의 역할이 바뀜에 따라 게이트-드레인 커패시턴스와 같이 동작하게 되며 이 범위에서 커패시턴스의 값은 작게되고, V_{GS}에 대한 의존성은 작게된다. 참고로 <그림 3-6>는 Statz-Pucel 모델의 회로도를 나타내고 있다[22].



<그림 3-2> Statz-Pucel 모델 회로도

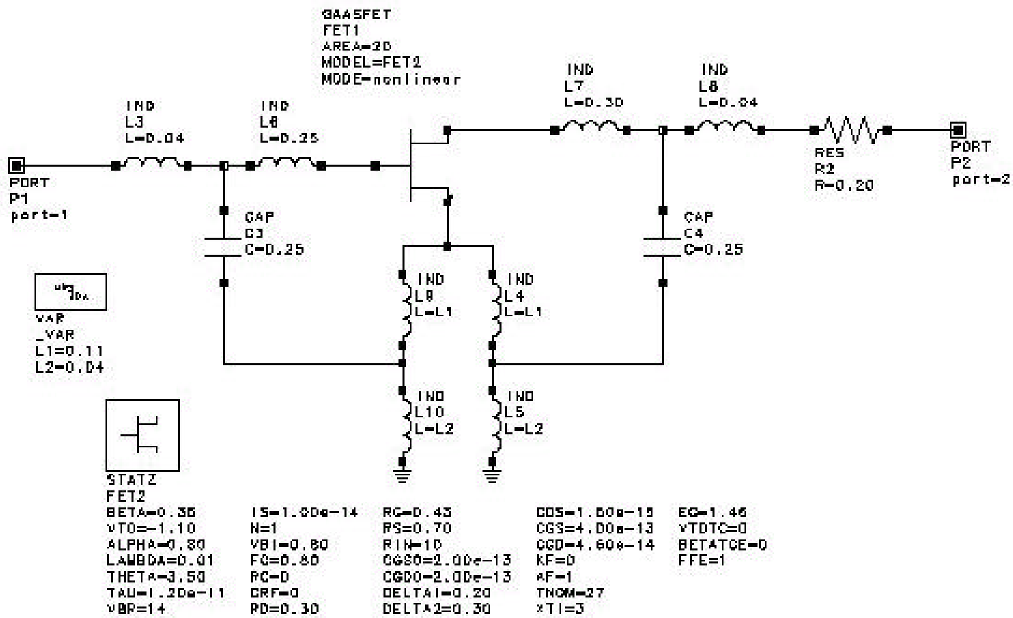
지금까지의 이론을 바탕으로 HEMT의 대신호 등가회로 모델을 이용하여 모델 파라미터를 추출하였다.

우선 HEMT의 실측정 I-V 특성을 이용하여 모델링시에 사용할 바이어스 값을 결정한다. 본 연구에서는 전력증폭기의 선형성과 효율을 고려하여 AB급으로 동작시킬 예정이므로 그에 해당하는 바이어스를 <그림 3-2>를 참조하여 V_{GS} =

-0.9 V, V_{DS} = 3 V로 결정하였다. 바이어스 값을 결정한 후, Statz-Pucel 모델 내의 DC 특성과 관련된 파라미터 값을 결정하기 위해서 실측정 DC 특성과 Statz-Pucel 모델의 이론을 이용하였고, 주파수에 대해 의존성이 없는 저항은 소신호 등가회로 모델의 값을 초기값으로 이용하였다. 이제 Statz-Pucel 모델내의 AC 특성과 관련있는 파라미터 값을 추출하여야 하는데, 추출하는 방법에는 여러 가지가 있다. 여러 바이어스 조건에서 디바이스의 DC 및 AC 측정이 가능한 경우 쉽게 결정할 수가 있지만, 본 연구에서는 위에서 언급한 Statz- Pucel 모델의 이론과 소신호 등가회로 모델 등을 이용하여 AC 특성 파라미터의 값을 추출하였다. 이렇게 해서 완성한 Statz-Pucel 모델은 패키지가 되어 있지 않은 베어칩(<그림 3-1(a)>)을 나타내는 것이다. 그러나 본 연구에서 사용하는 HEMT는 세라믹으로 패키징이 된 것(<그림 3-1(b)>)이므로 Statz-Pucel 모델에 패키지 성분들에 대한 모델을 첨가하면 실제 소자와 동일하게 동작하는 대신호 등가회로 모델이 완성되는 것이다.

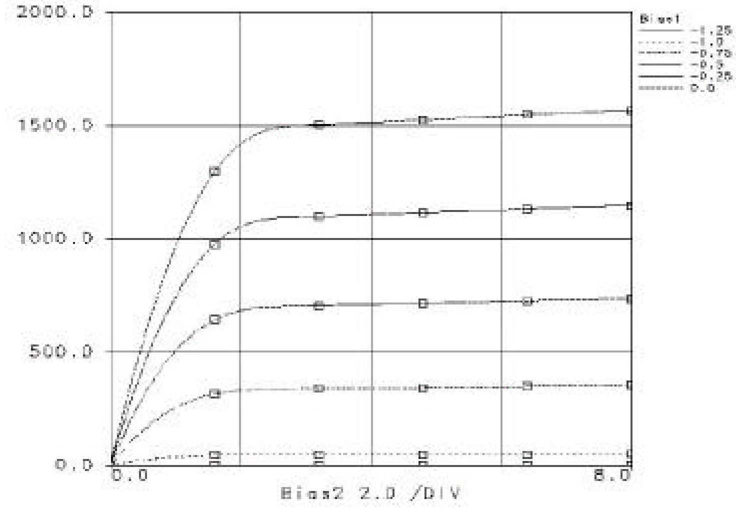
패키지는 인덕터와 커패시턴스와 같은 수동소자로 나타낼 수 있으며, 이와 관련된 파라미터의 값을 결정하는 것 역시 측정으로 결정하는 것이 가장 좋은 방법이지만, 본 연구에서는 실제 패키지의 lead 선에 관한 정보 및 패키지 성분들이 스미스챠트 상에서 트랜지스터의 S 파라미터에 미치는 영향들을 고려하여 각 파라미터 값을 결정하였다.

1차년도 과제에서 추출한 소신호 등가모델 파라미터와 대신호 비선형 모델[23]을 실측정 S파라미터에 정확하게 fitting시켜 선형성 해석에 필요한 보다 정확한 대신호 모델을 추출하였다. <그림 3-3>는 <그림 3-1>(b)의 패키지를 고려한 HEMT의 등가회로 모델을 보이고 있다.

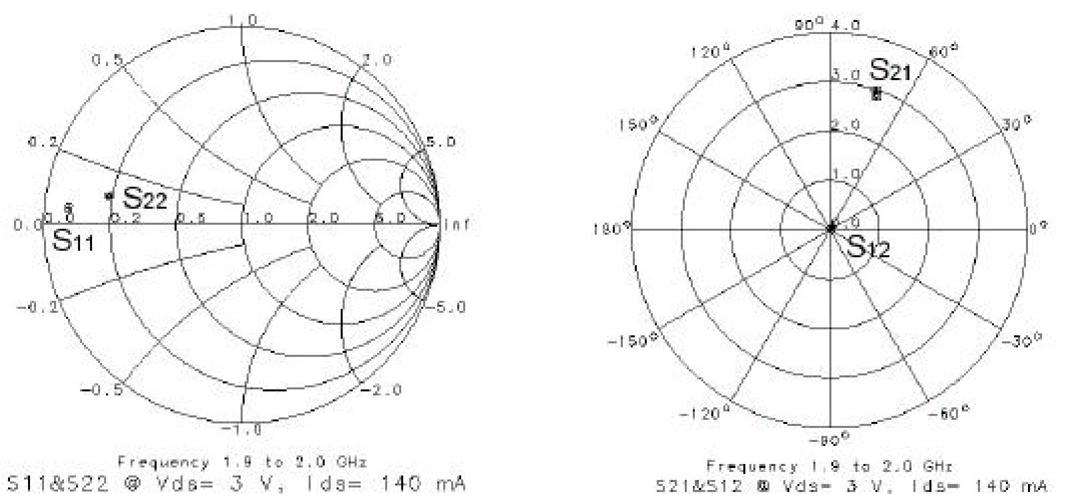


<그림 3-3> HEMT의 대신호 등가회로 모델

<그림 3-4>은 대신호 등가회로 모델을 이용하여 시뮬레이션한 전류-전압특성이며, <그림 3-5>는 실측정 S 파라미터와 대신호 등가회로 모델의 S 파라미터를 비교한 것을 나타내고 있다. 바이어스조건은 V_{DS} = 3 V, I_{DS} = 140 mA이다. <그림 3-5>에서 본 연구의 주파수 대역(1.92 1.98 GHz) 실제 HEMT의 S 파라미터와 정확하게 일치하고 있다. 이 등가회로 모델은 전력증폭기의 전력특성과 선형특성 시뮬레이션에 이용될 것이다.



<그림 3-4> 대신호 등가회로 모델로 시뮬레이션한
Power HEMT의 전류-전압특성



(a) 입·출력반사계수 S_{11} 및 S_{22}　　(b) 소신호 이득 S_{21} 과 역전달계수 S_{12}

<그림 3-5> 1.9-2.0 GHz 주파수대역에서 실측정 S 파라미터와 대신호 등가회로 모델의 S 파라미터 비교

제 2 절 대신호 등가회로 모델을 이용한 2단 전력증폭기 설계

1. 전력증폭기 설계

앞에서 추출한 대신호 등가회로 모델을 이용하여 전력증폭기를 설계하였다. 본 연구에서의 설계 목표치의 선형성과 효율을 고려하여 동작점(I_{DS} = 140 mA, V_{GS} = -0.9 V, V_{DS} = 3.0 V)을 결정하였다.

최대의 출력전력을 위하여 신호원측에서는 트랜지스터에 최대의 전력이 전달되도록 공액(conjugate) 임피던스 정합을 해주고, 부하측에는 최대의 출력전력을 부하에 전송할 수 있도록 그에 해당하는 임피던스 지점을 찾아 정합회로를 설계하여야 한다. 설계이론의 자세한 설명은 1차년도 최종보고서[23]를 참조하기 바라며, 이 부분은 생략한다. <그림 3-6>에서는 설계된 PHEMT 2단 전력증폭기의 회로도를 보이고 있다. 이 전력증폭기의 전단 회로는 주파수 대역 1.92-1.98 GHz에서 선형이득이 17 dB 이상이며, 최대 출력전력은 26 dBm, 전력부가효율은 40 %를 얻고 있다. 후단증폭기는 고출력 전력을 얻기 이하여 전력정합(power matching)을 수행하여, 20 dBm의 입력전력에 대해 31 dBm의 최대 출력전력을 얻고 있다.

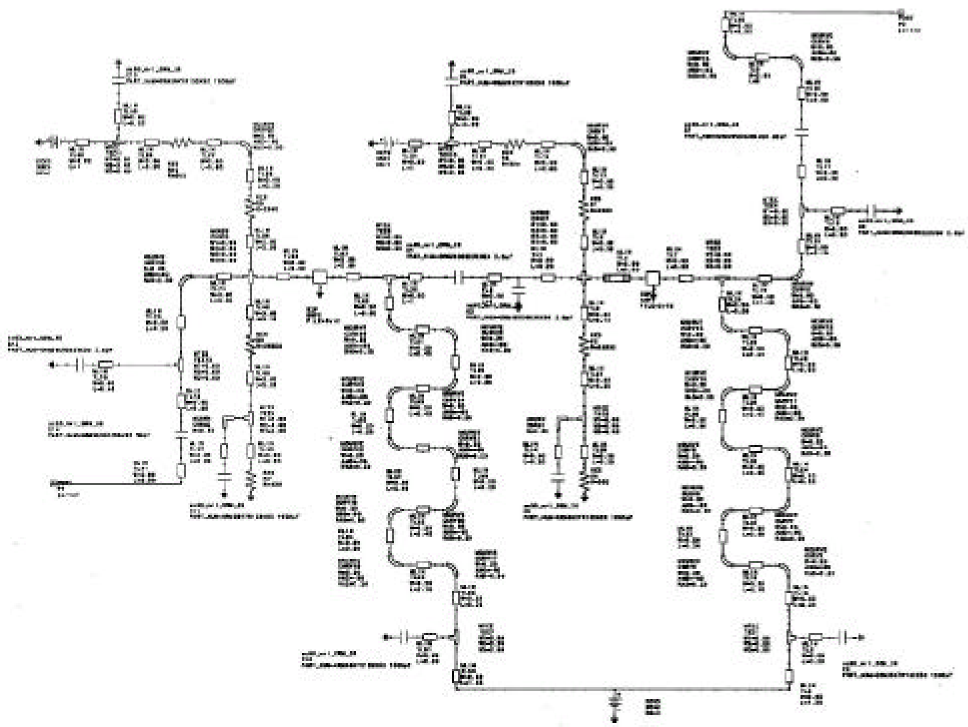
위와 같은 특성을 갖는 2단의 증폭기를 단간정합(interstage matching)회로

로 종속연결시킨 증폭기가 <그림 3-6>의 회로이다. 이 증폭기는 비유전율이 10.2, 두께= 0.635 mm인 듀로이드(Duroid)기판을 사용하여 제작하며, 특성임피던스가 50Ω인 폭 0.6 mm인 마이크로스트립선로를 이용하여 설계하였다. 또한 바이어스 라인은 입력단은 RF적으로는 개방상태로, DC적으로는 안정한 바이어스를 공급해주기 위해서 저항을 사용하여 설계하였고, 출력단은 중심주파수 1.95 GHz의 $\lambda/4$에 해당하는 마이크로스트립 선로와 커패시터를 이용하여 Choke Coil의 역할을 하도록 설계하였다.

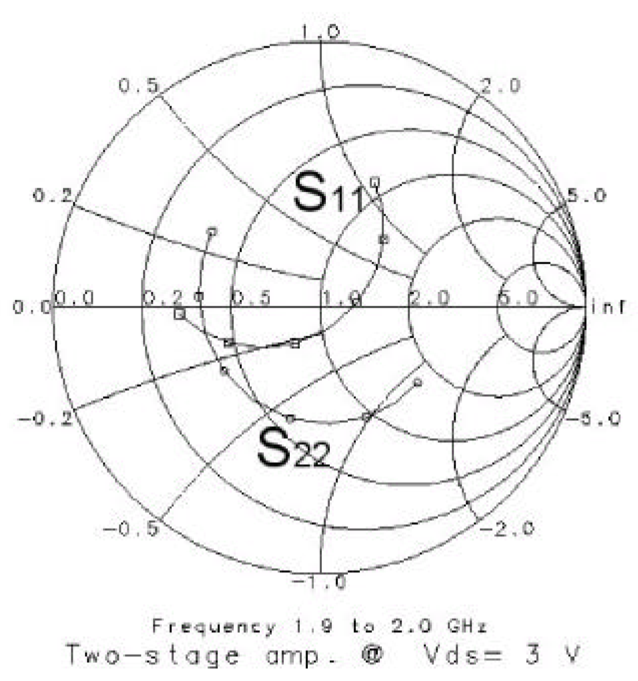
<그림 3-7>은 2단 전력증폭기의 소신호 특성을 보이고 있다. 1.92 1.98 GHz 대역에서 소신호 이득 S_{21}은 33 dB 이상이며, 대역평탄도는 ±1 dB를 보이고 있다. 입력측 반사손실(return loss)는 1.95 GHz에서 최소 21 dB를 가지며, 1.92 1.98 GHz 대역에서는 7 dB 이상인 특성을 보인다. 출력측 반사손실이 커진 것은 출력측의 전력정합의 영향이다.

<그림 3-8>는 2단 전력증폭기의 입·출력 전력 및 부가효율특성을 보이고 있으며, <그림 3-9>은 대역특성을 보이고 있다. 1.95 GHz에서 입력 0 dBm인 경우 출력전력이 31 dBm과 38 %인 전력부가효율을 보이고 있다. <그림 3-8>에서 알 수 있듯이 입력전력이 0 dBm일 때 1.92-1.98 GHz대역에서 출력전력은 29 dBm 이상이며, 이 때의 부가효율은 32 % 이상의 특성을 얻고 있다.

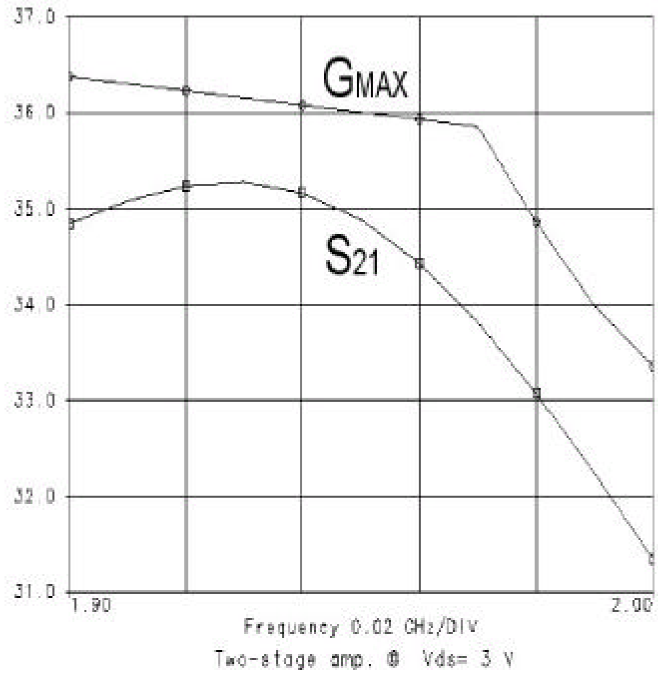
<그림 3-10>는 two-tone 입력시 증폭기의 OIP_3(3차 상호변조교차점) 특성을 보이고 있다. 이때의 출력전력 P_{1-dB}는 one-tone 입력시보다 통상적으로 3 dB감소한다. 그림에서 알 수 있듯이 이 증폭기의 OIP_3는 37 dBm으로 목표치보다 3 dB정도 작은 값으로 앞으로 진행될 연구내용은 선형성 개선을 위한 회로설계에 초점이 맞추어질 것이다.



<그림 3-6> 2단 전력증폭기 회로

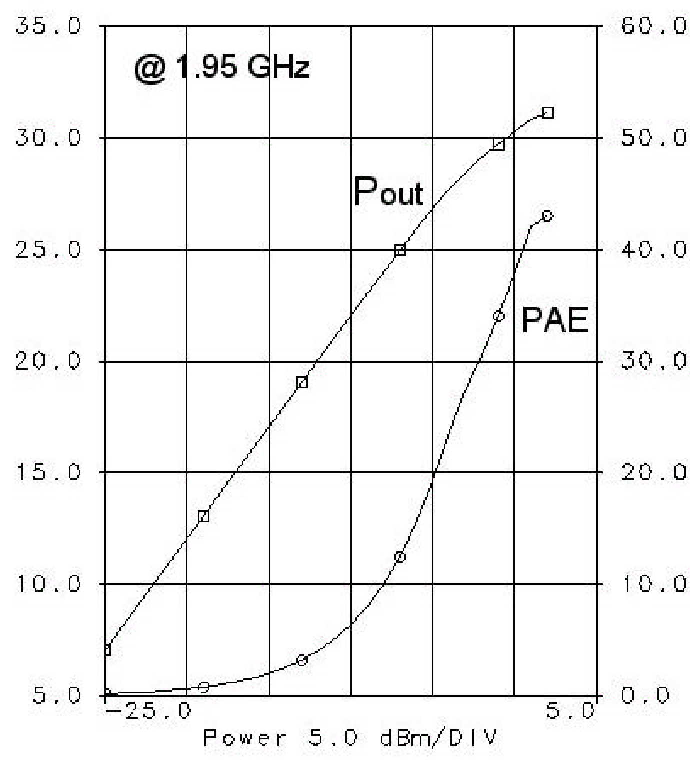


(a) **입·출력 반사계수** S_{11} **및** S_{22}

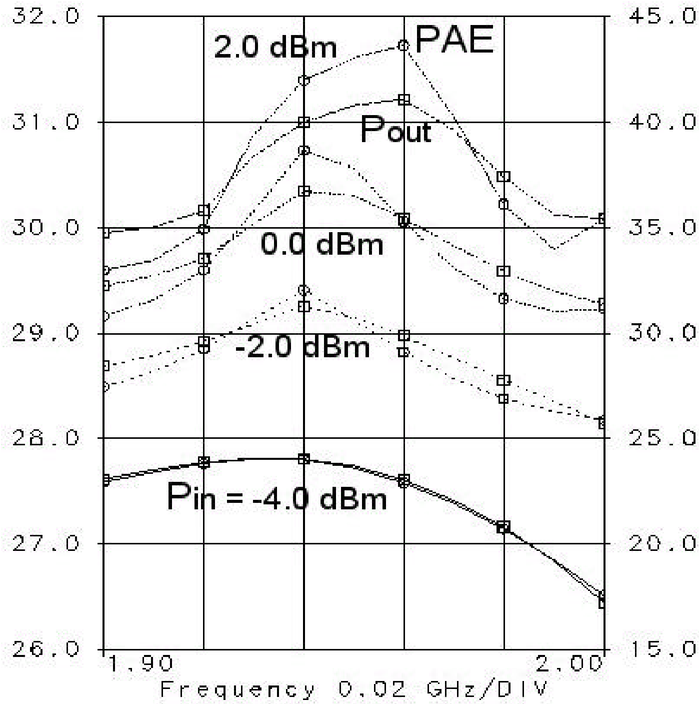


(b) **최대유능전력** Gmax**와 소신호 이득**S_{21}

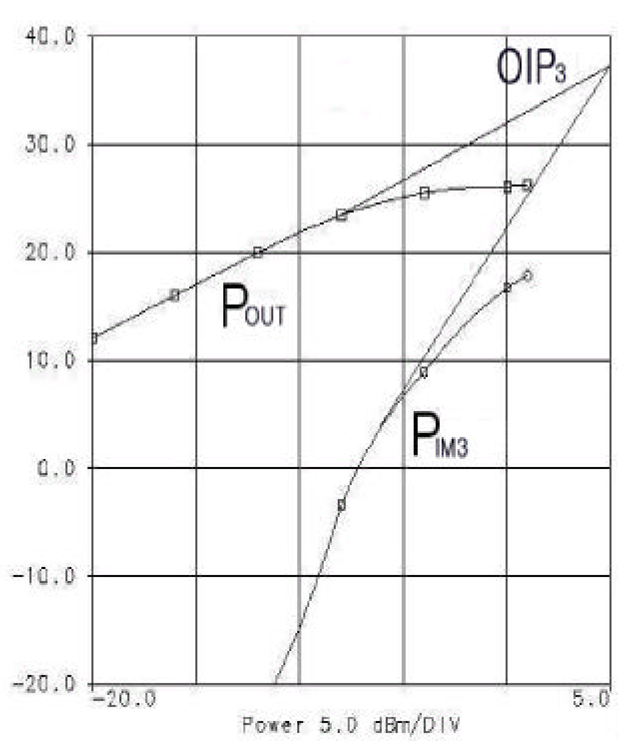
<**그림** 3-7> 2**단 전력증폭기의 소신호 특성**



<**그림** 3-8> 2**단 전력증폭기의 입·출력 전력특성 및 전력부가효율특성**



<그림 3-9> 2단 전력증폭기의 대역특성



<그림 3-10> 2단 전력증폭기의 OIP_3 특성.

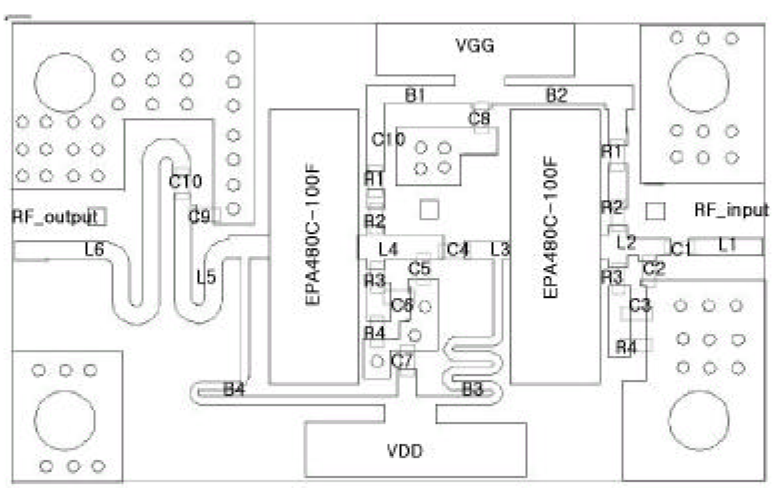
제 3 절 전력증폭기 제작 및 측정

본 절에서는 제 2 절에서 설계한 전력증폭기를 기초로 PHEMT 전력증폭기를 제작하였으며, 제작된 전력증폭기의 측정결과와 시뮬레이션 결과를 비교 및 분석하였다.

1. 전력증폭기 제작

제작에 사용된 수동소자로는 삼성전기의 저항(1×0.5 mm^2)과 시뮬레이션에서 이용한 Murata社의 커패시턴스(1×0.5 mm^2)를 사용하였다. 기판은 유전율 10.2, 유전체 두께 = 0.635 mm, 동박 두께 = 0.0178 mm인 로저스社의 듀로이드를 사용하였다.

<그림 3-11>은 제작을 위한 2단 전력증폭기의 최적화된 패턴 레이아웃과 실제 제작된 2단 전력증폭기이다. <그림 3-11 (a)>는 제작된 2단 전력증폭기의 패턴 레이아웃이며, <그림 3-11 (b),(c)>는 회로에 사용된 마이크로스트립 선로의 길이와 사용된 수동소자의 크기를 나타낸다. <그림 3-12>는 제작된 2단 전력증폭기를 보이고 있다. 회로크기는 측정을 위한 패드의 영향으로 1.5 × 2.4 cm^2 이며 패드를 제거하였을 때는 1×2 cm^2 이다.



(a) 2단 전력증폭기의 패턴 레이아웃

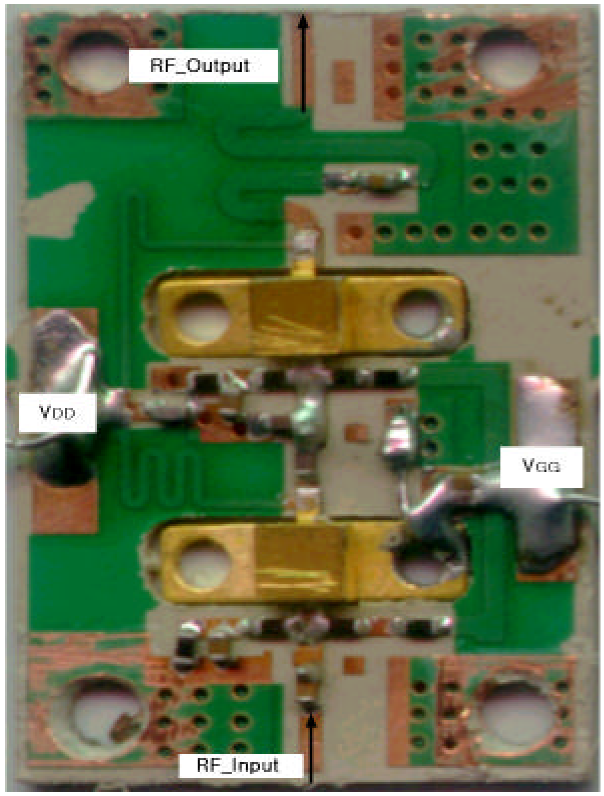
라인번호	길이(mm)	폭(mm)	특성임피던스(Ω)
L1	4	0.6	50
L2	2.3	0.6	50
L3	1.4	0.6	50
L4	2.4	0.6	50
L5	5.6	0.6	50
L6	11.4	0.6	50
B1	6	0.6	50
B2	6	0.6	50
B3	13	0.3	75
B4	13	0.3	75

(b) **마이크로스트립 선로의 길이**

소자번호	크기(pF)	소자번호	크기(Ω)
C1	30	R1	500
C2	3	R2	2.5k
C3	1000	R3	2.7k
C4	3	R4	500
C5	3		
C6	1000		
C7	1000		
C8	1000		
C9	2		
C10	30		

(c) **소자의 크기**

<**그림** 3-11> **패턴 레이아웃과 각 소자의 크기**

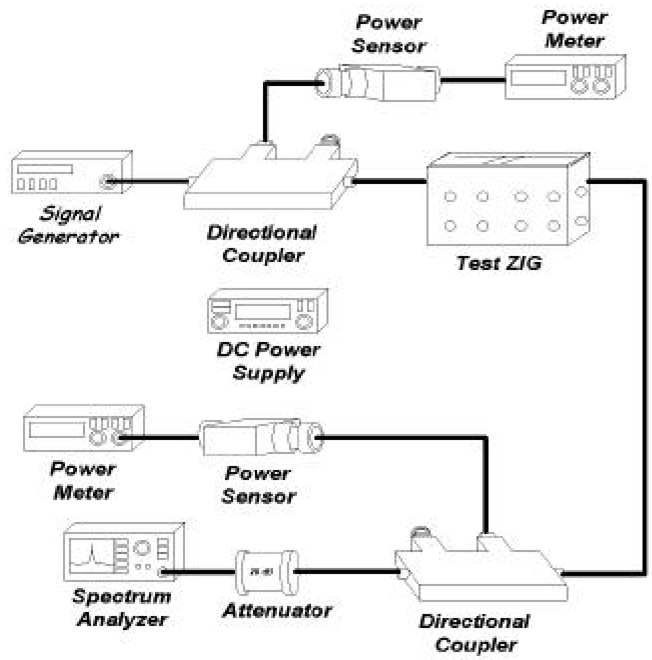


<그림 3-12> 제작된 2단 전력증폭기

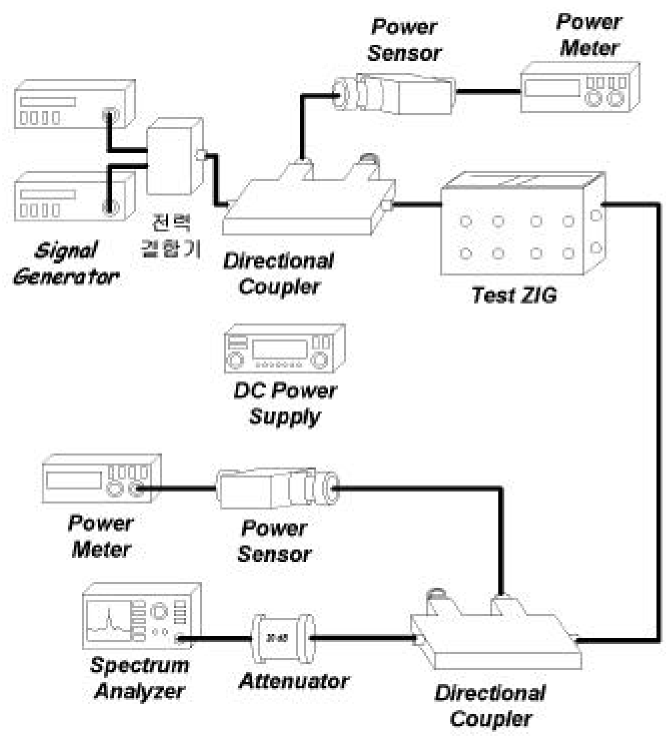
2. RF 전력 측정계

전력증폭기의 전력특성을 측정하기 위해서는 기본적으로 네트워크 분석기와 전력미터가 필요하다. 네트워크 분석기는 RF 대역 이상의 주파수에서는 필수적인 장비로 회로 및 소자의 S 파라미터를 측정하며, 전력미터로는 전력을 측정한다. 이 장비 외에도 실제 전력 특성 측정시에는 매우 복잡한 설치를 요구하는데 스펙트럼 관찰을 위한 스펙트럼 분석기, 잡음 측정을 위한 잡음미터, 여러 수동부품 등이 필요하다.

본 연구에서는 제작된 IMT-2000 단말기용 2단 전력증폭기의 전력특성을 측정하기 위하여 <그림 3-13>(a), (b)같은 측정계를 구성하였다. 먼저 one-tone test를 위하여 신호발생기 1대와 1쌍의 전력미터, 테스트 지그 등의 장비와 입·출력측의 방향성 결합기 등의 RF 부품등을 동축케이블로 연결하여 RF 전력 측정계를 구성하였고, two-tone test를 위하여 신호발생기 2대, 방향성결합기 등을 추가한 RF 전력측정계<그림 3-13(b)>를 구성하였다.



(a) one-tone test **측정계**



(b) two-tone test **측정계**

<**그림** 3-13> RF **전력 측정계**

신호발생기에서 공급하는 주파수는 IMT-2000 **단말기용 전력증폭기의 상향주**

파수(1.92 1.98 GHz)이며, -30 dBm부터 입력전력 레벨을 크게하여 입력전력에 대한 출력전력을 측정하였다. 입력측의 방향성 결합기의 경우, 전력증폭기에 공급되는 신호의 전력을 정확히 측정하기 위해 전력미터를 연결하여 사용하며, 측정시 사용한 전력미터의 경우 30 dBm 이상의 신호는 포화특성으로 인해 감지하지 못하므로 출력측에 감쇄기를 연결하여 -20 dBm 감소된 출력신호의 전력을 정확히 측정할 수 있다. 테스트 지그는 증폭기를 고정하기 위해 제작된 장비이다.

<그림 3-13>와 같은 RF 전력 측정계를 이용하여 2단 전력증폭기의 특성을 측정하기전에 RF 전력측정계의 손실을 측정하였으며, 입력전력의 변화에 대한 신호발생기와 테스트지그간의 손실, 테스트지그와 전력미터간의 손실을 <표 3-2>, <표 3-3>에 나타내었다.

신호발생기 입력	테스트지그 입력	손 실
-20 dB	-20.65 dB	0.65 dB
-10 dB	-10.57 dB	0.64 dB
0 dB	-0.66 dB	0.66 dB
5 dB	4.34 dB	0.66 dB
10 dB	9.31 dB	0.69 dB
평 균		0.66 dB

<표 3-2> 입력전력에 대한 신호발생기와 테스트 지그간의 손실

테스트지그 출력	전력미터	손 실
0 dB	-21.17 dB	20.51 dB
5 dB	-16.24 dB	20.58 dB
10 dB	-11.23 dB	20.54 dB
평 균		20.54 dB

<표 3-3> 테스트 지그와 전력미터간 손실 (감쇄기 20 dB 포함)

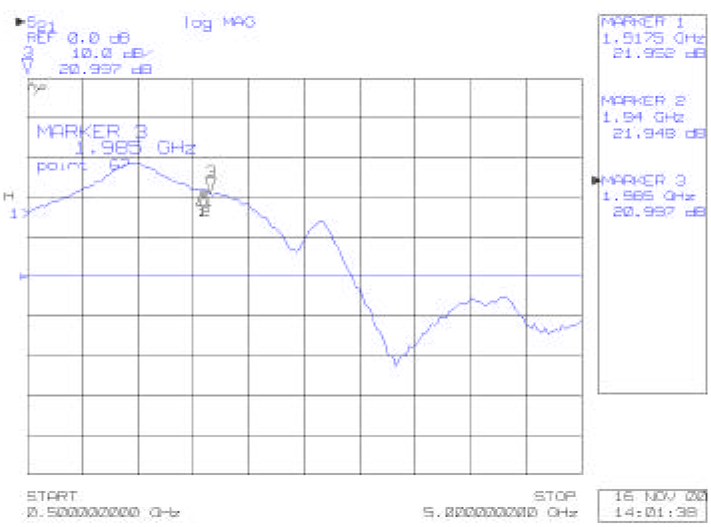
<표 3-2>는 사용주파수대의 중심주파수인 1.95 GHz에서 측정한 결과로 입력

전력의 변화에 대한 신호발생기와 테스트지그간의 손실이 평균 0.66 dB임을 알 수 있다. 따라서 실제 입력되는 전력에 0.66 dB를 더해준 값이 실제 회로에 공급되는 전력이 된다. <표 3-3>은 출력단의 손실을 측정한 것으로써, 20 dB 감쇄기의 값을 포함한 평균 20.54 dB의 손실을 얻었다. 따라서 출력 전력의 값에 20.54 dB를 더해준 값이 정확한 출력 전력이 된다. 다음절에 기술되는 측정값은 위와 같은 교정법을 적용하여 교정한 값이다.

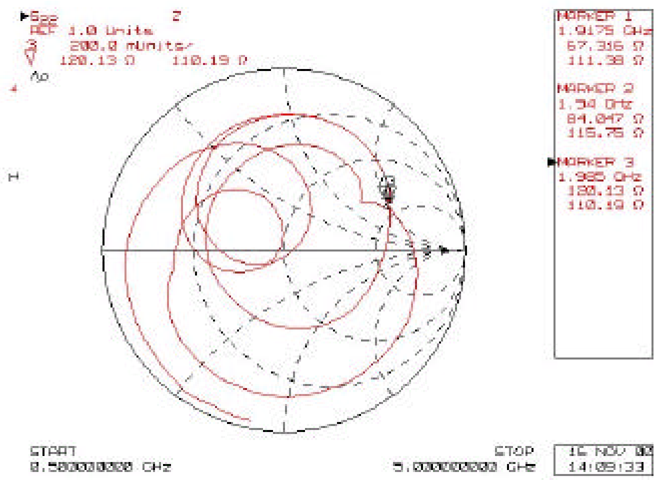
3. 측정 결과

HP社의 Network Analyzer(8510C)와 Power meter를 이용하여 2단 전력증폭기의 특성을 측정하였다. 바이어스 조건은 V_{GS} = -0.8 V, V_{DS} = 3 V이다. <그림 3-14 16>은 IMT-2000의 상향주파수 대역(1.92-1.98 GHz)에서 측정한 2단 전력증폭기의 소신호 특성이다.

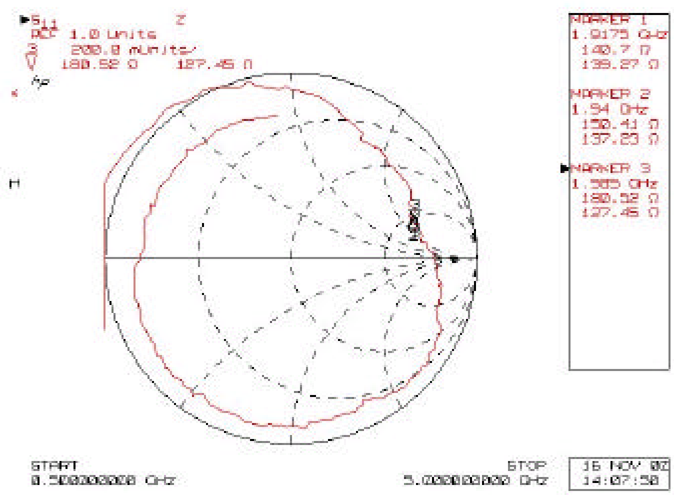
선형이득은 사용주파수 대역에서 21 dB 이상의 값을 얻었다. 대역에서 500 MHz 정도 이격된 지점에서 정합되어 28 dB의 선형이득을 보이고 있으며, 입력 손실이 시뮬레이션보다 큰 결과를 <그림 3-16>에서 보이고 있다.



<그림 3-14> 2단 전력증폭기의 선형이득

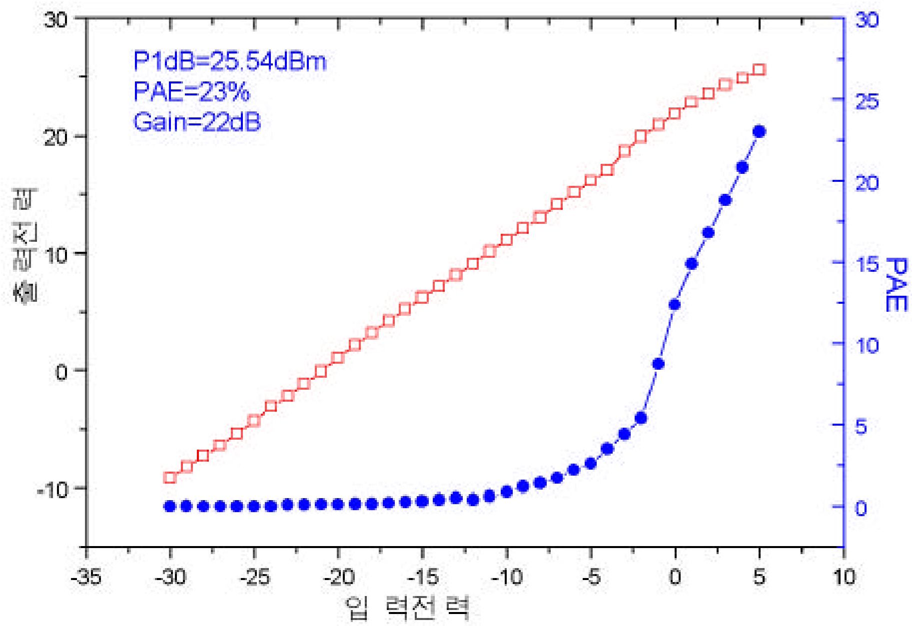


<그림 3-15> 2단 전력증폭기의 S_{22}

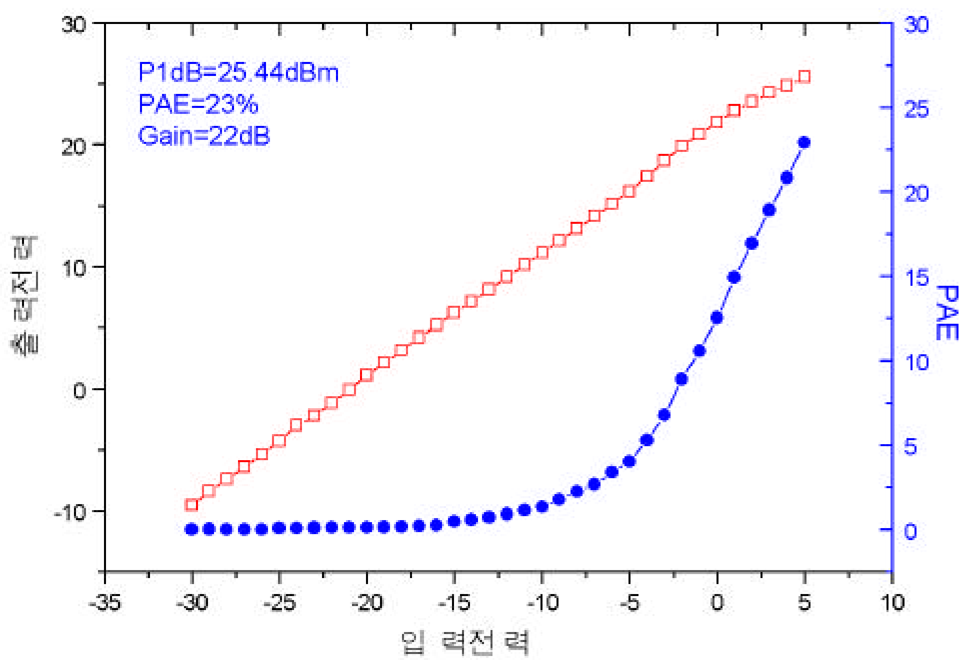


<그림 3-16> 2단 전력증폭기의 S_{11}

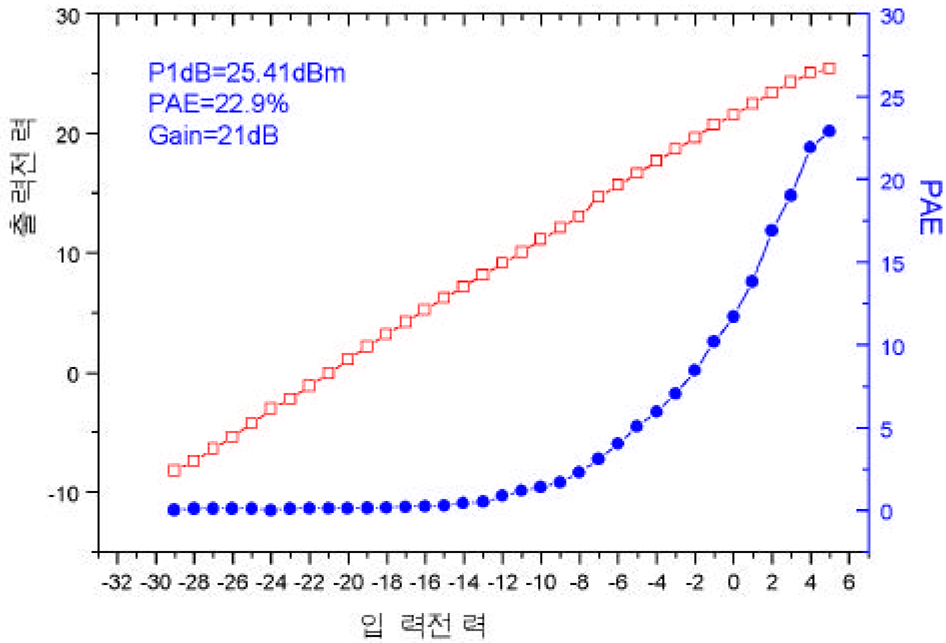
<그림 3-17 19>은 2단 전력증폭기의 입、출력 전력 특성을 나타낸다. 25.4 dBm(P_{1dB})이상의 출력전력을 얻었으며, 21 dB 이상의 전력이득과 22% 이상의 전력부가효율을 얻었다. <그림 3-20>는 대역특성을 나타내며, 본 연구의 목표 주파수 대역인 1.92-1.98 GHz 대역에서 5 dBm 입력전력 공급시 25.4 dBm 이상의 출력전력을 얻고있다



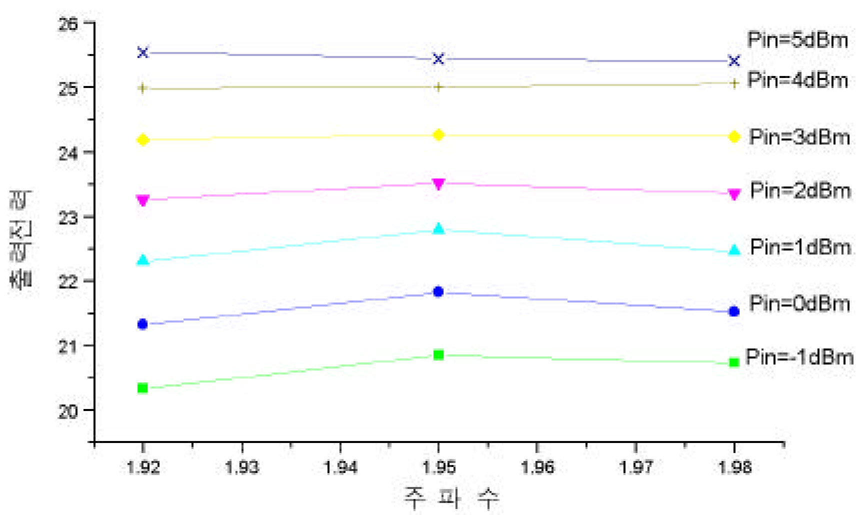
<**그림** 3-17> 2**단 전력증폭기의 입·출력 전력 특성** (@ 1.92 GHz)



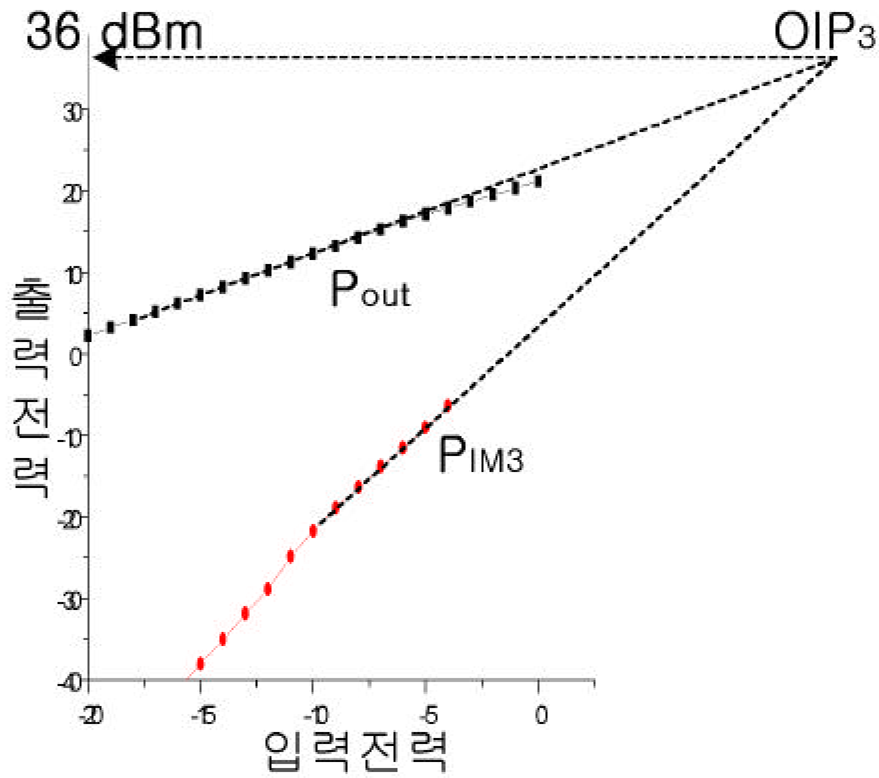
<**그림** 3-18> 2**단 전력증폭기의 입·출력 전력 특성** (@ 1.95 GHz)



<**그림** 3-19> 2**단 전력증폭기의 입·출력 전력 특성** (@ 1.98 GHz)



<**그림** 3-20> 2**단 전력증폭기의 대역특성**



<그림 3-21> 2단 전력증폭기의 OIP_3 특성

전력증폭기의 선형성을 측정하기 위하여 two-tone test를 실행하였다. <그림 3-13>(b)의 측정계와 같이 2대의 신호발생기를 사용하였고, 각각의 주파수를 f_1 = 1.945 GHz, f_2 = 1.955 GHz인 두 신호를 이용하여 IM_3(1.94 GHz, 또는 1.96 GHz에서 전력이 큰 값)성분의 전력을 측정하였다.

<그림 3-21>에서 two-tone 입력시 증폭기의 OIP_3(3차 상호변조교차점) 특성은 36 dBm을 얻고 있다. 목표값보다 4 dB정도 작은 값으로 출력측의 정합회로가 전력정합과 선형정합을 모두 만족한 생태는 아니다. 향후 이에 대한 보완연구가 필요할 것이다.

제 4 장 HEMT 저잡음증폭기 설계 및 제작

저잡음증폭기는 수신부의 최전단에 위치하며, 전제 수신부의 입력 반사손실과 잡음 지수를 결정한다. 그러므로 저잡음증폭기 자체의 잡음지수는 최소를 나타내야 하며, 상대적으로 잡음지수가 큰 뒷단의 RF부품(주파수 혼합기, 발진기등) 등이 수신부 전체 잡음지수에 주는 영향을 줄이기 위해 충분히 큰 이득을 가져야 한다[24]. 하지만 이득정합과 잡음정합의 차이로 인해 낮은 잡음지수와 낮은 입력측 반사손실은 서로 trade-off 관계[25]가 있다. 즉, 잡음지수를 낮추기 위한 잡음정합을 할 경우 입력측 반사손실이 커지고, 반면 입력측 반사손실을 줄이기 위한 정합을 할 경우 잡음지수는 커지게 된다. 위와 같은 저잡음증폭기의 문제점은 직렬 궤환 소자인 인덕터를 이용하여 해결 할 수 있다[26]. 본 연구에서도 1차년도 연구에서 제작되었던 저잡음증폭기의 다소 큰 입력측 반사손실을 줄이기 위하여 직렬 궤환 형태를 채택하였다.

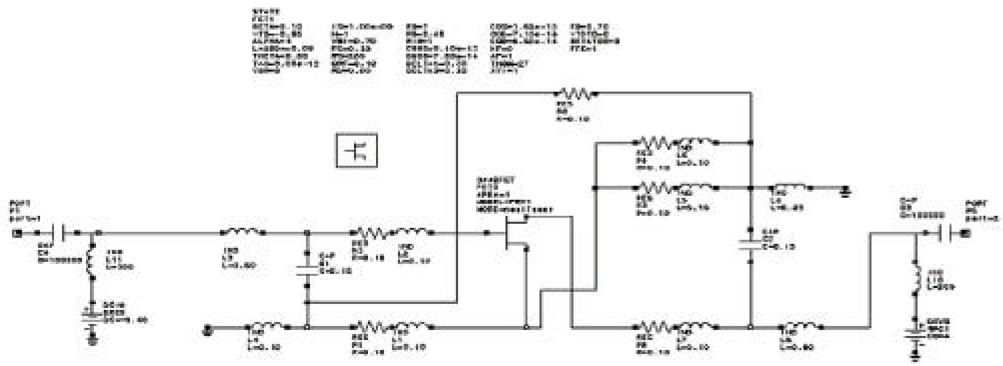
단말기용 회로는 단말기 건전지의 기전력에 의존해야 하므로 낮은 소비전력 특성을 가져야 한다. 본 연구의 저잡음증폭기도 이런 특성을 위하여 바이어스 조건을 V_{DS} = 3 V, V_G = -1 V, I_{DS} = 20 mA로 바꿔 재 설계 하였다. <표 4-1>에서는 설계사양을 보이고 있다.

	목표사양
동작주파수	2.11 - 2.17 GHz
잡음지수	≤ 1.5 dB
선형이득	≥ 30 dB
이득평탄도	± 1 dB
IP_3	≥ 10 dBm

<표 4-1> RFIC 일체형 안테나용 저잡음증폭기의 설계목표

제 1 절 저잡음 PHEMT의 소신호 등가회로 모델

본 설계에서 사용된 HP社의 ATF-35143 PHEMT 등가회로는 제작사로부터 제공된 아래의 Statz등가회로 모델을 이용하여 구현하였다[27].



<그림 4-1> 패키지를 포함하는 HEMT 소신호 등가회로 모델

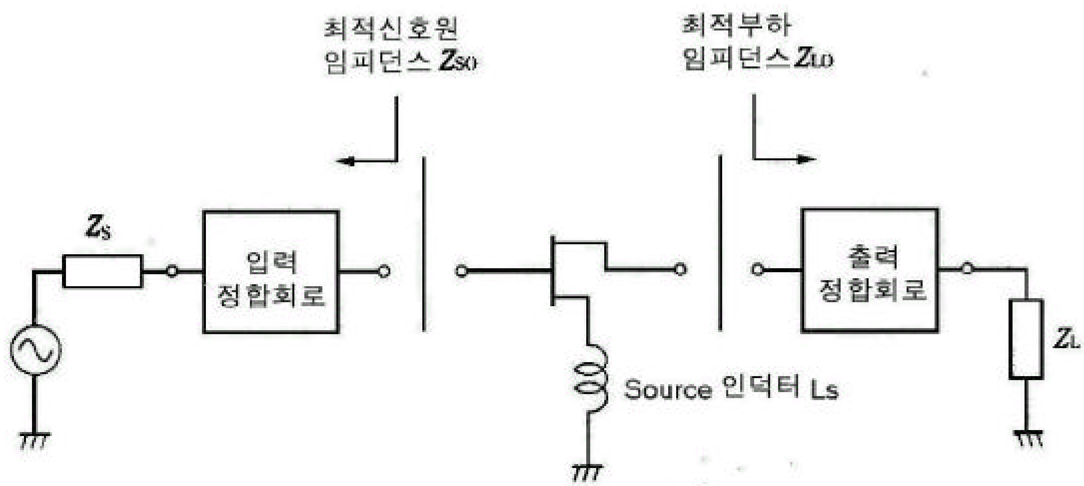
Beta =0.1	FC = 0.35	KF = 0	VBR = 5	EG = 0.7
VTO = -0.95	Rc = 250	AF = 1	Is = 1e-09	VTOTC = 0
Alpha = 4	CRF 0.1	TNOM = 27	N = 1	BETATCE = 0
Lambda = 0.09	RD = 1.5	XTI = 1	VBI = 0.7	FFE = 1
Theta = 0.3	RG = 7	Delta1 = 0.3	RIN = 1	CGS = 7.1e-13
Tau = 5e-12	RS = 0.45	Delta2 = 0.2	CDS = 1.8e-13	CGD = 6.2e-14

<표 4-2> HP의 ATF-35143 HEMT의 소신호 등가회로 파라미터

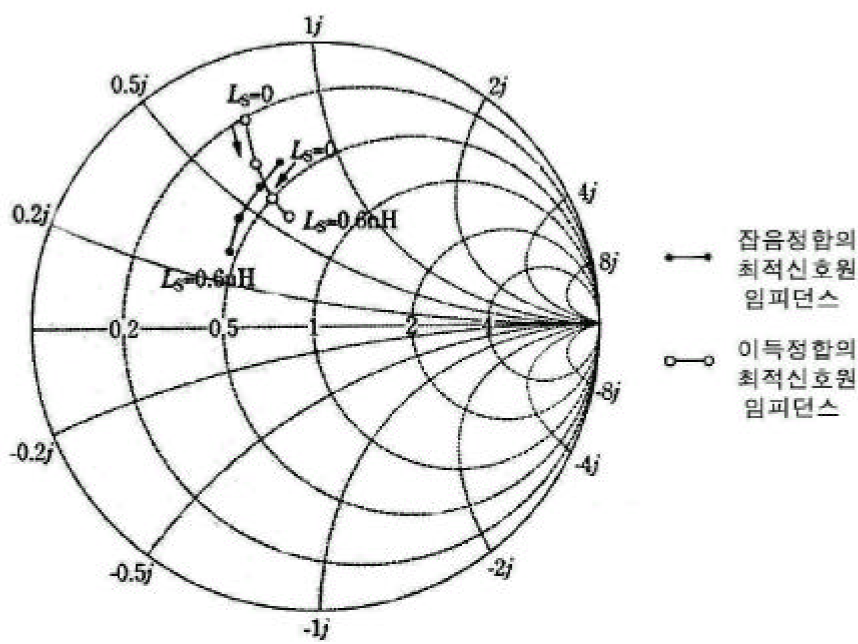
제 2 절 직렬 궤환 2단 저잡음증폭기 설계

일반적인 저잡음증폭기의 설계에서는 능동소자의 입력 단자로부터 바라보아 신호원 임피던스와 잡음정합의 임피던스가 일치하도록 입력 정합회로를 설계한다[32]. 그러나 잡음정합의 임피던스는 이득정합의 임피던스와 다른 위치에 있으며, 이 결과로 입력 반사손실이 크다는 문제가 있다. 이런 문제점을 해결하기 위하여 잡음정합과 이득정합의 임피던스를 가깝게 시킬 필요가 있다. 이런 목적에서 많이 사용되고 있는 방법으로, <그림 4-2>에 보이는 직렬 궤환 소자인 소스 인덕터를 사용하는 방법이 있다. 소스 인덕터는 직렬 궤환 소자이며, 증폭기 이득을 저하시키는 단점이 있지만, 최소잡음지수(F_{min})에 영향을 미치지 않으며 이득정합의 임피던스를 크게 변화시킬 수 있기 때문에 증폭기 안정성을 향상시

킬 수 있다는 이점이 있다. <그림 4-3>**에 보인바와 같이 소스 인덕터의 값을 변화시키면, 잡음정합과 이득정합의 임피던스가 변화하지만, 일반적으로 두 임피던스가 접근하는 방향으로 변화하기 때문에 특정의 주파수에서는 상당히 가깝게 할 수 있다**[26]. **이와 같이 소스 인덕터를 사용하는 것으로 입력 반사손실 특성이 양호한 저잡음증폭기를 설계 할 수 있다.**



<**그림** 4-2> **직렬 궤환을 이용한 저잡음증폭기**



<**그림** 4-3> **직렬 궤환 소자의 크기에 따른**
잡음정합과 이득정합 임피던스의 변화

본 연구에서 사용하는 저잡음 소자(HP社 ATF-35143)의 이득 특성상 설계 목표 사양인 선형이득 30 dB 이상을 만족하기 위하여, 회로구성은 2단 저잡음증폭기의 형태를 채택하였다. 전단 저잡음증폭기는 최소잡음특성을 얻기 위한 반사계수 Γ_{OPT}에 임피던스정합을 하였고, 입력 반사손실을 향상시키기 위하여 직렬 궤환 형태로 설계하였다[28, 29, 30]. 후단 이득증폭기는 목표사양인 선형이득을 만족하기 위해 이득을 위주로 설계하였고, 증폭기의 고선형화, 안정화를 시키기 위하여 병렬 궤환 형태로 설계하였다.

1. 전단 저잡음증폭기

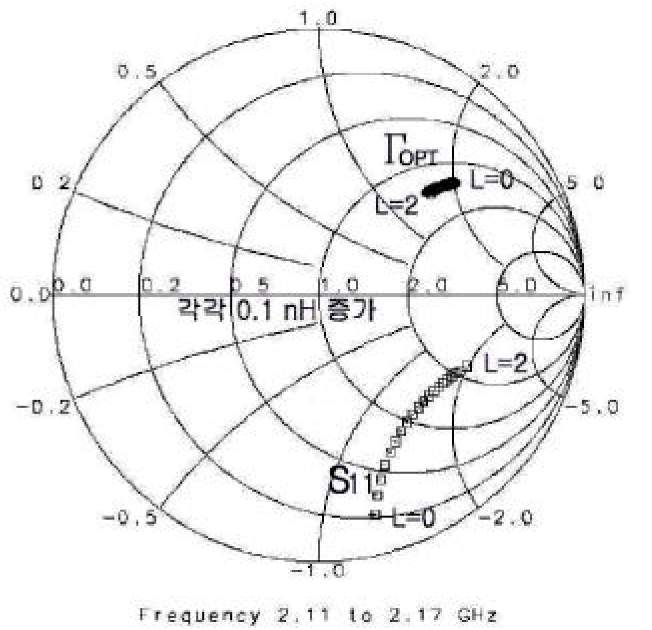
저잡음증폭기의 설계시 고려사항은 잡음지수, 선형이득, 입/출력 반사손실, 안정도 등이 있다. 하지만 이런 사항을 고려한 설계에 있어서 가장 큰 문제점은 최소잡음지수를 얻는 임피던스 정합점과 최대 허용 이득을 얻는 임피던스 정합점이 같지 않다는 것이다. 낮은 잡음지수를 얻기 위해 입력단자를 Γ_{OPT}에 정합시키면 잡음지수는 최소잡음지수(F_{min})으로 낮아지지만 입력단의 반사손실은 커지게 되는 문제점이 있다.

입력 반사손실을 줄이기 위한 방법으로 isolator를 사용한 강제 정합방식과 평형구조를 이용한 정합방식, 직렬 궤환을 이용한 방법들이 있다[26]. isolator를 사용한 경우는 삽입손실과 잡음지수의 증가라는 단점이 있고, 90° hybrid등을 이용한 경우는 그 크기의 증가가 불가피하게 된다.

본 연구에서 저잡음증폭기는 칩 안테나와의 일체화를 최종 목표로 하므로 저잡음증폭기의 크기는 안테나의 접지면($18 \times 12\ mm^2$)에 맞추어 설계되어야 하므로 회로크기의 증가는 큰 문제점으로 나타난다. 이와 같은 이유에서 본 연구에서는 직렬 궤환 형태를 채택하였다. 소스 인덕터를 직렬 궤환 소자로 사용하였고, 최소잡음지수(F_{min})에 크게 영향을 미치지 않으며 이득정합점을 크게 변화시킬 수 있는 장점과 회로 크기의 큰 변화가 없다는 이점이 있다.

<그림 4-4>은 직렬 궤환 소자인 소스 인덕터의 크기에 따른 저잡음 PHEMT의 S_{11}과 Γ_{OPT}의 변화를 보이고 있다. <표 4-3>는 소스 인덕터의 값에 따른 잡음 정합점과 이득정합점의 변화와 G_{max}, F_{min}의 변화를 보이고 있다. 직렬 궤환 소자의 값은 목표사양 잡음지수와 선형이득과 제작요건을 고려하여 1.1 nH로 결

정하였다.

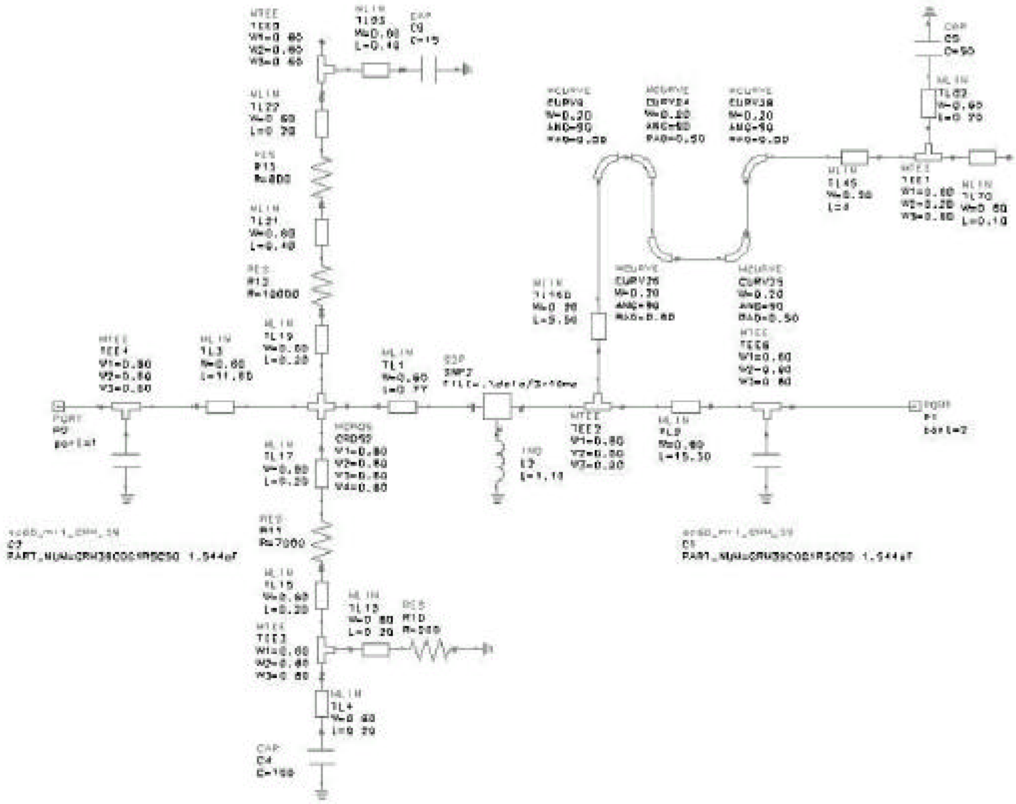


<그림 4-4> Ls값에 따른 PHEMT(ATF-35143)의 Γ_{OPT}와 S_{11}의 변화

	S_{11}*		Γ_{OPT}		G_{max} (dB)	F_{min} (dB)
	mag	ang	mag	ang		
L=0	0.846	76.2028	0.6632	39.6359	18.17	0.29
L=0.1	0.7813	74.2983	0.6587	39.8092	18.25	0.29
L=0.3	0.6806	68.9903	0.6496	40.1522	18.08	0.29
L=0.5	0.6445	62.3185	0.6403	40.4896	17.58	0.29
L=0.7	0.5766	55.1630	0.6307	40.8201	17.00	0.29
L=0.9	0.5599	48.3004	0.6209	41.1425	16.17	0.29
L=1.1	0.5576	42.2109	0.6109	41.4553	14.9	0.29
L=1.3	0.5646	37.0666	0.6006	41.7570	14.14	0.28
L=1.5	0.5770	32.8364	0.5902	42.0459	13.68	0.28

<표 4-3> 직렬 궤환 소자값에 따른 S_{11}*과 Γ_{OPT} 변화

중심주파수 2.14 GHz에서 최소잡음지수를 위한 Γ_{OPT}($0.64\angle 40.5$)를 결정하여 입력 정합회로를 설계하였다. <그림 4-5>는 전단 저잡음증폭기를 보이고 있다.

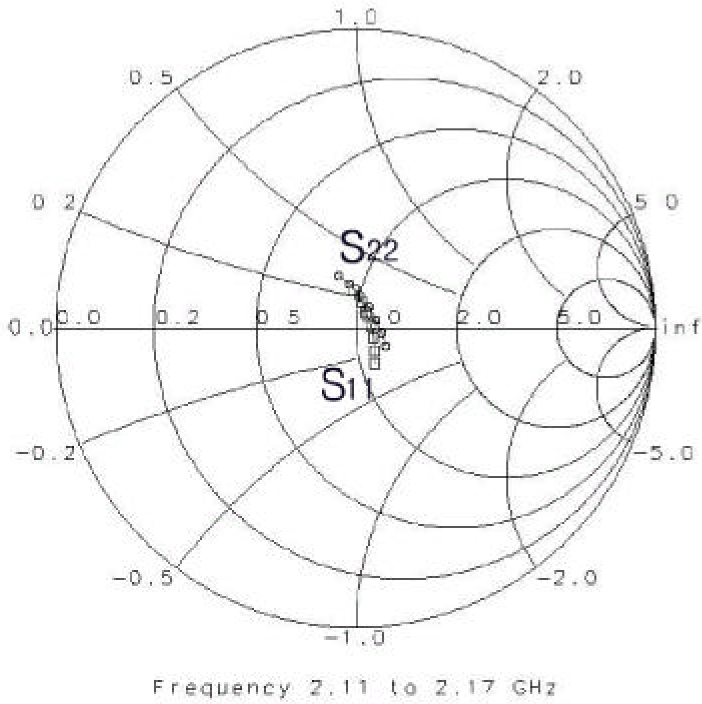


<그림 4-5> 전단 저잡음증폭기 회로도

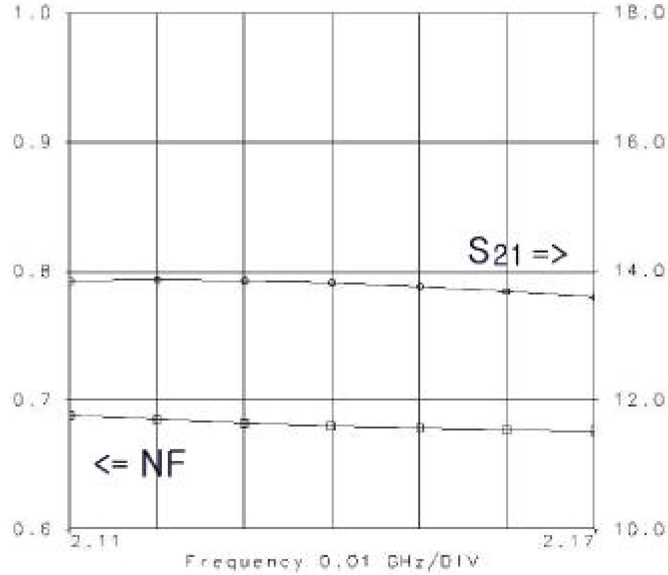
전단 저잡음증폭기의 시뮬레이션 결과인 S_{11}과 S_{22}를 <그림 4-6>에서 보이고 있다. 저잡음증폭기의 입력단은 최소잡음지수를 얻는 임피던스 정합점과 최대 허용이득을 얻는 임피던스 정합점이 다르기 때문에 일반적으로 S_{11}의 크기가 큰 결과를 보인다. 하지만 본 연구에서는 직렬 궤환 소자인 소스 인덕터의 사용으로 S_{11}의 특성이 향상되었다. S_{22}의 경우는 후단의 증폭기와의 결합을 고려한 정합회로의 설계로 50Ω에 정합됨을 보이고 있다. 2.11-2.17 GHz대역에서 입력측 방사손실 -25.5 dB 이상이며, 출력측 반사손실 -27.7 dB 이상이다.

<그림 4-7>에서는 전단 저잡음증폭기의 잡음지수와 S_{21}을 보이고 있다. S_{21}의 시뮬레이션 결과는 목표주파수 대역에서 13.6 dB 이상의 대역 특성을 보이고 있다. 직렬 궤환 형태로 인해 입력측 반사손실은 향상시켰지만, 이득의 경우는 감소되는 결과를 보였다. 잡음지수의 결과는 0.69 dB 이하의 결과를 보이고 있다.

바이어스 회로는 RF신호에 영향을 미치지 않게 설계하였다. PHEMT의 입력측(gate) 바이어스회로를 전압분배 회로를 이용하여 -0.6 V가 인가 될 수 있도록 설계하였다. 출력측(drain) 바이어스회로는 λ/4 마이크로스트립 선로와 bypass capacitor를 사용하여 설계하였다. 이 회로는 설계하는 중심주파수에서는 capacitor와 마이크로스트립선로에 의해 개방으로 보이므로 정합회로에 영향을 주지 않는다.



<그림 4-6> 전단 저잡음증폭기 S_{11}과 S_{22}



<그림 4-7> 전단 저잡음증폭기 잡음지수(NF)와 소신호 이득(S_{21})

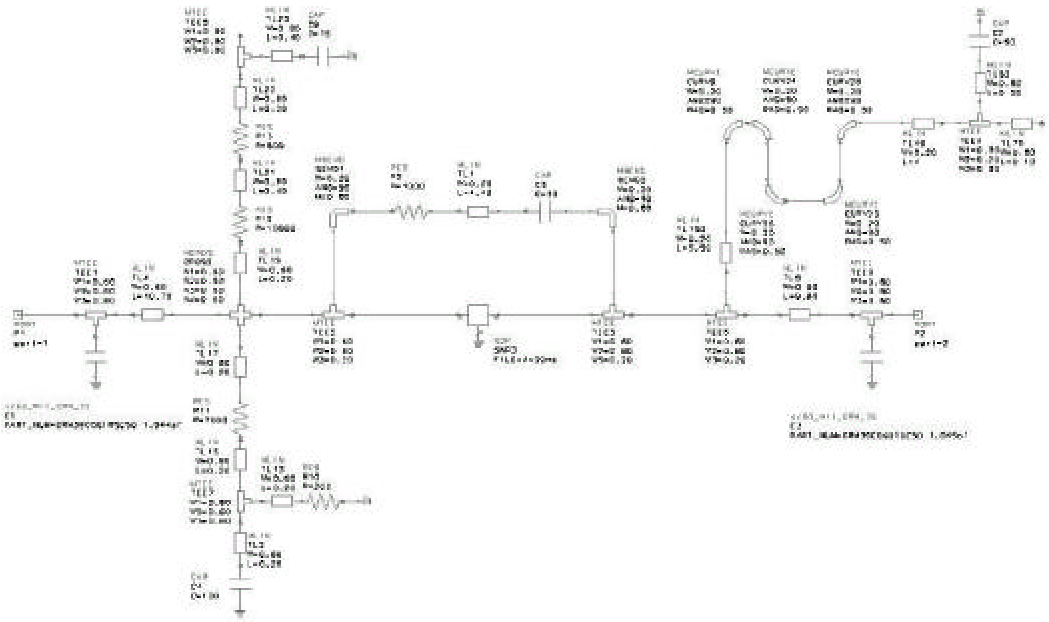
2. 후단 이득증폭기

전단 증폭기의 선형이득(S_{21})은 동작주파수 대역에서 13.6 dB 이상을 보였다. 하지만 설계목표사양인 30 dB를 만족하기 위해서는 약 15 dB 이상의 선형이득 특성을 갖는 이득증폭기를 후단에 설계하여야 한다. 그리고 다른 RF부품들과 부가적인 회로를 사용하지 않고 결합하여 사용하기 위해서는 후단의 출력측 반사손실을 -10 dB 이하로 낮추어야 한다.

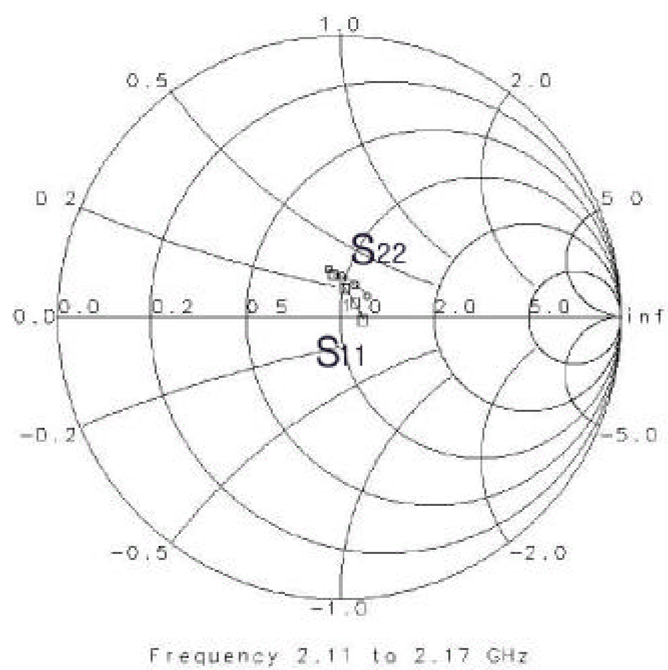
후단의 이득증폭기는 위의 사항을 고려하여 설계하였고, 후단 이득증폭기의 경우는 증폭기를 광대역화, 고선형화, 안정화시킬 수 있는 방법으로 병렬 궤환 형태를 채택하여 설계하였다. <그림 4-8>에서 후단 이득 증폭기의 회로도를 보이고 있다.

일반적으로 궤환에 의하여 비선형 성분들은 $1+\beta A$(β: 궤환이득, A:증폭기 이득)으로 나누어지기 때문에 향상된 선형성을 얻을 수 있다[31]. <그림 4-9>에서는 후단 이득 증폭기의 S_{11}과 S_{22}를 보이고 있다. S_{11}의 경우는 전단 저잡음증폭기의 출력측 소신호 특성 S_{22}와 공액정합이 되도록 정합회로를 설계하였다. S_{22}는 수신단의 다른 RF부품과의 결합을 위해 50Ω에 정합하였다.

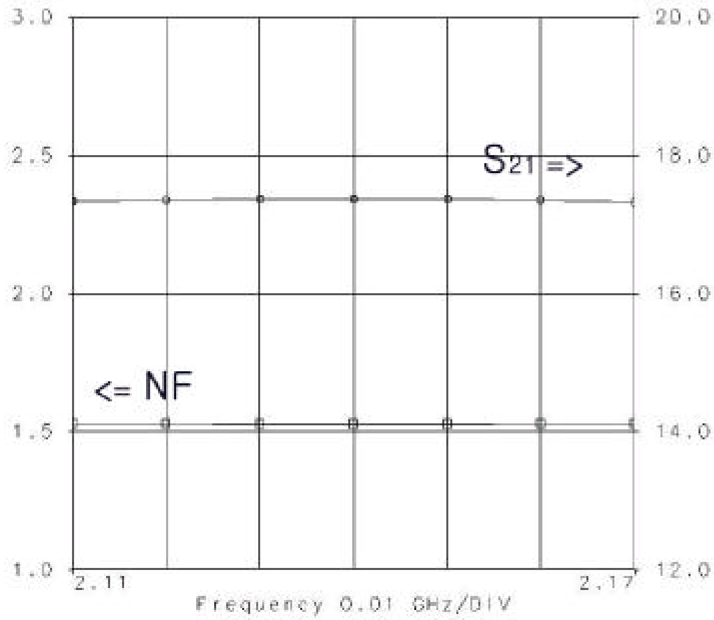
목표주파수 대역에서 후단 이득증폭기의 잡음지수는 1.54 dB 이하와 S_{21}은 17.3 dB 이상의 특성을 <그림 4-10>에서 보이고 있다. 시스템 전체의 잡음지수는 전단의 잡음지수에 따라 결정되어지므로 후단의 다소 높은 잡음지수는 크게 영향을 주지는 않는다.



<그림 4-8> 후단 이득증폭기 회로도



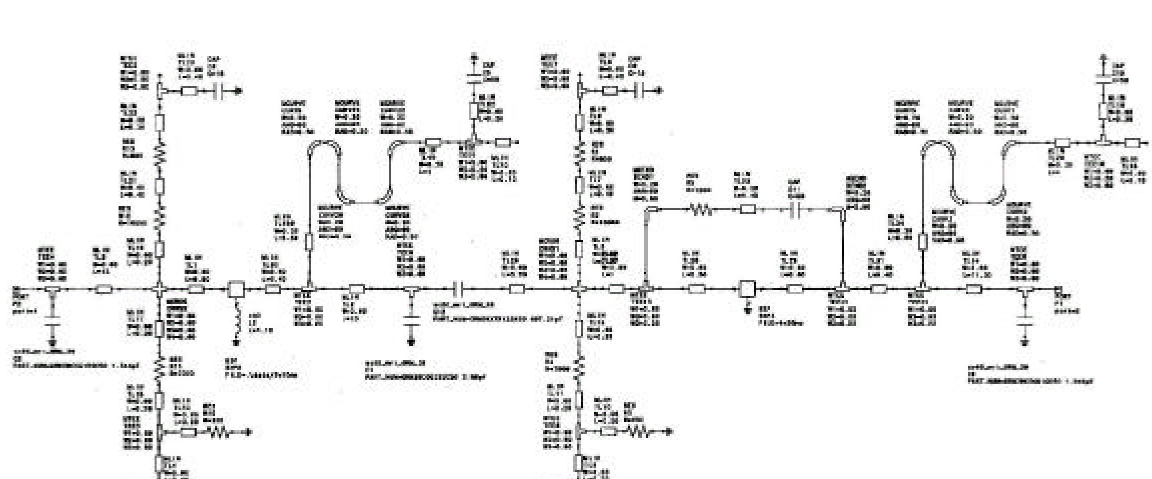
<그림 4-9> 후단 이득증폭기의 S_{11}과 S_{22}



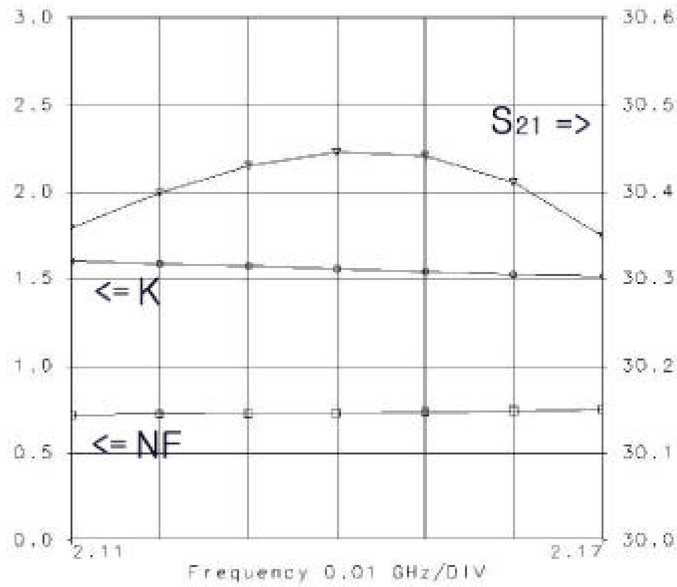
<그림 4-10> 후단 이득증폭기의 잡음지수(NF)와 소신호 이득(S_{21})

3. 직렬 궤환 2단 저잡음증폭기

전단 저잡음증폭기와 후단 이득증폭기를 단간정합과 최적화를 통하여 2단 저잡음증폭기를 설계하였다[32]. <그림 4-11>, <그림 4-12>에서는 2단 저잡음증폭기의 회로와 시뮬레이션결과를 보이고 있다.

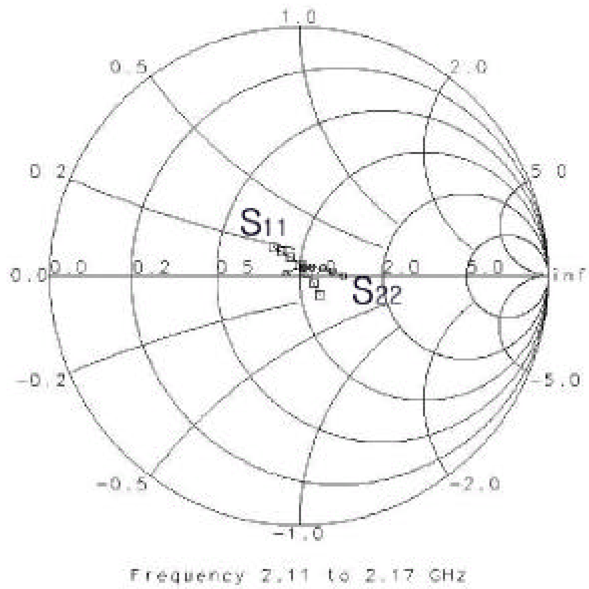


<그림 4-11> 2단 저잡음증폭기 회로도



<그림 4-12> 2단 저잡음증폭기의 시뮬레이션 특성결과

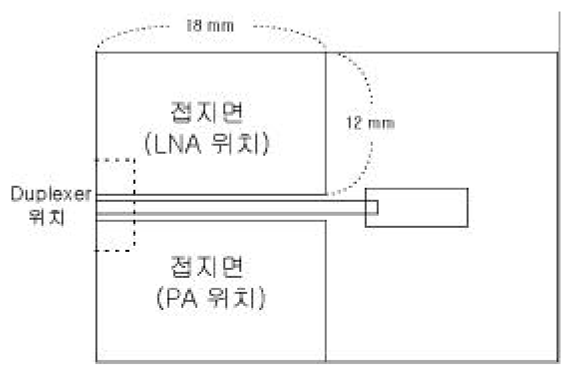
목표주파수 대역 2.11-2.17 GHz에서 잡음지수 0.76 dB 이하의 결과를 보이고 있다. 안정계수 K는 부궤환효과로 1이상의 안정한 상태를 이루고 있다. S_{21}의 결과는 0.1 dB의 이득 평탄도를 가지며, 목표주파수 대역에서 30.3 dB 이상의 특성을 보이고 있다. <그림 4-13>에서는 2단 저잡음증폭기의 S_{11}, S_{22}에 대한 시뮬레이션 결과를 보이고 있다. 목표주파수 대역에서 입력 VSWR과 출력 VSWR은 1.4이하의 결과를 보이고 있다.



<그림 4-13> 2단 저잡음증폭기의 S_{11}과 S_{22}

4. 직렬 궤환 2단 저잡음증폭기 패턴 레이아웃

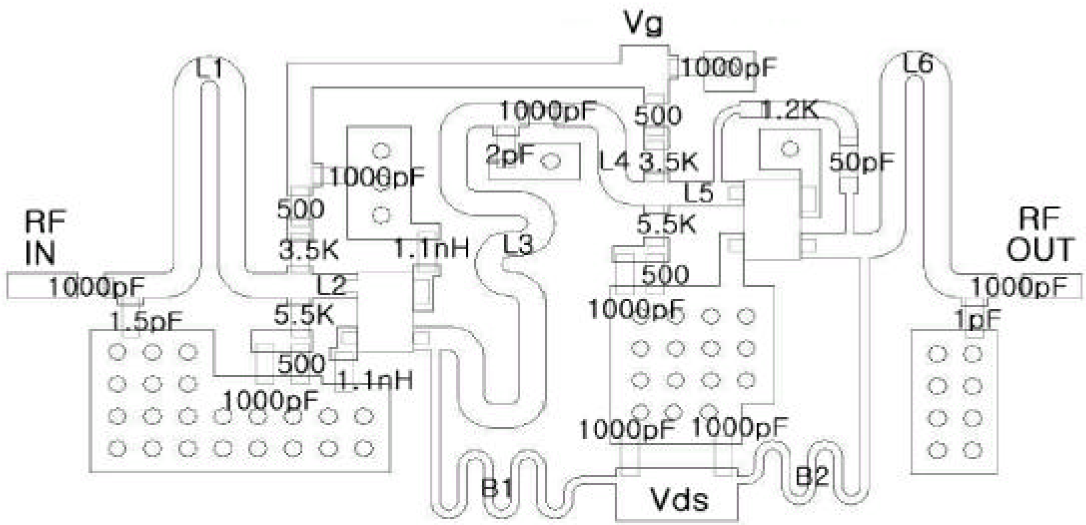
본 연구의 2단 저잡음증폭기의 형태는 칩 안테나와의 일체화를 위해 안테나의 접지면에 위치하는 형태를 가지게 될 것이다. <그림 4-14>에서는 저잡음증폭기와 전력증폭기가 결합될 안테나의 접지면을 보이고 있다.



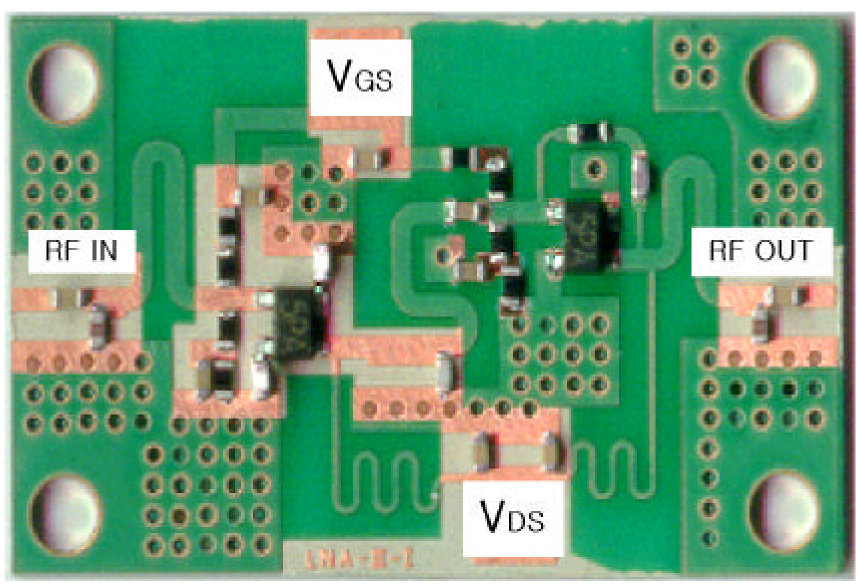
< 그림 4-14> 칩 안테나의 접지면 (RFIC 일체화 부분)

패턴설계는 HP-EEsof 社 Libra의 패턴 레이아웃을 기초로 하였고, AutoCAD를 이용하여 실제 제작용 패턴 레이아웃을 설계하였다. 2단 저잡음증폭기의 패턴 레이아웃은 칩 안테나의 접지면을 고려하여 그 크기가 18×12 mm^2를 넘지 않게 실행하였다. 기판의 비유전률(10.3)과 두께(0.635 mm)을 고려하여, 50Ω 마

이크로스트립라인 폭을 0.6 mm로 결정하였으며, RF선로사이의 coupling을 고려하여 실행하였다[27]. <그림 4-15>에서는 패턴 레이아웃과 실제 제작한 저잡음증폭기를 보이고 있고, <표 4-4>에서는 패턴 레이아웃상의 마이크로스트립선로의 길이와 칩의 크기를 정리하였다.



(a) 패턴 레이아웃



(b) 제작된 직렬 궤환 2단 저잡음증폭기

<그림 4-15> 직렬 궤환 2단 저잡음증폭기

라인번호	길이(㎜)	폭(㎜)	특성임피던스(Ω)
L1	12	0.6	50
L2	0.8	0.6	50
L3	15	0.6	50
L4	5.2	0.6	50
L5	1.5	0.6	50
L6	2.5	0.6	50
B1	13.5	0.2	75
B2	13.5	0.2	75

(a) 패턴 레이아웃상에서 마이크로스트립라인의 길이

소자번호	크기	소자번호	크기
C1	1000 pF	R1	5.5k
C2	1.5 pF	R2	500
C3	1000 pF	R3	3.5k
C4	2 pF	R4	500
C5	1000 pF	R5	500
C6	1000 pF	R6	3.5k
C7	50 pF	R7	500
C8	1 pF	R8	1200
C9	1000 pF	R9	500
C10	1000 pF	L1	2.2 nH
C11	1000 pF	L2	2.2 nH

(b) 패턴 레이아웃 상에서 각 소자의 크기

<표 4-4> 제작된 패턴 레이아웃의 각 소자의 크기

제 3 절 직렬 궤환 2단 저잡음증폭기의 측정결과

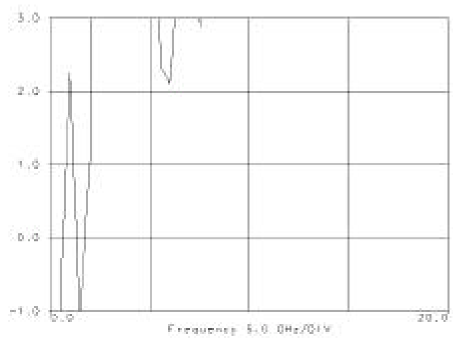
실제 제작된 직렬 궤환 2단 저잡음증폭기의 측정 주파수대역은 설계 목표 주파수대역과 동일한 2.11 2.17 GHz이며, 바이어스조건 V_{DS} = 3 V, V_{G} = -1 V, I_{DS} = 20 mA의 경우에서 측정하였다.

제작된 직렬 궤환 2단 저잡음증폭기는 측정 중 나타난 발진으로 인해 그 특성을 보일 수 없었다. 발진현상이 일어난 주파수대역은 8 10 GHz이며, 발진에 대한 분석은 다음과 같다.

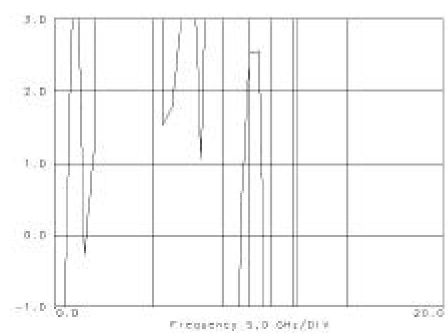
발진 원인은 직렬 궤환 소자인 인덕터로 추정할 수 있다. 제작된 직렬 궤환

저잡음증폭기의 설계는, PHEMT(ATF-35143)의 제작사로부터 제공된 실측정 S 파라미터를 이용하여 실행하였다. 하지만 직렬 궤환 형태의 저잡음증폭기가 안정적으로 동작하기 위해서는 능동소자만의 실측정 S 파라미터를 이용한 설계로는 불충분하다. 즉, 직렬 궤환 형태의 저잡음증폭기 설계에는 능동소자에 직렬 궤환 소자인 소스 인덕터가 포함되었을 경우의 실측정 S 파라미터를 이용하여 설계해야 한다[33].

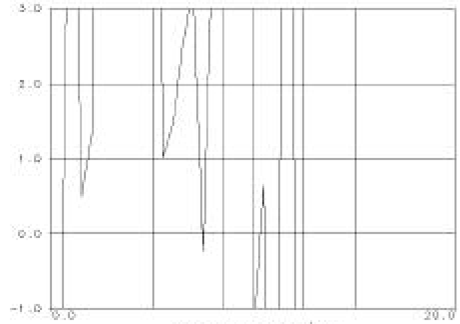
이와 같은 발진의 원인을 확인하기 위하여 다음과 같은 시뮬레이션을 하였다. <그림 4-16>에서는 주파수대역 0 20 GHz에서 직렬 궤환 소자인 소스 인덕터의 값에 따른 회로의 안정계수 K의 시뮬레이션 결과를 보이고 있다. 직렬 소스 인덕터의 크기가 0 nH에서 0.2 nH씩 증가함에 따라 안정계수는 점차적으로 1 이하의 특성을 보이고 있다. 이러한 특성 변화는 7 12.5 GHz에서 발생되고 있으며, 실제 제작된 직렬 궤환 저잡음증폭기의 실측정에서 나타난 발진 현상의 주파수대역과 근사한 주파수대역에서 보이고 있다.



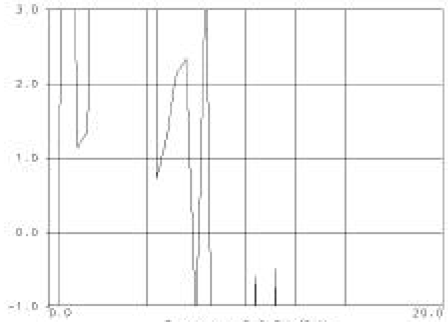
(a) Ls = 0 nH 경우



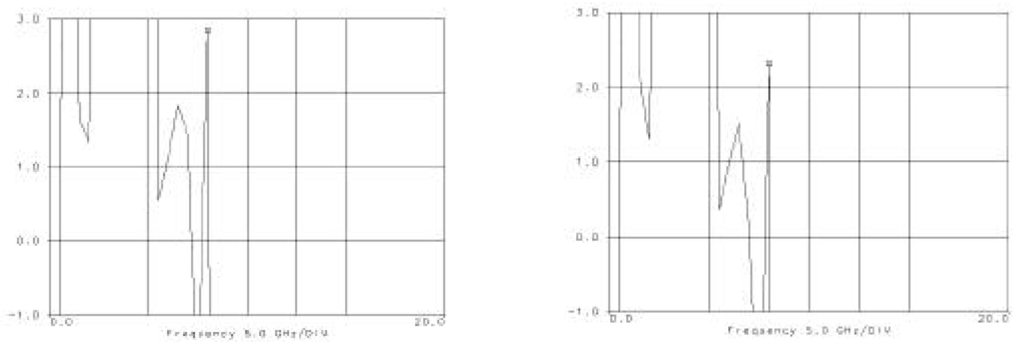
(b) Ls = 0.2 nH 경우



(c) Ls = 0.4 nH 경우



(d) Ls = 0.6 nH 경우



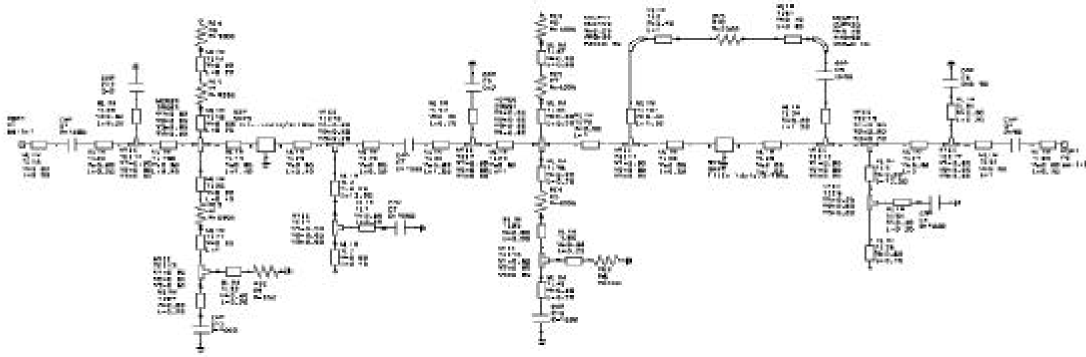
(e) Ls = 0.8 nH 경우 (f) Ls = 1.1 nH 경우

<그림 4-16> 직렬 궤환 소자 소스 인덕터(Ls)값에 따른 안정계수의 변화

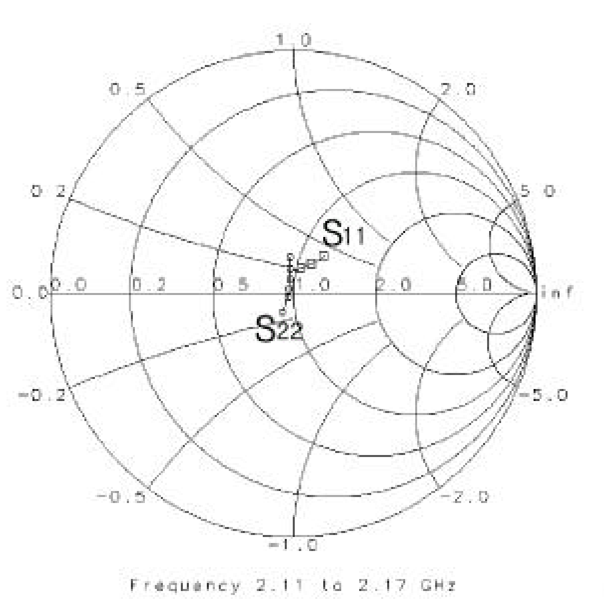
제 4 절 Γ_{OPT} 정합과 이득정합이 trade off된 저잡음증폭기

1. 입력 정합회로의 최적화를 통한 저잡음증폭기 설계

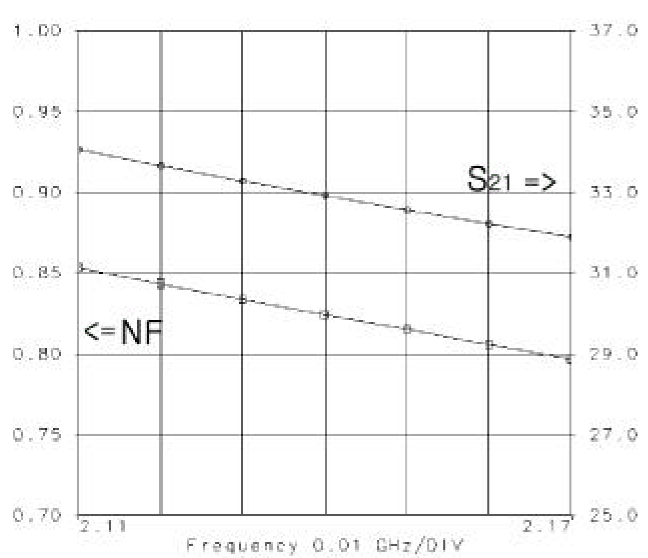
제 3 절의 측정결과를 바탕으로 설계시의 문제점을 해결하기 위해 다른 형태의 저잡음증폭기를 재 설계하였다. 재 설계한 저잡음증폭기는 직렬 궤환 소자 소스 인덕터를 사용하지 않고 입력측 정합회로를 조절하여 소신호 이득, 잡음지수와 입력측 VSWR을 최적화시켰다. <그림 4-17>에서 재 설계된 2단 저잡음증폭기를 보이고 있으며, <그림 4-18>, <그림 4-19>에서는 잡음지수는 0.85 dB 이하, 소신호 이득 32 dB 이상, 입·출력 VSWR 1.5 이하의 시뮬레이션 결과를 보이고 있다.



<그림 4-17> 재 설계된 2단 저잡음증폭기의 회로



<그림 4-18> 재 설계된 2단 저잡음증폭기의 S_{11}과 S_{22}



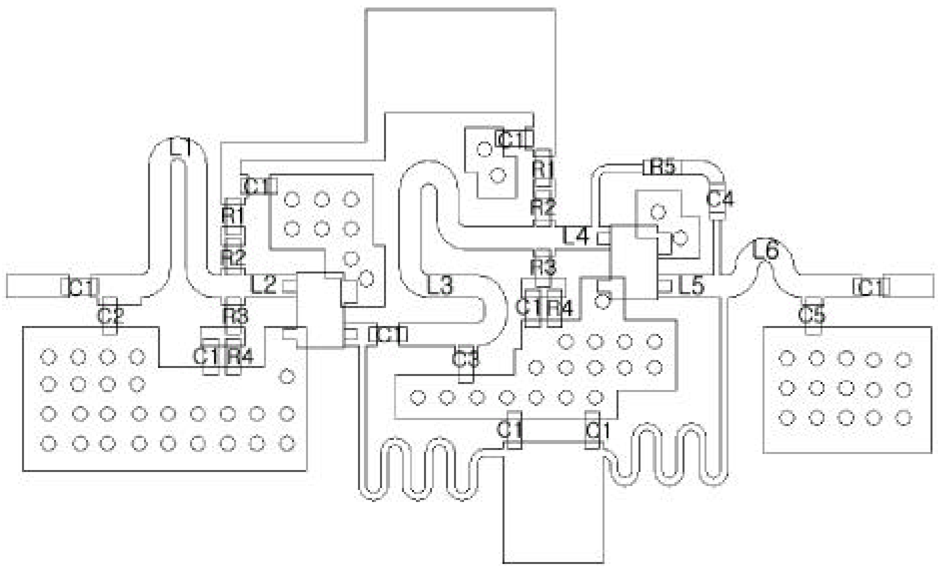
<그림 4-19> 재 설계된 2단 저잡음증폭기의 잡음지수와 소신호 이득

이런 설계는 직렬 궤환 저잡음증폭기의 설계 특성인 0.76 dB 이하의 잡음지수 보다는 약간 높은 0.85 dB 이하의 대역특성을 보이고 있지만, 소신호 이득은

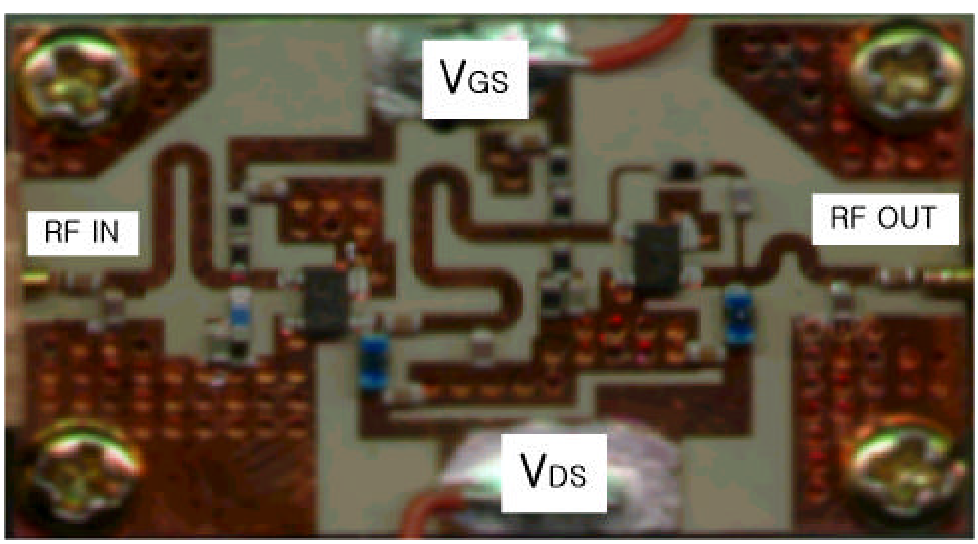
32 dB 이상으로 2 dB 높은 대역 특성을 보이고 있다.

2. 입력 정합회로의 최적화를 통한 저잡음증폭기 제작 및 측정

재 설계된 저잡음증폭기는 직렬 궤환 저잡음증폭기와 동일한 과정으로 패턴 레이아웃하였으며, 제작에 사용한 기판 역시 비유전률 10.2, 두께 0.635 mm의 듀로이드 기판을 사용하였다. <그림 4-20>은 제작된 패턴 레이아웃과 실제 제작된 저잡음증폭기를 보이고 있다.



(a) 재 설계된 2단 저잡음증폭기의 패턴 레이아웃



(b) 재 설계된 2단 저잡음증폭기의 시작품

<그림 4-20> 재 설계된 2단 저잡음증폭기

라인번호	길이(㎜)	폭(㎜)	특성임피던스(Ω)
L1	9.4	0.6	50
L2	1.4	0.6	50
L3	11	0.6	50
L4	1	0.6	50
L5	1.5	0.6	50
L6	3	0.6	50

(a) 패턴 레이아웃상에서 마이크로스트립라인의 길이

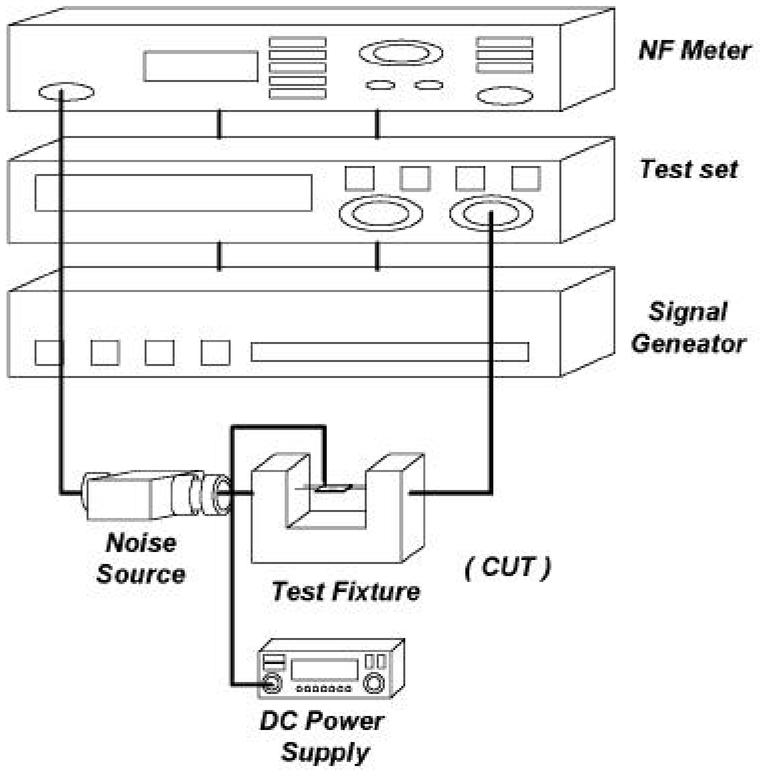
소자번호	크기	소자번호	크기
C1	1000 pF	R1	5.5k
C2	2 pF	R2	500
C3	2 pF	R3	3.5k
C4	51 pF	R4	500
C5	0.5 pF	R5	500

(b) 패턴 레이아웃상에서 각 소자의 크기

<표 4-5> 재 설계된 2단 저잡음증폭기 패턴 레이아웃의 소자의 크기

제작된 Γ_{OPT} 정합과 이득정합의 상관관계 최적화를 통한 저잡음증폭기는 주파수대역 2.11 2.17 GHz, 바이어스조건 V_{DS} = 3 V, V_G = -1 V의 경우에서 측정하였다.

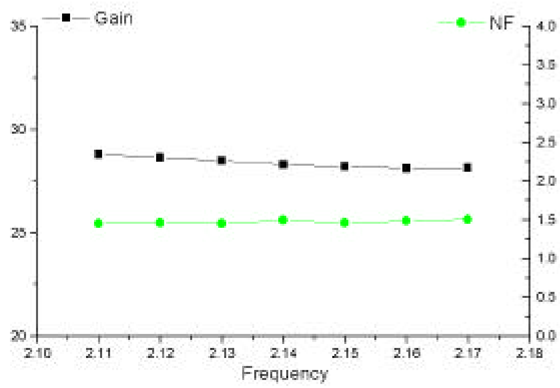
<그림 4-21>에서는 실제 측정에 사용되었던 잡음지수 측정시스템의 개략도를 보이고 있다. 잡음지수 측정시스템은 HP8970(Noise Figure Meter)의 측정 가능 주파수 범위를 2.11 2.17 GHz(대역폭 60MHz) 이상에 맞추기 위해 HP8971(NF Test Set과 신호 발생기) 등을 이용하여 <그림 4-21>에서와 같이 설치하였다. 제작된 2단 저잡음증폭기(<그림 4-21>에서 DUT)는 테스트지그를 이용하여 고정시켰으며, 회로로부터 연결된 전선을 통해 바이어스 전압을 인가하였다. 이와 같이 잡음지수 측정시스템을 설치한 후, 증폭기의 잡음지수와 소신호이득을 측정하기전 잡음지수측정 시스템내의 손실을 고려하기 위하여 교정(Calibration)을 수행하였다.



<그림 4-21> 잡음지수 측정시스템 개략도

<그림 4-22>에서 실제 측정된 결과를 보이고 있다. 주파수 2.11 GHz에서 잡음지수는 1.45 dB, 소신호 이득은 28.7 dB인 측정결과를 보이며, 중심주파수 2.14 GHz에서는 잡음지수 1.49 dB, 소신호 이득 28.3 dB의 측정결과를 보이고 있다. 2.17 GHz에서는 잡음지수 1.49 dB, 소신호 이득 28.1 dB인 측정결과를 보이고 있다.

2.11 2.17 GHz의 주파수 대역(대역폭 60 MHz)에서 전반적인 특성으로 잡음지수는 1.5 dB 이하의 잡음특성과 약 28 dB 이상의 소신호 이득 특성을 보이고 있다. 잡음지수의 평탄도(flatness)는 0.1 dB의 대역 평탄성을 보이고 있으며, 소신호 이득의 경우 평탄도는 ±1 dB를 나타나고 있다.

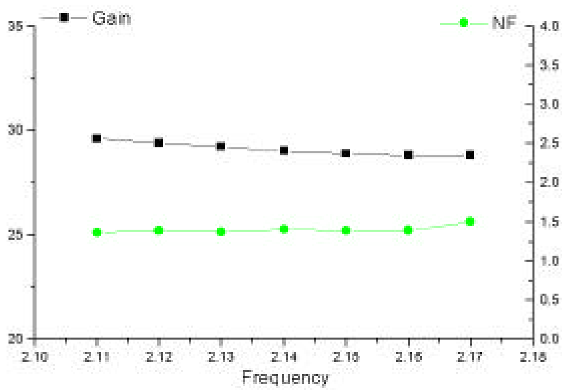


주파수	Gain	NF
2.11	28.79	1.453
2.12	28.63	1.456
2.13	28.48	1.453
2.14	28.29	1.49
2.15	28.19	1.463
2.16	28.11	1.481
2.17	28.13	1.498

<그림 4-22> Γ_{OPT} 정합과 이득정합의 상관관계 최적화를 통한 저잡음증폭기의 소신호 이득과 잡음지수(NF)

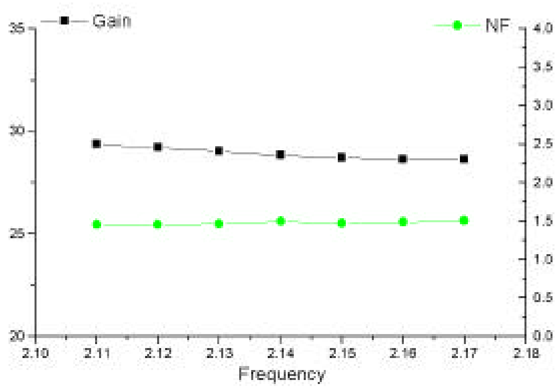
V_{DS}를 2.5 V, 3.6 V로 변화시킬 때의 잡음지수와 소신호 이득의 변화는<그림 4-23> (a), (b)에 보이고 있다. (a)에서는 목표주파수 대역에서 잡음지수 1.4 dB 이하, 소신호 이득 28 dB이상의 특성을 보이고 있으며, (b)에서는 잡음지수 1.5 dB이하, 28 dB이상의 소신호 이득 특성을 보이고 있다. (a), (b) 두경우 모두 대역 평탄도는 잡음지수 ±0.1 dB, 이득은 ±1 dB의 결과를 보이고 있다. 잡음지수와 소신호 이득의 V_{DS}에 대한 전반적인 특성 변화를 알아보기 위하여, V_{DS} = 2.5 V, 3 V, 3.6 V에서 측정하였다. 측정은 목표 주파수 대역의 중심 주파수인 2.14 GHz에서 실행하였으며, <그림 4-24>에서 그 의존성을 보이고 있다.

V_{DS}가 2.5 V에서 3.6 V까지 변화할 때, 잡음지수는 1.5 dB이하로 ±0.08 dB의 편차를 보이고 있으며, 소신호 이득은 28 dB이상으로 ±0.01 dB의 편차를 보이고 있다. 또한, 잡음지수와 소신호 이득의 I_{DS} 의존성을 알아보기 위하여 I_{DS}를 변화시켜 측정하였다. 그 측정결과를 <그림 4-25>에 보이고 있다. V_{DS}는 3 V로 고정하고 V_G를 변화시켜 I_{DS}가 38, 43, 49, 55 mA로 변화할 때의 특성을 측정하였다. 잡음지수는 1.5 dB 이하로 ±0.8 dB의 편차를 보이고 있으며, 소신호 이득은 28.5 dB 이상으로 ±0.8 dB의 편차를 보이고 있다



주파수	Gain	NF
2.11	29.6	1.365
2.12	29.38	1.391
2.13	29.2	1.374
2.14	28.99	1.407
2.15	28.87	1.388
2.16	28.79	1.393
2.17	28.78	1.435

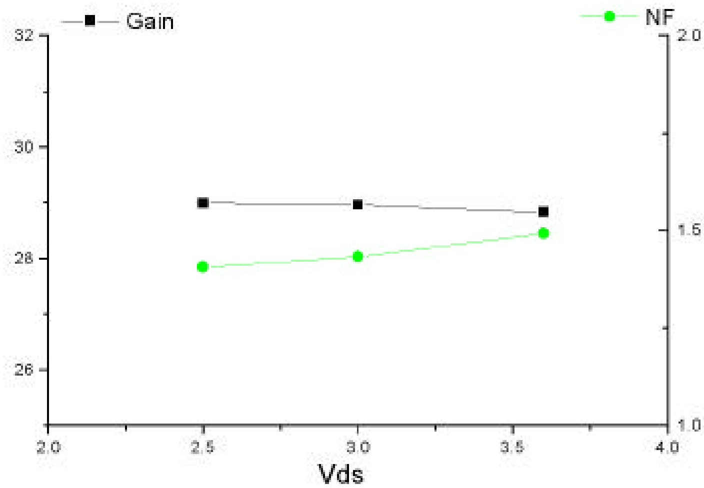
(a) V_{DS} = 2.5 V, I_{DS} = 44 mA



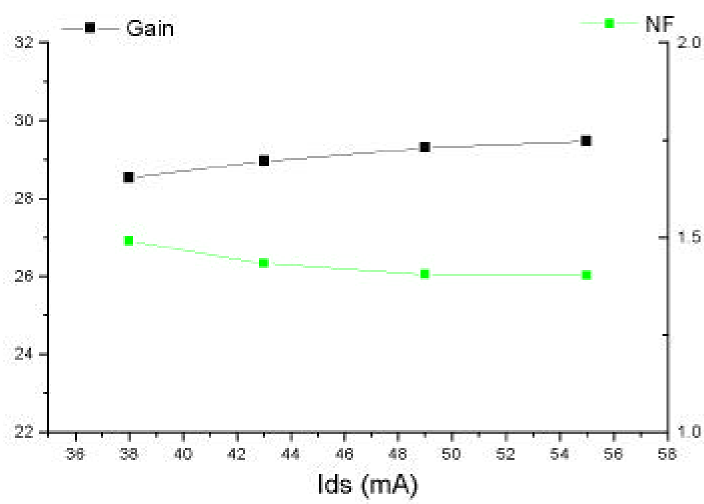
주파수	Gain	NF
2.11	29.37	1.452
2.12	29.2	1.454
2.13	29.02	1.465
2.14	28.83	1.492
2.15	28.72	1.474
2.16	28.64	1.484
2.17	28.64	1.507

(b) V_{DS} = 3.6 V, I_{DS} = 44 mA

<그림 4-23> I_{DS} = 44 mA **일 때**, (a) V_{DS} = 2.5 V, (b) V_{DS} = 3.6 V**의 바이어스 조건에서 잡음지수와 소신호 이득의 주파수 의존성**



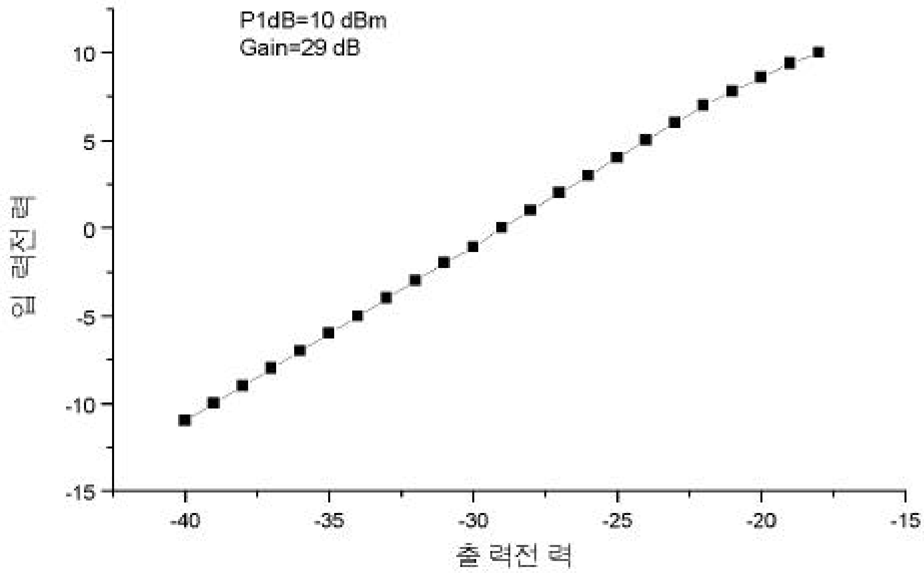
<그림 4-24> 중심주파수(2.14 GHz)에서
잡음지수와 소신호 이득의 V_{DS} 의존성 (I_{DS} = 44 mA 고정)



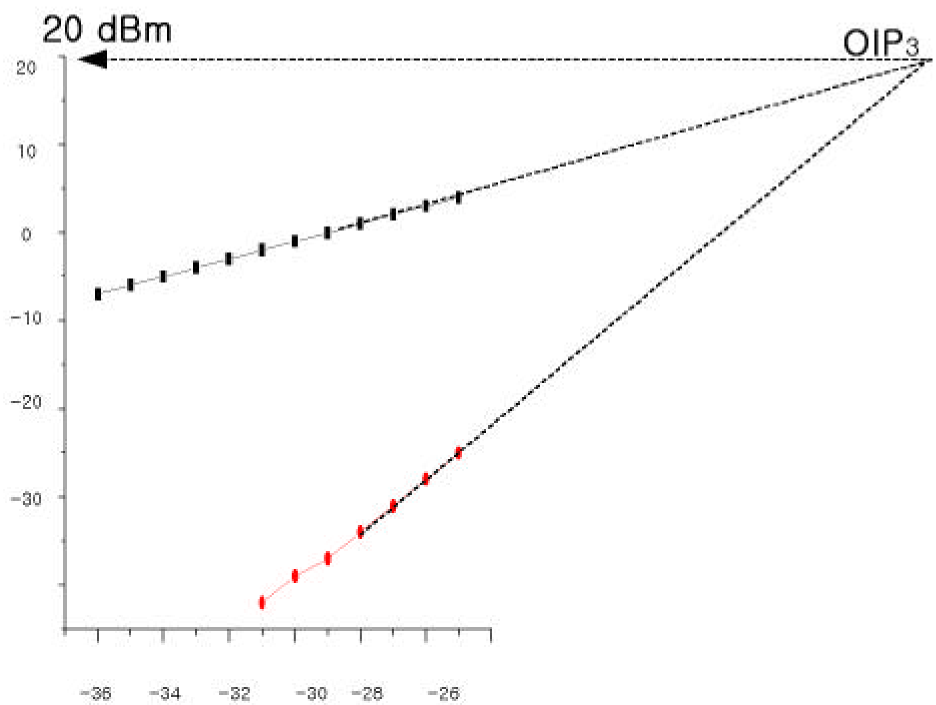
<그림 4-25> 중심주파수(2.14 GHz)에서
잡음지수와 소신호 이득의 I_{DS} 의존성 (V_{DS} = 3 V고정)

저잡음증폭기의 선형성을 측정하기 위하여 <그림 3-13>(a), (b)의 측정계를 이용하여 <그림 4-26>과 같은 입·출력 전력특성과 <그림 4-27>과 같은 상호변조왜곡 특성을 얻었다. 선형이득 29 dB, 1 dB 이득압축 출력전력(P_{1dB})는 10 dBm이다. <그림 4-27>에서 알 수 있듯이 증폭기의 선형성의 기준이 되는 OIP_3는 20 dBm으로 목표값을 크게 상회하는 결과를 얻었다. 이와 같은 특성은 입력측의 잡음지수를 위

한 정합회로 및 출력측의 선형정합회로 설계가 잘 포함되었다고 할 수 있다.



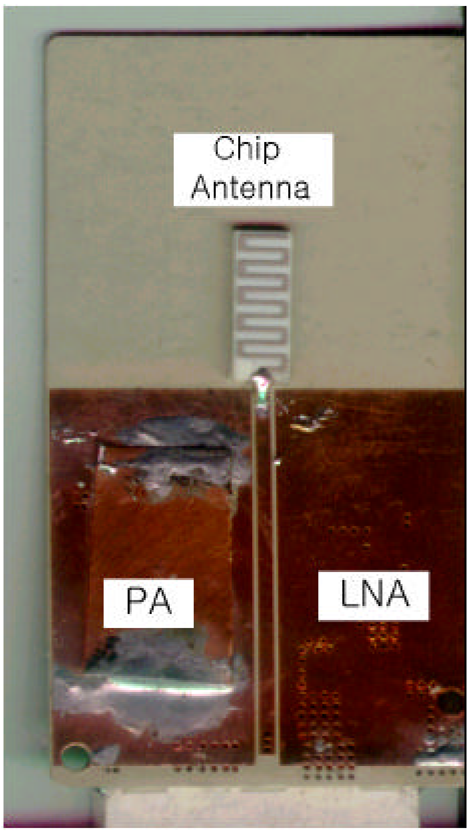
<**그림** 4-26> 2**단 저잡음증폭기의 입、출력 전력 특성**(@ 2.14 GHz)



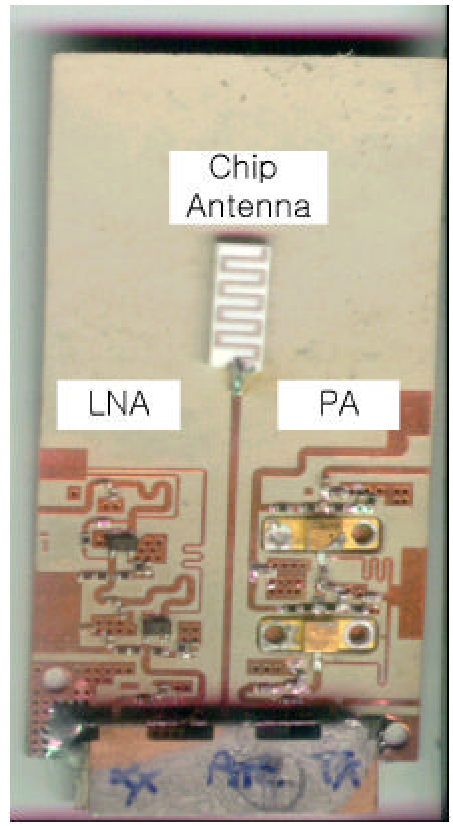
<**그림** 4-27> 2**단 저잡음증폭기의** OIP_3 **특성**

제 5 장 RFIC 일체형 안테나

본 장에서는 칩 안테나와 RFIC를 일체화한 특성을 서술하였다. <그림 5-1>은 마이크로스트립 급전방식(a)과 Co-planar 급전방식(b)을 사용한 실제 제작 사진이다.



(a) Co-planar 급전 (접지면)



(b) 마이크로스트립 급전(회로면)

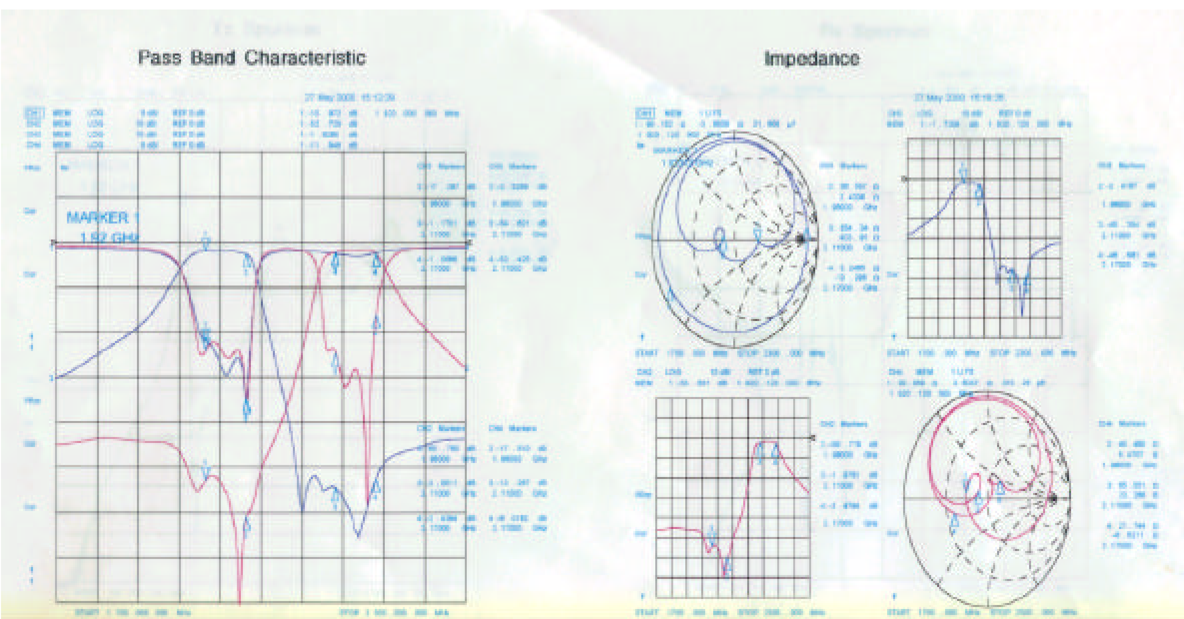
<그림 5-1> 칩 안테나와 RFIC를 일체화시킨 사진

<그림 5-1>(a)에서 Coplanar 뒷면에 <그림 5-1>(b)와 같은 RF회로가 제작되어있다. (b)에서 안테나를 중심으로 왼쪽은 수신측인 저잡음증폭기부이며, 오른쪽은 송신측인 전력증폭기부이다. 실제 제작된 일체형 안테나는 마이크로스트립 급전 방식과 Co-planer 급전방식 모두 크기는 3 × 6 × 0.5 cm^3이다.

IMT-2000 송수신 대역을 구분하기 위해서 Duplexer (LG정밀 제작)를 사용했다. <표 5-1>과 <그림 5-2>는 일체화에 사용한 Duplexer의 전기적 사양과 통과대역 특성 및 임피던스 특성을 보이고 있다.

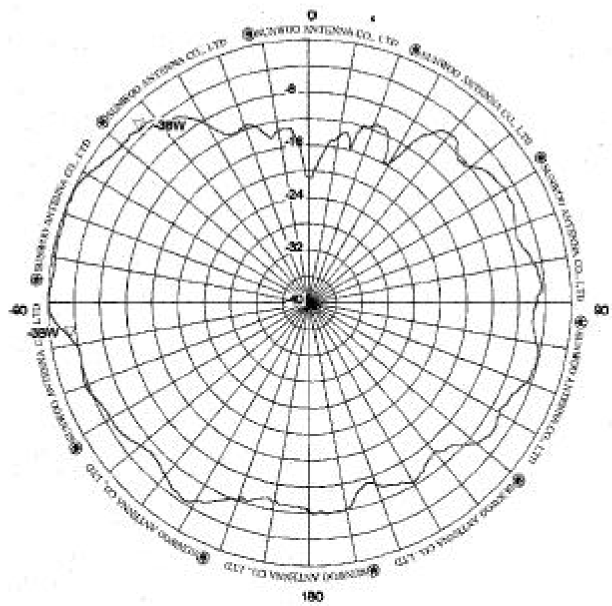
Parameter	Specification @ 25℃
Tx	
Pass Band	1920 - 1980 MHz
Pass Band Insertion Loss	2.3 dB max
Pass Band Return Loss(@ Tx)	10.0 dB min
Attenuation @ 2110 - 2170 MHz	45.0 dB min
@ 3840 - 3960 MHz	10.0 dB min
@ 5760 - 5940 MHz	5.0 dB min
Rx	
Pass Band	2110 - 2170 MHz
Pass Band Insertion Loss	2.5 dB max
Pass Band Return Loss(@ Rx)	10 dB min
Attenuation @ 1920 - 1980 MHz	50.0 dB min
@ 2490 - 2550 MHz	-
@ 2300 - 2360 MHz	-
Max. Transmit Power	3 W

<표 5-1> Duplexer의 전기적 사양



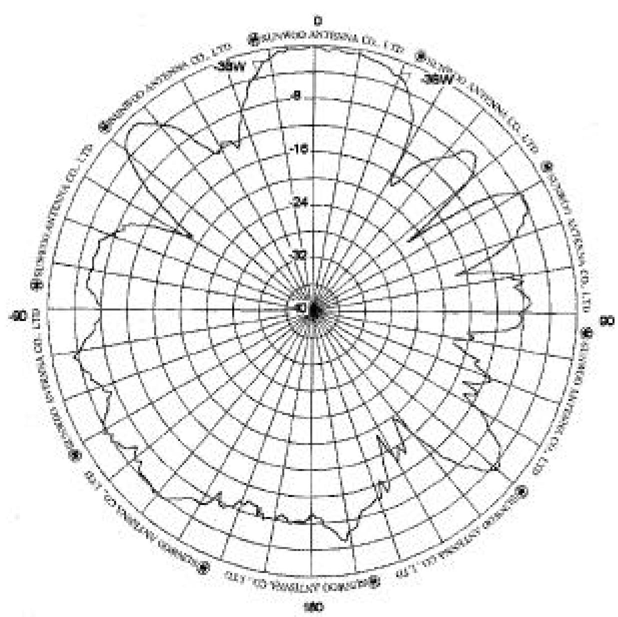
<그림 5-2> Duplexer의 통과대역 특성과 임피던스 특성

<그림 5-3>과 <그림 5-4>는 칩 안테나와 RFIC를 일체화한 일체형 안테나의 방사패턴이다. <그림 5-3>은 마이크로스트립 급전방식과 Duplexer를 사용했을 때, H-plane에서의 방사패턴이다.

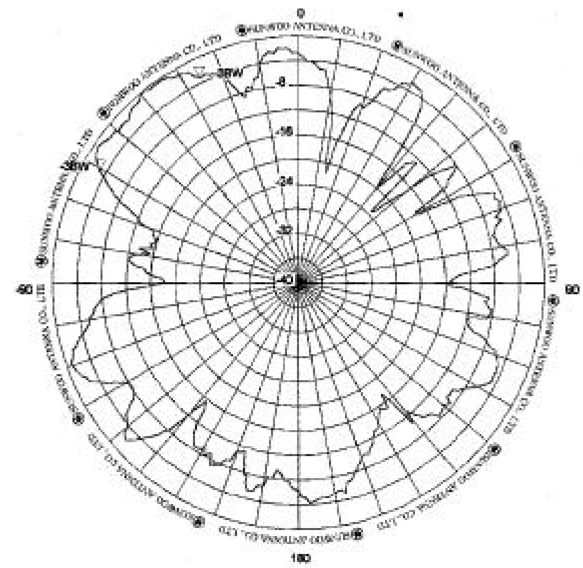


<그림 5-3> Duplexer를 이용한 회로의 방사패턴 (H-plane)

<그림 5-4>는 Co-planar로 급전했을 때, H-plane(a)과 E-plane(b)에서의 방사패턴이다.



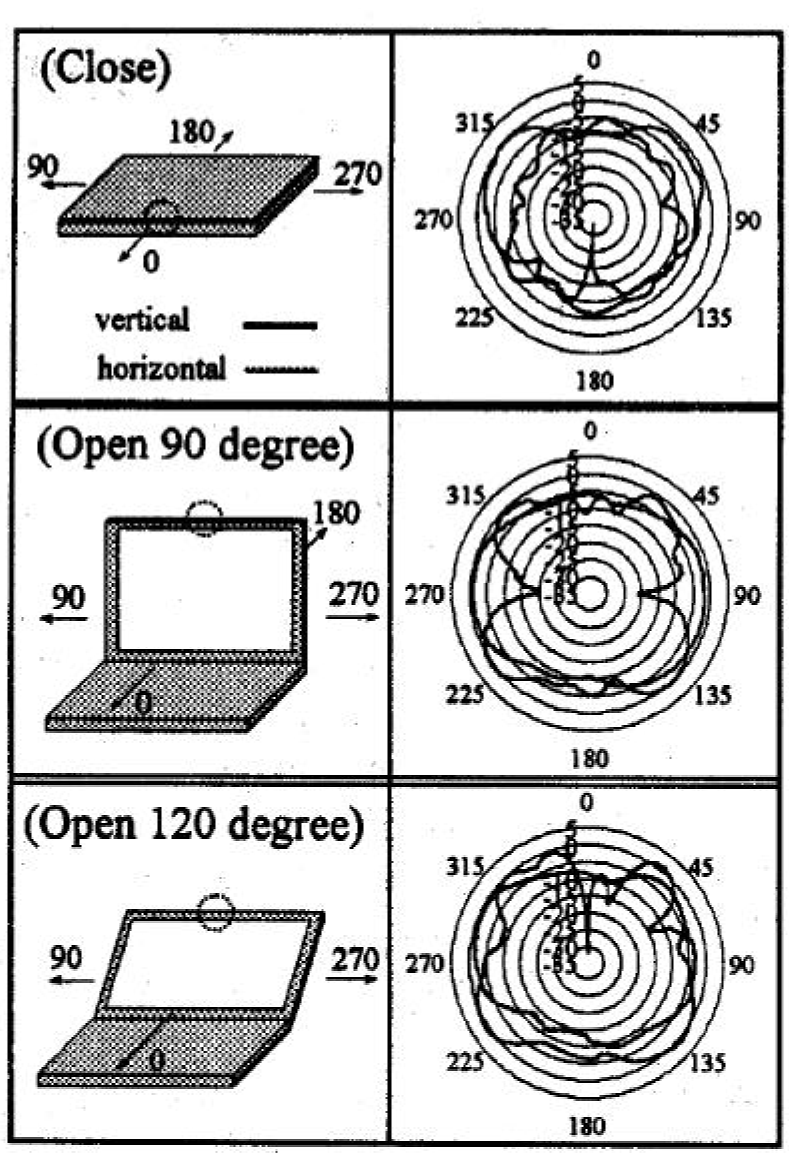
(a) Co-planar H-plane 방사패턴



(b) Co-planar E-plane 방사패턴

<그림 5-4> Co-planar로 급전했을 때, H-plane(a)와 E-plane(b)에서의 방사패턴

<그림 2-26,27>과 <그림 5-3,4>에서 보면, 안테나만의 방사패턴과 일체화했을 때의 방사패턴이 다르다. 이에 대한 원인은 칩 안테나만 있을 때와 접지면에 회로를 사용했을 때에 안테나 주위 환경이 달라지고, 접지면에 유도되는 전류 특성이 달라지기 때문에 나타나는 현상으로 여겨진다. 이러한 결과가 필연적이란 것을 보이기 위해서, <그림 5-5>에서 일본의 칩 안테나 전문업체인 Murata사의 방사패턴을 참고 자료로 제시한다.



<그림 5-5> Murata사에서 개발한 WLAN용 칩 안테나의 방사패턴(참고 그림)

제 6 장 결 론

본 과제에서는 차세대 이동통신 시스템인 IMT-2000 단말기 일체형 단말기 안테나를 설계, 제작하였다. Meander line을 이용한 내장형 칩 안테나를 설계하기에 앞서, 선행 연구로써 순수 유전체 공진기 안테나에 관한 연구를 행하였다. 본 과제에서는 Dielectric waveguide model 이론을 토대로 유전율 37.84와 90인 유전체 공진기 안테나의 공진 주파수 및 임피던스 대역폭에 대한 근사적 예측값, 시뮬레이션값 및 측정값을 비교 분석함으로서 근사식의 정확도를 조사하였다. 유전체의 종횡비에 따른 공진 주파수를 얻을 수 있는 3차원 그래프를 제시하였고, 방사전력, 공진체에 축적된 평균 전기에너지 및 Q_{rad}를 이용하여 얻은 이론적 대역폭을 공진체의 종횡비에 따라 그린 3차원 그래프도 제시하였다. 이런 그래프를 이용하여 원하는 공진주파수와 대역폭을 갖는 최저 차수 모드를 얻기 위한 최적의 유전체 크기를 얻을 수 있는 방향을 제시하였다. 이와 같은 연구를 바탕으로, IMT-2000 단말기에 내장 가능한 coplanar 급전방식과 microstrip line 급전방식의 meander line 칩 안테나를 설계, 제작하였다. meander line의 각종 파라미터에 대한 연구 자료를 제시하였으며, 첨소화와 광대역화 방안에 대해서도 기술하였다. 본 과제에서 설계, 제작된 meander line 칩 안테나는 11.5 ×4 ×1 mm^3의 크기이며, 1.91 2.05 GHz (140 MHz : 7 %)의 대역폭을 갖고, 이득은 약 1.5 dBi을 갖는다.

전력증폭기는 Excellics社의 PHEMT를 이용하여 IMT-2000 상향주파수인 1.92 1.98 GHz 대역에서 설계 및 제작하였다. 30 dBm 이상의 출력전력을 얻는 정합회로를 설계하기 위해서 본 연구에서는 시뮬레이터에 의한 비선형 회로 해석 방법을 이용하였다. 이 방법은 사용하고자 하는 능동소자의 정확한 비선형 모델을 요구하기 때문에, PHEMT의 소신호·대신호 등가회로 모델의 파라미터를 추출하였으며, 이를 이용하여 2단 전력증폭기를 설계 및 제작하였다.

2단 전력증폭기의 측정 결과로 주파수 1.92 1.98 GHz 대역에서 25.4 dBm이상의 출력전력(P_{1dB}), 21 dB 이상의 전력이득, 22 % 이상의 전력부가효율을 얻었다. <표 6-1>에는 전력증폭기의 설계 목표, 시뮬레이션 및 측정 결과를 요약하였다.

항 목	목 표	시뮬레이션 결 과	측정결과 (@1.92GHz)	대역특성
동작 주파수	1.92 - 1.98 GHz			
P1-dB	30 dBm	31 dBm	25.5 dBm	25.4 dBm
전력부가효율	35%	40%	23%	22%
전력이득	15 dB	34 dB	22 dB	21 dB
IP_3	40 dBm	37 dBm	36 dBm	

<표 6-1> 전력증폭기의 설계 목표, 시뮬레이션 및 측정 결과 비교

저잡음증폭기는 HP社의 ATF-35143 PHEMT를 이용하여 직렬 궤환 형태로 설계/제작하였다. 목표 주파수대역인 2.11 2.17 GHz에서 소신호 이득 30 dB을 갖는 2단으로 설계하였다. 설계된 2단 저잡음증폭기는 Auto CAD를 이용하여 패턴 레이아웃 하였다. 패턴 레이아웃은 안테나와의 일체형을 고려하여 그 크기(18 × 12 mm^2)를 제한하였으며, 안테나의 급전선로와의 간섭을 고려하여 1 mm 이상의 간격을 유지하였다.

제작에 사용된 듀로이드기판은 그 질량에서 세라믹에 비해 가볍다는 장점이 있다. 이는 단말기에 장착시 단말기의 질량은 낮출 수 있다는 이점을 보일 수 있으며, 높은 유전률로 인해 세라믹기판을 이용하여 제작한 경우 보다 그 회로의 크기를 줄일 수 있다.

실제 측정결과를 바탕으로 2단 저잡음증폭기를 설계 및 제작하였다. 2단 저잡음증폭기는 직렬 궤환 소자 소스 인덕터를 사용하지 않고, Γ_{OPT} 정합과 이득정합의 trade off 관계를 고려하여 설계/제작하였다. 제작된 2단 저잡음증폭기의 실제 측정결과는 2.11 2.17 GHz에서 소신호 이득 28.5 dB 이상, 잡음지수 1.5 dB 이하의 대역특성을 보이고 있다.

<표 6-1>에서 본 연구의 설계목표사양과 1차년도(1999. 3   1999. 12)와 2차년도(2000. 3   2000. 12)의 과제 수행으로 실제 제작된 저잡음증폭기의 측정결과를 보이고 있다.

	목 표 사 양	1차년도 결과	2차년도 결과
동 작 주 파 수	2.11 - 2.17 GHz		
잡 음 지 수	≤1.5 dB	≤ 1.7 dB	≤ 1.5 dB
선 형 이 득	≥ 30 dB	≥ 32 dB	≥ 29 dB
이 득 평 탄 도	± 1 dB	± 1 dB	± 1 dB
P_1-dB			10 dBm
OIP_3	10 dBm		20 dBm

<표 6-2> 저잡음증폭기의 설계 목표 사양과 측정결과

1차년도에 비해 2차년도 과제 수행에서는 입력측(gate) 바이어스회로의 재설계를 통해 잡음지수를 0.2 dB 개선하였다. 1차년도의 설계에서는 입력측 바이어스회로를 저항을 이용한 전압분배회로를 통해 gate측에 -0.4 V의 전압을 인가해주었다. 하지만 이런 저항성분으로 인해 잡음지수가 증가되었다. 2차년도 과제 수행에서는 이런 문제점을 조정하여 잡음지수를 개선하였다.

1차년도에 비해 다소 낮아진 소신호 이득의 경우는 회로의 저전력 소비를 위해 낮은 바이어스조건(V_{DS} = 3 V, I_{DS} = 20 mA)에 맞추어 설계하였기 때문이다. 실측정 결과에서 V_{DS}를 실제 단말기의 사용전압인 3.6 V로 변화시키고, 전류 I_{DS}를 48 mA까지 증가시켰을 때, 소신호 이득이 29.7 dB까지 증가되는 특성을 볼 수 있으며, 목표 사양인 30 dB이상의 소신호 이득은 미세 조정을 통해 충분히 얻을 수 있는 결과라 사료된다. 2차년도에는 저잡음증폭기의 선형특성 측정도 수행하여 10 dBm 의 출력전력(P_1-dB) 10 dBm 를 얻었으며, 20 dBm의 상호변조왜곡특성(OIP_3)을 얻었다. 현재 증폭기의 선형성을 중요시하는 RF 시스템(IMT-2000도 포함)에 응용 가능할 것이다. 입력측 VSWR의 경우는 다소 만족스럽지 못한 결과를 보이고 있다. 이와 같은 결과는 입력측과 출력측의 정합회로가 정확하지 못한 이유를 그 원인으로 추정할 수 있다. 사용된 정합 소자인 칩 커패시터의 실제적인 값과 제작에 사용된 칩 커패시터의 값의 차이가 이런 원인으로 작용하였다.

본 연구는 RFIC 일체형 안테나를 통해 준마이크로파대의 RF 모듈의 일체화 기술을 확보하며, 차세대 이동 통신시스템인 IMT-2000 단말기의 소형화, 경량

화, 저가격화에 기여하는데 그 목적을 두고 수행되었다. 각 부분의 특성을 위주로 실행되었던 1차년도 과제 수행에 비해 2차년도에서는 실제적인 일체형에 중점을 두어 실행하였다. RFIC분야에서는 세라믹기판에서 듀로이드기판으로 대체제작하여 안테나와의 일체형을 가능하게 하였다. 안테나의 경우는 그 크기의 최소화와 특성 향상을 위해 패치 안테나에서 칩 안테나로 대체하여 수행하였다. 실제 제작된 RFIC 일체형 안테나(크기: 3 × 6 × 0.5 cm^3)는 그 특성에서 IMT-2000 단말기용 RFIC 일체형 안테나로서 그 가능성을 보였다. 향후 연구로는 일체화로 인해 RFIC와 안테나간에 발생되는 간섭현상에 대한 대책과 일체형 제작과정에서 나타나는 문제점에 대한 지속적인 연구로 인해 그 가능성은 더욱 향상되리라 사료된다.

참 고 문 헌

[1] R. K. Mongia and P. Bhartia, "Dielectric resonator antennas - A review and general design relations for resonant frequency and bandwidth," Int. J. Microwave Millimeter-Wave Eng., vol. 4, pp. 230-247, July 1994.

[2] R. K. Mongia, A. Ittipiboon, and M. Cuhaci, "Measurement of radiation efficiency of dielectric resonator antennas," IEEE Microwave Guided Wave Lett., vol. 4, pp.80-82, Mar. 1994.

[3] M. Gastine, L. Courtois, and J. J. dormann, "Electromagnetic resonance of free dielectric spheres," IEEE trans. Microwave theory Tech., vol. MTT-15, pp. 694-700, Dec. 1967

[4] D. Kajfea and P. Guillon, Eds., Dielectric resonators. Norwood, MA: Artech, 1986.

[5] R. K. Mongia, A. Ittipiboon, and M. Cuhaci, “Low profile dielectric resonator antennas using a very high permittivity material" Electronics Letters, 30, 17, Aug. 1994, pp.1362-1363.

[6] J. Van Bladel, "On the resonances of a dielectric resonator of very high permittivity," IEEE Trans. Microwave Theory Tech., vol. MTT-23, pp. 199-208, Feb. 1975.

[7] A. K. Okaya and L. F. Barash, "The dielectric microwave resonator," Proc. IRE, vol. 50, pp.2081-2092, Oct. 1962

[8] R. K. Mongia and A. Ittipiboon "Theoretical and Experimental Investigations on Rectangular Dielectric Resonator Antennas," IEEE Trans. on AP, vol. 45, No. 9, sep. 1997.

[9] Akira Ishimaru, *Electromagnetic Wave Propagation, Radiation, and Scattering*, Prentice Hall, 1991.

[10] **최원규 • 이범선**, “**유전체 도파관 모델을 이용한 육면체 공진기 안테나 분석**”, **한국전자파학회 논문지**, 8**월호** (Vol.11 No.5), pp. 755 762, 2000

[11] Bomson Lee • Wonkyu Choi, "Analysis of resonant frequency and impedance bandwidth for rectangular dielectric resonator antennas", IEEE Antennas and Propagation Society International Symposium,

vol.4, pp.2084 2087, July.2000

[12] N. Suzuki, K. Itoh, Y. Nagai, and O. Michigami, "Superconductive small antenna made of EuBaCuO thin films," in Proc, 5th Int. Symp. Superconductivity, Kobe, Japan, Nov. 1992, pp. 1127-1130.

[13] Hanyang Y. Wang and Michael J. Lancaster, "Aperture-cupled thin-film superconducting meander antennas," IEEE Transactions on Antennas and Propagation, AP-47, 5, May 1999, pp 829-836.

[14] **최원규**, **이범선**, “Meander line**을 이용한 내장형 칩 안테나 설계**”, **한국통신학회 하계 종합학술대회 논문집**, vol. 21. No.1 pp.145 148, 2000**년** 7**월**.

[15] J. M. Golio, Microwave MESFETs & HEMTs, Artech House, 1991

[16] E. Camargo, Design of FET Frequency Multipliers and Harmonic Oscillators, Artech House, 1998

[17] H. Statz et al.,"GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on ED, vol. 34, No. 2, pp. 160-168, Feb, 1987

[18] A. van der Ziel.,"Gate noise in field effect transistors at moderately high frequencies," Proc. IEEE, vol. 51, pp. 461-467, 1963

[19] T. Takada et al.,"A MESFET variable-capacitance model for GaAs integrated circuit simulation," IEEE Trans. Microwave Theory Tech., vol. MTT-30, pp. 719-724, 1982

[20] T. H. Chen et al,"A capacitance model for GaAs MESFET's,"" IEEE Trans. ED, vol. 32, po. 883-891, 1985

[21] H. C. Poon et al,"Modeling of emitter capacitance," Proc. IEEE, vol. 57, pp. 2181-2182, 1969

[22] HP-EEsof, Libra Manual - Circuit Network Items, HP-EEsof**社**

[23] “**준마이크로파대** RFIC **일체형 패치 안테나 설계 및 제작에 관한 연구**(Ⅰ)” **최종보고서**

[24] Tri T. Ha, Solid-State Microwave Amplifier Design, John Wiley & Sons, Inc., 1981

[25] BJORN M. ALBINSSON "A Graphic Design Method for Matched Low-Noise Amplifiers," IEEE Transaction on Microwave Theory and

Techniques, vol, 38, no. 2, February 1990

[26] **윤영철**, "Ku-Band **위성방송 수신용 저잡음증폭기의 설계**", **마이크로파 및 전파전파 연구회 학술대회 논문집**, **제**14**권** 1**호**, pp.3-6, 1991

[27] "**준마이크로파대** RFIC **일체형 패치 안테나 설계 및 제작에 관한 연구**(Ⅰ)" **최종보고서**

[28] R.E Lehmann and D.D Heston, "X-band Monolithic Series Feedback LNA," IEEE MTT-S International Microwave Symposium Digest, PP. 51-54, 1985

[29] KARL B. NICLAS, "Noise in Broad-Band GaAs MESFET Amplifiers with Parallel Feedback," IEEE MTT, vol. MTT-30, no. 1, January 1982

[30] Luciao Boglione, Roger D. Pollard, Vasil Postoyalko, " Optimum Noise Source Reflection Coefficient Design with Feedback Amplifiers," IEEE Transaction on Microwave Theory and Techniques, vol. 45, no. 3, march 1997

[31] W. H Hayward, "Introduction to radio frequency design," Prentice-Hall, New Jersey

[32] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design," Prentice Hall International Editions, second edition, pp. 294-322, 1997

[33] **변상기**, "RF **및** M/W **통신부품설계교육**" **전자부품연구원 주체 제**4**차 중소기업전문교육교재**, 1999. 7. 15. 7. 16